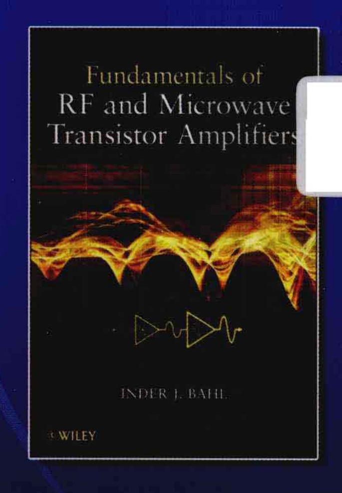
国外电子与通信教材系列

WILEY

射频与微波晶体管放大器基础

Fundamentals of RF and Microwave Transistor Amplifiers



[美] Inder J. Bahl 著

鲍景富 孙玲玲 等译

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY http://www.phei.com.cn

射频与微波晶体管放大器基础

Fundamentals of RF and Microwave Transistor Amplifiers

本书全面讲解了射频与微波晶体管放大器的各种类型，包括低噪声、窄带、宽带、线性、高功率、高效率、高压放大器，以及离散、单片集成与混合集成放大器。主要的研究主题包括晶体管建模、分析、设计、表征、测量、封装、热设计及制造技术。本书特别强调理论与实践的结合，读者将了解并学会解决与放大器相关的各类设计问题，从放大器的匹配网络设计、偏置电路设计到稳定性分析等。超过160道的习题有助于提高读者对基本的放大器和电路设计技巧的掌握。

Inder J. Bahl博士，研究微波和毫米波GaAs集成电路已经有30多年。他设计了超过400个单片微波集成电路（MMIC），包括低噪声放大器、驱动放大器、宽带放大器和功率放大器（高功率、高效率、宽带）、直流和交流耦合跨阻抗放大器和限幅放大器、多位移相器、窄带和宽带单刀多置（SPDT）开关、冗余转换开关、可编程衰减器、平衡混频器、正交下变频器、上变频器、发射芯片、接收芯片及收发芯片。Bahl博士还为PAR和ECM的应用开发了包含MMIC的模块。



ISBN 978-7-121-17603-6　ISBN 978-7-121-13466-1　ISBN 978-7-121-07855-2　ISBN 978-7-121-15309-9

WILEY



策划编辑：马　岚
责任编辑：冯小贝
责任美编：李　雯





定价：75.00 元

国外电子与通信教材系列

射频与微波晶体管放大器基础

Fundamentals of RF and Microwave Transistor Amplifiers

［美］ Inder J. Bahl 著

鲍景富 孙玲玲 等译

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

本书全面讲解了射频与微波晶体管放大器的各种类型，包括低噪声、窄带、宽带、线性、高功率、高效率、高压放大器，以及离散、单片集成与混合集成放大器。主要的研究主题包括晶体管建模、分析、设计、表征、测量、封装、热设计及制造技术。本书特别强调理论与实践的结合，读者将了解并学会解决与放大器相关的各类设计问题，从放大器的匹配网络设计、偏置电路设计到稳定性分析等。超过 160 道的习题有助于提高读者对基本的放大器和电路设计技巧的掌握。

本书注重理论、联系实践，可作为高等院校电子信息工程专业的高年级本科生或研究生的教材，也可作为广大教师、科研工作者和从事相关工作的专业技术人员的参考手册。

图书在版编目（CIP）数据

射频与微波晶体管放大器基础/（美）巴尔（Bahl, I. J.）著；鲍景富等译. —北京：电子工业出版社，2013.3
（国外电子与通信教材系列）
书名原文：Fundamentals of RF and Microwave Transistor Amplifiers
ISBN 978-7-121-19639-3

I. ①射…　II. ①巴… ②鲍…　III. ①晶体管-功率放大器-高等学校-教材　IV. ①TN722.7

中国版本图书馆 CIP 数据核字（2013）第 031578 号

策划编辑：马　岚
责任编辑：冯小贝
印　　刷：三河市鑫金马印装有限公司
装　　订：三河市鑫金马印装有限公司
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路 173 信箱　邮编　100036
开　　本：787 × 1092　1/16　印张：32　字数：901 千字
印　　次：2013 年 3 月第 1 次印刷
定　　价：75.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

译 者 序

放大器是射频电子系统中的关键部件，也是有源电路体系中最早的电路之一，经过长期的发展，从真空管放大器到半导体器件再到集成电路，已经发展得相当成熟。现代功率放大器技术已不再是单纯的类似于早期的功率放大器，而是一个浓缩的电子系统，不仅包含模拟电路，也包含数字电路、基带电路的处理，调制和解调，还有软件算法等。尽管在放大器技术方面已有大量的文章和书籍及各种会议论文，但是还没有一本内容全面且理论与实践相结合的参考书籍，而这本书弥补了这个空白。

本书的内容包括：放大器的基本知识、放大器的定义、放大器的分类等；晶体管及模型；匹配网络电路的基础元件，如微带线、共面线分布元件及电容、电阻、电感等集总元件；阻抗匹配技术，如窄带匹配和宽带匹配技术，高效放大技术，宽带放大技术，线性化技术，高压放大技术，混合放大器设计，单片式放大器设计，热设计稳定性分析，偏置电路设计，功率合成，可集成放大器技术，放大器的封装，以及晶体管和放大器的测试技术。书中给出了超过160道的习题，可以帮助读者检测自身对于放大器的理解和电路设计的熟练程度，并且一半以上的习题都反映了实际中常见的问题。

本书适用于各个层次的读者，包括高年级的本科生，业余无线电爱好者，也可以作为教师使用的高频电路课程的教学辅导书；对于企业中的科技开发人员和工程技术人员，也可以通过本书拓宽射频与微波晶体管放大器的知识面。

本书的全部翻译工作由鲍景富和孙玲玲负责。在翻译过程中，许多研究生也参与了翻译工作，他们是张东旭、张韧、李晨阳、陶莲娟、王方圆、董华飞、邓成、金绍春、寇波等。在出版过程中得到了教育部射频电路与系统重点实验室及浙江省电路与系统重中之重学科的支持，也得到了电子工业出版社编辑的帮助和支持，在此一并表示感谢。

由于时间仓促，文字、语句不通或者不正确的地方难免出现，敬请读者批评指正。

前　　言[①]

放大器的使用是解决高性能、低成本的射频和微波前端系统至关重要的方案。到目前为止，有关放大器知识的文献有很多，它们大多出现在各种技术期刊、会议论文、书籍的章节甚至整本书之中。然而，还没有一本将放大器理论和工作实践相结合的综合书籍，为了填补这个不足，我们出版了这本书。

本书总结了作者 30 多年来设计晶体管放大器的各种经验，作者曾经积极推动了放大器从概念到产品形成的各种类型的设计。该书对射频(RF)与微波低噪声放大器和功率放大器电路进行了详细的介绍，包括低噪声、窄带、宽带、线性、高功率、高效率和高压放大器，讨论的主题包含建模、分析、设计、封装、热分析和制作工艺。本书各章相互融合，覆盖了放大器理论与实践的各个方面。本书内容丰富，不仅包括具体的实验，而且包含大量方程、表格、图表和设计实例，同时还把放大器电路的理论和实践以独特的方式结合在一起，阐述了与匹配电路、偏置电路和稳定性相关的放大器设计问题。书中的实例(80 个以上已有解决方案)能够使读者很容易地理解放大器的设计概念。

简单的设计方程可以帮助读者理解设计概念，除了书中的很多例子，本书的 160 多道习题有助于测试读者的基本放大器知识和电路设计技能。本书强调理论、设计和实际经验，适合于相关专业的高校生、教师、科研工作者和应用工程师使用。要求学生具有固态电路基础、传输线理论、电路基本理论、本科水平的电磁理论等知识。希望读者通过本书获得益处，理解射频与微波晶体管放大器的电路设计。

本书的特色在于对晶体管放大器的深入研究，给出了大量的设计数学方程和图表，以及实际的放大器电路设计实例和制作技术的描述。本书从更广的角度来分析固态晶体管放大器，各章分别阐述了稳定性分析、高效率放大器、宽带放大器、单片式放大器、高压设计、放大器的偏置、热设计、功率合成、集成放大器和放大器的测量。本书并没有给出任何特定的应用，但是其目的在于用理论和实际的知识给放大器设计提供基本原理的重要背景材料。近几年出版了大量的书籍，论述了采用硅双极型技术和 CMOS 技术来设计 RF 和微波电路已经取得了巨大的进步。由于放大器的设计主要是基于模拟设计的概念并且已有几本有关这方面的著作，所以此书也只能覆盖有限的范围。

本书分为 22 章，每章包含了放大器知识的各个方面。这些章给出了在晶体管放大器中使用的基本原理、分析方法、技术特点和设计思路，提供了 RF 和微波晶体管放大器分析和设计的基础。每章都有放大器的设计步骤和实例，这些方法有助于解答学生的任何疑点及提高设计技能。此外，由于各种元件、设备和电路的技术信息与评论可以丰富读者的微波技术知识，因此在内容的选择和表达方式方面也希望能满足读者的期望。与其他书籍一样，为了使读者深入地理解本书，同样包含或引用了他人的一些富有成效的工作成果。最后，本书列举了一系列的参考文献，并且每章之后都附有一组习题。

第 1 章介绍了晶体管放大器和在商业和军事系统中的应用。第 2 章建立了基本的放大器分

① 书中的一些图示、符号、字体沿用了本书英文原版的写作风格，特此说明。

析参数与 RF 和微波网络的表述，介绍了基本多端口网络分析工具，如阻抗、导纳、*ABCD* 参数和散射技术，根据研究者或设计者的熟悉情况建立多端口网络矩阵的转换关系。

第 3 章给出了放大器术语的定义和特征。定义了基本的放大器参数，并简单介绍了可靠性。本章的目的在于定义放大器的特征以备快速参考。第 4 章是关于晶体管的描述，包括硅双极型、GaAs FET 和 GaAs pHEMT、GaAs HBT、Si MOSFET 和 SiGe HBT，这些尽管是有限的讨论，但是对于学生和设计工程师还是很有价值的。第 5 章是关于线性和非线性晶体管模型，这些模型确立了等效电路的方程，也是放大器设计的核心。器件模型在低噪声和低功率方面得到了应用，这些器件包括 MESFET、pHEMT、HBT 和 MOSFET 等。等效电路模型、模型规模、源牵引和负载牵引的特征也在这一章得到了详细的介绍。

第 6 章给出了传输线和集总元件的基本原理与特征。由于本书主要是针对平面电路，因此描述了通用的平面传输介质的特点，如微带线、共面波导等，也包含了微带线的不连续性和耦合知识;集总元件设计的电容器、电感器和电阻器在本章最后给出。这些知识很自然地在第 7 章继续讨论，并重点分析阻抗匹配网络，它是微波电路与系统的基础。第 7 章讨论了阻抗匹配电路的窄带和宽带设计技术与应用，最后考虑了实际的实现方法。

第 8 章讨论了各类放大器的通用分析方法，也给出了多种用于高效率应用的放大器的分类比较。高效率放大器可通过工作在 B 类或 C 类的晶体管获得，也可以通过工作在 E 类或 F 类的负载阻抗获得。开关模式的 E 类调谐功率放大器在 RF 低频段方面得到广泛使用，而 F 类放大器的方法可上升到较高的微波频段。实际的高效率放大器设计在以后的各章中会有详细的描述。

接下来的 5 章描述了放大器的设计，第 9 章是关于放大器的多种设计方法。基本的放大器设计方法包括线性和非线性。采用强大的 CAD 工具，通过时域和频域仿真的非线性电路分析对不同应用的功率放大器进行设计和优化，其中的优势包括预测非线性行为的准确性，使复杂的单片微波集成电路(MMIC)设计一次成功，缩短了开发时间并节约了研制成本。本章列出了 GaAs FET、pHEMT、HBT 和 Si CMOS、SiGe HBT 放大器的设计步骤和典型的设计实例。以第 8 章中的资料为背景，第 10 章中讨论了高效率放大器的设计技术，对重要部分进行了深入的描述，从过驱动 A 类放大器到高 PAE 谐波调整技术，讨论了高效率放大器的设计实例和重要的设计思想。

第 11 章介绍了宽带放大器的设计。放大器的带宽也是一个重要的参数，考虑了几种宽带放大器的设计方法，包括电抗/电阻式、反馈、平衡和分布式放大器。讨论了宽带放大器的关键设计考虑，这些电路具有广泛的应用，尤其是在电子战、对抗技术和支持系统中。第 12 章描述了线性放大器的设计，强调了元件在设计过程中的重要性和每个元件在不同电路中的设计考虑及设计限制等。线性化技术同设计过程、实现方法和特殊的要求一起讨论。

第 13 章介绍了高压晶体管，其技术发展飞快并获得了广泛的认可和应用。讨论了基于放大器的高压晶体管的优、缺点，考虑了硅双极型晶体管、LDMOS、GaAs MESFET、pHEMT 和 HBT、SiC MESFET、GaN HEMT 器件及它们的设计技术。描述了混合式和单片式高压放大器，分析了采用数个低压晶体管级联式的高压工作模式。

通过前面章节的学习，希望读者学会微波集成电路(MIC)放大器的设计和制作，基于多年的经验，作者认为这些电路的制作是比较复杂的。第 14 章和第 15 章分别给出了混合式和单片式 MIC 放大器的类型、设计考虑、制作步骤及设计准则，其中列举了大量的资料，希望读者对混合 MIC 和单片 MIC 设计与制作的基底和材料有更好的选择，并列举了混合 MIC 放大器的实例。第 15 章涉及 MMIC 放大器，讨论了放大器的几种类型，并给出了一些 MMIC 实例。

接下来的 4 章主要阐述了几种放大器类型的实际设计，包括热设计、稳定性分析、偏置网络

和功率合成。第16章描述了功率放大器的热设计，讨论了晶体管和放大器的通道温度计算模型及热电阻的现实问题。第17章从理论和实际角度出发，通过几个例子讨论了放大器的稳定性。

第18章介绍了偏置电路，它也是科学设计放大器的另一个重要方面。首先讨论了晶体管的偏置类型，然后是偏置网络的详细描述，以及多级放大器的偏置电路和功率放大器偏置的低频稳定性。第19章概述了功率合成技术。描述了功率合成技术的基本原理，阐述了器件级和电路级合成技术之间的不同点，包含功率合成器、混合器和耦合器的设计与分析方法。其中给出了基于组合HPA而形成的多芯片MMIC的实例。

当代民用和军事系统中的放大器应用要求有较高的性价比。获得低成本的一种最常用的方法是在单一的MMIC放大器芯片或一个封装和组件上集成更多的功能。例如，高集成度的MMIC芯片减少了芯片数量和互连线路，进而减小了测试难度，降低了模块和子系统的成本，并增加了可靠性。第20章给出了集成类型的实例，如限幅器/LAN、发射传输链、增益和输出功率可变的放大器、放大器的嵌入功率监控电路、增益温度补偿及输出失配保护。

第21章介绍了放大器的封装。描述了塑料和陶瓷封装，详细介绍了陶瓷封装和腔体设计，简单讲解了芯片焊接和引线键合技术。第22章包含了放大器和晶体管的测量。首先介绍了晶体管的特点，然后是放大器测试，如S参数、噪声系数、源牵引和负载牵引、电压驻波比、输出和输入功率的关系、PAE、谐波、失真、相位噪声及恢复时间。最后，为了读者的设计方便，本书中增加了一些附录。

对于本科高年级学生或研究生，本书内容足够用于一学年的课程。合理选择特定的章节，可以使本书用于一学期、两学期或半学期的课程。大部分章节的最后给出了习题，并且已经在课堂上测试了习题的难度和复杂度，保证这些习题适用于学生。

感谢那些在微波工程进步中做出了先驱工作的同事们，以及感激指引作者进入微波放大器领域的Edward L. Griffin博士，他审阅了本书的原稿并提出了许多宝贵的意见。在Tyco Electronics和其他地方的许多朋友和合作者对本书的完整性起到了积极的作用。特别感谢George Studtmann先生，他认真审阅和仔细编辑了全部原稿，对修辞的改进提出了许多建议，同时提供了许多HBT放大器的例子。对于Mark Dayton、Andy Peake、Tom Winslow、Jain Zhao、James Perdue和Gordon Tracy的大力支持，作者表示衷心的感谢。为了本书的编写和出版，相关的工作部门和一些赞助个人起到了决定性的作用，他们是David Conway、Michael Rachlin、Janice Blackwood和Neil Alls。Linda Blankenship熟练地将本书手写稿转化为Word文档，在此特别感谢。感谢Tyco Electronics的支持和鼓励，此书能够顺利出版还得益于George Telecki的大力支持，以及Lucy Hitz和Lisa Morano等John Wiley & Sons公司员工的努力。

最后，要对我的妻子Subhash Bahl表示深深的感激，由于她无微不至的关爱和默默无闻的支持，使我得以完成这项艰巨的任务。还要感谢我的女儿Preeti、女婿Ashutosh、儿子Puneet、孙子Karan和Rohan，我们互相鼓励和支持，这些成绩也应更多地归功于他们。

Inder J. Bahl

目　　录

第1章　引　　言

在电子电路中，信号放大是最重要的射频(RF)和微波功能之一。第二次世界大战期间出现的雷达，产生了需要微波信号放大的第一个重要应用。在近代，无线通信的革新，使得射频和微波放大器应用场所激增。在过去的二十年间，放大器技术在器件(低噪声和放大器件)、电路计算机辅助设计(CAD)工具、工艺、封装和应用方面取得了巨大的进步。由于无线应用领域的大规模使用，使得低成本功率放大器(PA，简称功放)的使用成为现实。

早期的微波放大器是昂贵的真空电子管器件，如速调管[1~3]、行波管(TWT)放大器[2~4]和磁控管[2,3]。今天，除了高功率的应用(大于等于100 W)之外，其他微波放大器均采用固态放大器。现在，最常见的真空管应用是900 W微波炉中使用的2.45 GHz磁控管。真空管放大器能达到的功率在10^3量级，比固态放大器的功率量级高。微波炉中的磁控管，它的制造成本为10美元(约为0.01美元/W)，目前在固态器件中无法找到性价比相似的产品。同样，手机中0.5美元/W的900 MHz ~2 GHz的固态放大器，以及基站中0.3美元/W的200 ~500 W应用在L/S波段的晶体管放大器，也没有可以与之相比的真空管放大器。

固态放大器有两个大类:基于两端的负阻二极管器件，以及基于三端的晶体管器件。早期的固态放大器主要是两端的器件，因为二极管通常比晶体管更容易生产。随后产生了一系列的两端放大器，包括参量放大器(变容二极管)[5~8]、隧道二极管[7~9]、转移电子放大器(耿氏二极管和雪崩二极管)[8,10,11]，雪崩渡越时间二极管(IMPATT，TRAPATT，BARITT)[8,12]。这些二极管通常用在需要特殊放大功能的场合。

1.1　晶体管放大器

今天，固态放大器的主体是三端式晶体管[13~36]。当一个公用端接地时，在器件的输入端加一个较小的电压，可以有效地控制输出端的一个较大的电流。这也是晶体管(transistor)这个名字的由来，是“转移”(transfer)和“电阻”(resistor)两个词的结合。

固态晶体管可以分为两个大类:双极型和单极型器件。双极型器件由硅(Si)双极结型晶体管(BJT)、锗化硅(SiGe)和砷化镓(GaAs)异质结晶体管组成。单极型器件包括硅金属氧化物半导体场效应晶体管(MOSFET)、砷化镓金属半导体场效应晶体管(MESFET)和赝高电子迁移率晶体管(pHEMT)。从两端器件转向三端器件的主要原因是成本。通常二极管的生产成本比三端器件要低，但是对于为了获得放大器增益的附属电路来说，二极管的附属电路要比三端器件的附属电路昂贵很多。例如，一个晶体管(无任何匹配网络)连接至50 Ω输入/输出端，可以在射频范围产生15 ~20 dB的增益，在20 GHz也有6 ~8 dB的增益。而且设计稳定的三端放大器很容易大规模生产。

在射频和微波系统中，信号放大功能是一个基本的功能。当一个幅度微弱的信号通过一个由直流(DC)电源供电的器件而得到放大时，这个器件及这个器件周围的匹配和偏置电路就称为放大器。这里直流信号转换为射频信号以增加输入信号的幅度。如果这个器件是晶体管，则信号被送入输入端(栅极或者基极)，放大的信号从输出端(漏极或者集电极)输出，公共端(源极或者发射极)通常是接地的。匹配网络用来激励器件，并且使器件更有效地输出信号。图1.1显示了一个代

表单端晶体管放大器的原理图，其主要的组成部分是一个晶体管、输入和输出匹配网络、偏置电路、输入和输出的射频连接点。如果芯片要进行封装，然后放置在一个固定的装置里或者需要引线时，可以把直流偏置和射频连接点做成转接头，具体方法根据放大器的生产方案来确定。

在射频和微波频段有许多种类的放大器。基本的放大器种类包括低噪声放大器、缓冲放大器、可变增益放大器、线性功率放大器、饱和高功率放大器、高效率放大器、窄带放大器和宽带放大器。放大器的设计需要有必要的器件模型或 *S* 参数、CAD 工具、匹配和偏置网络及制造技术。对每种放大器需要进行更深入的理解，以便达到放大器设计的具体要求。例如，一个低噪声放大器(LNA，也称为低噪放)需要一个低噪声的器件和一个低损耗的输入匹配网络，而一个功率放大器则需要一个功率器件和一个低损耗的输出匹配网络。

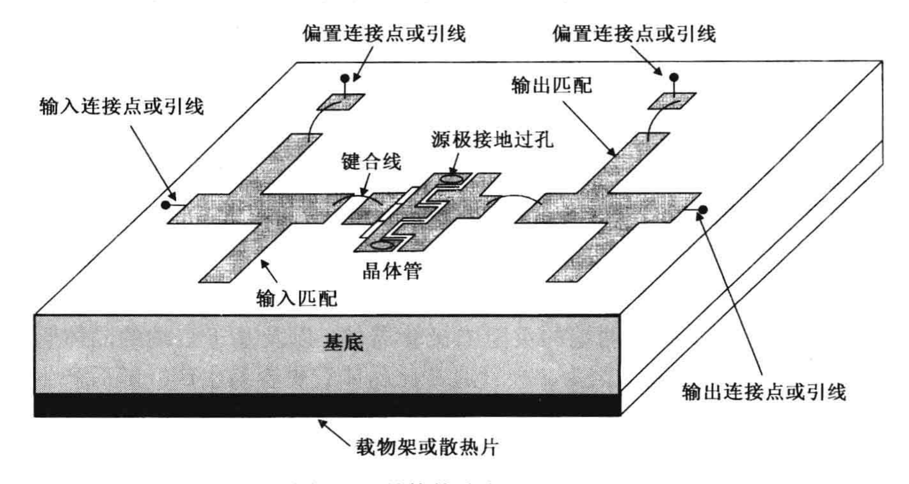


图 1.1 晶体管放大器的原理图

射频和微波放大器有以下特点：

- 带限的射频响应。
- 低于 100% 的 DC 到 RF 信号的转换效率。
- 具有可以在多路信号产生混频输出的非线性特性。
- RF 可耦合并且没有 DC 响应。
- 依赖于功率的幅度，输出端和输入端相位不同。
- 依赖于温度的增益，温度越低则增益越高，反之亦然。

1.2 晶体管放大器的早期历史

使用硅双极型晶体管和砷化镓场效应晶体管的放大器，分别从 20 世纪 60 年代中期和 70 年代早期开始有报道。对于大部分的早期产品，硅双极型晶体管放大器是在 C 波段以下，而砷化镓场效应晶体管放大器是在 L 波段以上(见附录 C 中的频段分类)。低噪声的 HEMT(高电子迁移率场效应晶体管)在 20 世纪 80 年代早期就有报道。具有工作频带从 S 波段到 X 波段的内匹配的窄带场效应晶体管功率放大器则是在 20 世纪 80 年代产生的，Ku 波段的放大器在 20 世纪 90 年代初产生。

砷化镓单片微波集成电路(MMIC)放大器于 1976 年被报道，从此以后低噪声放大器和功率放大器都取得了巨大的进步。一些单片微波集成电路放大器的早期发展的重要事件如下：

- 1976年，产生了X波段低功率砷化镓金属半导体场效应晶体管(MESFET)放大器。
- 1979年，产生了X波段砷化镓MESFET功率放大器。
- 1979年，产生了K波段砷化镓MESFET低噪声放大器。
- 1986年，产生了Q波段砷化镓MESFET功率放大器。
- 1988年，产生了V波段砷化镓HEMT低噪声放大器。
- 1989年，产生了X波段砷化镓HEMT功率放大器。
- 1992年，产生了W波段HEMT低噪声/功率放大器。

1.3 晶体管放大器的优点

相对于电子管放大器而言，晶体管放大器的主要优点是具有更小的尺寸、更轻的重量、更高的可靠性、较高的集成性能、大批量和高产出的性能，还有各种各样的应用。晶体管有更长的工作寿命(大约数百万小时)，并且需要的预热时间短很多。固态放大器也不需要像电子管那样在长时间工作的情况下对偏置或电路进行校正。

同固态二极管放大器相比，晶体管放大器在设计匹配网络、实现高稳定性电路和级联放大器以获得高增益等方面具有更高的灵活性。单片放大器取得的杰出成就归功于三端晶体管，尤其是砷化镓基底的三端晶体管，单片放大器是以组为单位在晶圆上加工，成百上千的单片放大器可以同时制作出来。例如，超过15 000个放大器可以在一个直径为6英寸[①]的砷化镓晶圆上制作出来，其中每个放大器的芯片尺寸为1 mm^2。因此单片放大器在每个芯片的制作成本上有很大的优势。总体来说，相对于混合集成技术，单片放大器在芯片尺寸和重量上有优势。值得一提的是，一个单独或分离的片式电阻、片式电容或一个电感的重量，通常比整个单片放大器芯片还要重。如今，很多应用放大器的大功率容量的设备是手持式的。混合和单片的微波集成电路技术都是可用并且可靠的。但是，一个好的单片微波集成电路工艺流程更加可靠，因为它具有更少的步骤和连接线。

1.4 晶体管

过去的20年间，微波和毫米波晶体管的研究取得了很大的进展，低噪声、功率特性和工作电压方面都有很大进步。在低噪声器件中，pHEMT是最受欢迎的，因为它的低噪声指数和高增益特性，可以应用在小信号处理的器件上，如MESFET、MOSFET和SiGe HBT。现在的放大器设计者在使用分立器件(裸片或封装的形式)时有多种功率晶体管可供选择，也可以把设计功率放大器单片微波集成电路作为代工服务的一部分。可以用来发展功率放大电路的几种固态器件包括BJT、LDMOS(横向双扩散金属氧化物半导体)晶体管、MESFET，或者仅仅使用FET，GaAs和InP基的HEMT，GaAs基的HBT和SiC基的FET，以及GaN HEMT。每种器件技术都有其特定的优点，对于某种特定应用的最佳技术选择不仅要考虑技术方面的问题，而且要考虑经济因素，例如功率供给花费要求、研发产品的时间、推销产品的时间、已存和新兴的市场等因素。

HEMT具有最高的工作频率、最低的噪声系数，以及较高的功率和功率附加效率(PAE)。由于GaAs基底具有半绝缘特性，制作在GaAs上面的匹配网络和无源组件比硅基工艺器件具有更低的损耗。GaAs FET作为一个单独的晶体管已经广泛应用在宽带、中功率或大功率、高效率

① 1英寸=2.54厘米。

的混合微波集成电路(MIC)放大器之中。GaAs FET 的广泛应用得益于它的高工作频率并且具有较多的用途。然而,具有更好性能和更高工作频率的新器件越来越受到关注。HEMT 和 HBT 器件在微波和毫米波 IC 应用中具有潜在的优势,因为在 HEMT 中存在异质结来增加载流子的迁移特性,在 HBT 中存在 pn 结注入特性。HEMT 在性能上有超低噪声、高线性度、可以用在高频率等优势,使用如异介质和晶格匹配的 HEMT 等新结构生产的 MMIC,在功率、功率附加效率和高频特性(可达 280 GHz)上有显著的进步。应用含有多晶外延结构的Ⅲ-Ⅴ族化合物 pHEMT,使得从 Ku 至 W 波段的毫米波范围内有非常好的功率性能。HBT 是垂直取向的异质结构器件,并且当只有单电源供电时是一种很受欢迎的低成本功率器件,它比 FET 和 HEMT 具有更好的线性度和更低的相位噪声。

另一方面,双极型晶体管只需要单电源供电,泄漏更小,具有低的 $1/f$ 噪声或相位噪声,硅基器件的生产成本更加便宜。SiGe HBT 具有和 Si 基 BJT 一样低成本的潜质,而电性能与 GaAs HBT 接近。因此在微波频段分立的 Si 基 BJT、SiGe HBT 和 MOSFET 在生产成本上要优于 GaAs FET、HEMT 和 HBT。对于高集成的射频前端来说,GaAs FET 和 HEMT 要优于双极型晶体管和 Si 基器件,因为它们是具有多功能的、性能更良好的、电容损耗更低的器件。在 Si 基器件和 GaAs 器件的电性能和成本的权衡中更偏向于 Si 基器件,因为它们具有单电源供电和生产成本低的优点,而 GaAs 器件的优势在于超低的噪声、良好的功率性能(击穿电压很高)和良好的高频特性。

代工厂可以加工分立的晶体管,也可以加工单片的放大器。分立的晶体管可以有裸片形式和塑封或陶瓷封装形式。陶瓷封装的器件更适合高频率和高功率的应用场合,塑料封装形式的晶体管适合低成本、大批量的应用场合。

1.5 放大器的设计

射频和微波放大器的设计有几个方面可以严重影响其性能,最重要的因素是半导体技术的选取、器件模型、电路结构、设计方法、匹配网络、封装形式和热控制。因此放大器的设计成为了一门艺术,它有时需要达到互相冲突的设计指标,一个有经验的设计者比没有经验的人设计出的放大器要好很多。

针对某一特殊应用和频率范围的放大器设计是一个很复杂的事情,因为这需要达到物理、电气、热性能和成本的要求。放大器设计的特点在图 1.2 中给出。放大器的性能指标主要有频率范围、增益、噪声系数、输出功率、PAE、线性度、输入和输出电压驻波比(VSWR),这些指标由器件的尺寸、电路设计的拓扑结构、匹配网络、放大级的个数、各级器件的长宽比、设计方法、加工技术和封装决定。经常会遇到需要在尺寸、电性能、可靠性和成本之间进行权衡。通过使用器件的 S 参数、线性和非线性模型及匹配元件的模型来实现放大器的设计。

放大器的设计从广义上分为两大类:低噪声放大器和功率放大器。在低噪声放大器中,晶体管的输入端需要采用最小噪声匹配,在 50 Ω 系统中输出端需要采用共轭匹配以达到最大的增益和最小的回波损耗(RL)。对于功率放大器来说,在 50 Ω 系统中输出端需要匹配到指定的负载以达到最大功率输出,输入端需要采用共轭匹配以达到最大的增益和最小的回波损耗。在线性放大器中,输入和输出都要匹配以达到更好的线性度。因此,在一个放大器中,器件的输入需要匹配以达到最小噪声或最大增益或更高的线性度,输出需要匹配以达到最大的增益或最大功率和 PAE 或更高的线性度。匹配网络由分布和集总元件组成。在一个放大器中,电源电压(加在漏极或集电极)是通过一个射频扼流圈或通过偏置电路加上的,并且这些元件通常是匹配网络中的一部分。

一个低噪声或者小信号放大器的设计需要器件的噪声模型或噪声参数和 S 参数。放大器的设计必须是有条件的稳定。在设计窄带功率放大器时，需要用器件的源牵引和负载牵引数据来设计放大器的输入和输出的匹配电路。这种技术可以提供近似的电气特性，例如增益、功率、功率附加效率，这些数据是由测得的有源器件小信号 S 参数计算得来的。然而，对于宽带的设计来说，前面提到的放大技术很少用到。有源器件的准确的非线性模型提供了一种更加方便的设计技术，即采用非线性 CAD 软件的设计技术。这些模型可以用来确定需要的频带内的匹配网络，并且可以提高仿真器件的大信号性能，如增益、VSWR、$P_{1\,dB}$、PAE、P_{sat}、TOI、ACPR 或 EVM 和谐波水平。这些术语的定义在第 3 章中可以找到。这些非线性模型也可以用来提供设计多级功率放大器的准确解决方法。放大器需要设计成有条件的稳定，并且必须避免奇模、寄生参量、低频振荡条件。然而，在功率放大器设计中，无条件的稳定经常是需要的。

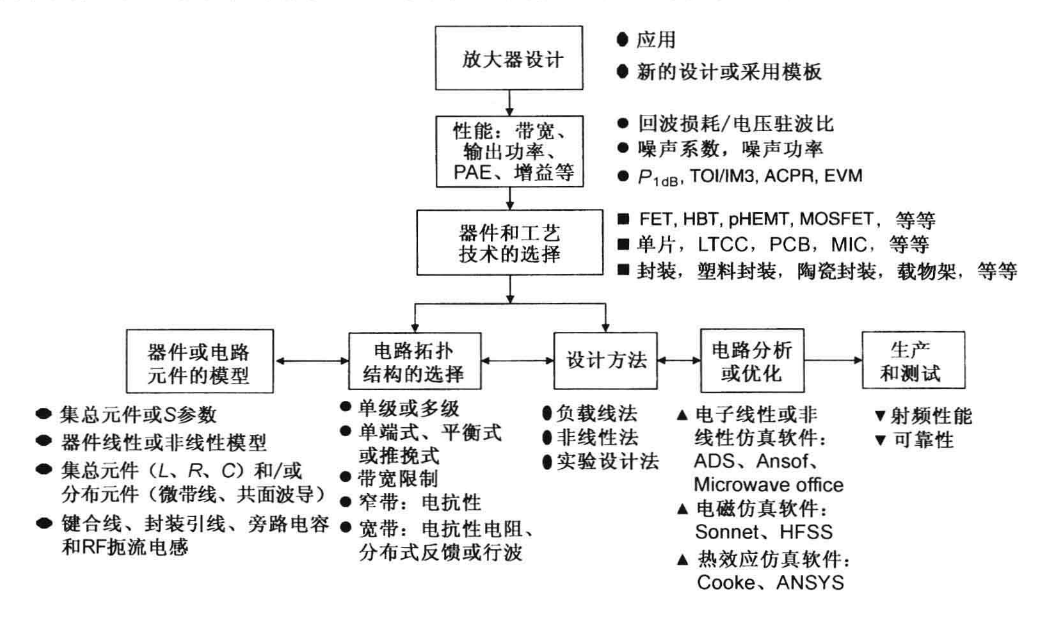


图 1.2 放大器设计的特点

功率放大器是非线性电路。因此对于多载波的通信系统来说，这种电路的线性化技术是需要的，以便使失真度最小。可以通过测量源牵引和负载牵引的数据或准确的非线性模型，或者通过一些失真校准技术来实现这种电路的设计。

基于 MMIC 的放大器比混合集成电路技术的放大器的开发成本要高，而且生产的 MMIC 的调试也很困难。所以 MMIC 放大器设计的一次性成功是很关键的，即使需要二次设计也要成本最小。在这些产品的设计中，非常准确的有源器件模型库、无源电路元件和其他一些寄生电抗，包括不连续的点、交叉耦合、键合线焊接点、连接线和封装引线框等，都是放大器设计的一部分。

1.6 放大器制造技术

有几种射频和微波放大器生产技术用来减小器件的零件数量、尺寸和成本。这些技术是印制电路板(PCB)技术、薄膜和厚膜混合集成电路(IC)技术、低温和高温共烧陶瓷(LTCC)技术、单片 IC 技术和多芯片组装技术。在过去的十年中，放大器生产技术的趋势从混合 IC 向单片 IC 过渡。大多数的功率放大器使用一些混合集成技术生产。在射频频段，在印制电路板上焊接分立的匹配元

件(如电感、电容和电阻)来组成功放。在微波频段，薄膜技术用来设计混合放大器和内匹配放大器，以实现 MMIC 放大器和高功率合成。MMIC 放大器特别适用于宽带、高频段和大批量生产中。

选择适合的半导体工艺需要考虑它的性能和价格。例如，在 S 波段以 GaAs 为基底的 pHEMT 和 MESFET 器件比 Si 基 LDMOS 器件的性能要好。但是，Si 基 LDMOS 技术在开发移动网络基站所用的高功率(数量级为百瓦)器件时经常采用。因为 LDMOS 是基于已经成熟和低成本的 Si 技术，它满足成本要求并且可以提供需要的增益、线性度，并且可靠性也不是问题。而另一方面，以 GaAs 为基底的 pHEMT 满足毫米波应用所需要的低噪声和功率特性。

1.7 放大器的应用

总体来说，一个微波系统需要一系列的放大器。低噪声放大器是接收机中必需的部分，而发射机是基于几级功率放大器构成的。射频或微波功率放大器是很重要的电路部件，广泛应用于无绳电话和移动电话，基站设备，宇宙、空中和地面(固定或移动)的卫星通信系统，点对点无线电(PPR)，卫星通信地球站(VSAT)宽带卫星通信，空中飞机系统，全球定位系统(GPS)，相控阵雷达(PAR)，电子战(EW)，以及智能武器系统。这些用途绝大多数需要低成本(大批量)和高可靠性的固态功率放大器。无绳电话和移动电话需要低工作电压(2 ~ 5 V)、单电源供电和非常高效率(对于模拟电路)或高线性度(对于数字电路)的放大器。移动电话还可能需要两种、三种或者四种工作模式，在模拟和数字上都具有多频段的放大器。用于点对点无线电和卫星通信地球站的功率放大器通常工作在 8 V，输出功率要求在 0.2 ~ 4 W 的范围内。另一方面，对于相控阵天线(PAA)来说，放大器同时工作在 10 V，并且每个元件的输出功率要求在20 ~ 40 W之间。

放大器输出功率的量级由实际的应用所决定。举例来说，对于无线通信基站和电子战，功率量级在几十瓦到几百瓦。而对于卫星和雷达系统，功率量级可能还要高一个数量级。对于手提式无线手机和无线局域网，功率量级要低一个数量级，通常低于 1 W。基于调制方案，手机的需求可以分为两大类:常数包络和非常数包络。在之前的方案中没有包括传输信号幅度的信息。在这种情况下，放大器工作在高效率模式。最广泛的应用是全球移动通信系统(GSM)和数字欧洲无线通信系统(DECT)，后者的方案主要通过包含需要传输信号的幅度信息来增强频谱效率。最受欢迎的应用是码分多址(CDMA)、宽带码分多址(WCDMA)和本地局域网络(LAN)。通常，放大器以功放的效率为代价工作在线性模式。对于无线基站来说，高线性度对于功率放大器来说是最重要的因素。例如，个人通信服务(PCS)(1.8 ~ 2.0 GHz)需要的功率量级为 5 ~ 200 W。

现代用于相控阵应用的有源孔径天线子系统需要数百甚至数千个收发(T/R)组件，每个组件发送数十瓦的输出功率。这些相控阵天线子系统用在空中通信和雷达系统、陆载和舰载战术雷达、空间雷达及通信系统中。典型的适合以上应用的 T/R 组件需要有以下特点:(a)小尺寸，由所需天线中器件之间的距离决定;(b)重量轻，尤其在空中和空间系统中;(c)对介入相位和幅度有精确的控制，以达到较好的波束方向性和低的副瓣特性;(d)高可靠性;(e)高的功率附加效率，以减小输入功率和对冷却系统的要求;(f)低成本，因为在一个系统中可能需要数千个模块。因此，假如 PAE 提高 5% ~ 10% 的效率，可以有效地改变对直流功率和散热设计的需求。MMIC 放大器技术在实现几个有数十瓦功率的放大器上很有吸引力。这些放大器芯片用标准的混合 MIC 技术结合起来，以达到更高的输出功率量级。在先进系统中，这些器件的高效率对于减小输入功率和系统冷却是最重要的因素之一。这些特性在空间和军事上尤其重要，因为其重量、尺寸和功率附加效率对系统中器件的选择有重要的影响。

图 1.3 ~ 图 1.7 给出了一些比较典型的微波放大器。包括一个小信号 MMIC 放大器、塑料封

装驱动放大器、高压功率放大器、混合功率放大器、陶瓷封装功率放大器和 MMIC 功率放大器。图 1.8 是一个应用于塑料封装驱动放大器的测试板。

由于相控阵天线中的元件数量很多，因此具有低成本的、带有多个放大器的 T/R 对于相控阵天线很有帮助。图 1.9(a)给出了一个 T/R 组件的简单框图，通过使用单片集成放大器和除环形器和天线外的所有其他微波组件，它的尺寸和成本可以大大降低。图 1.9(b)给出了使用了 3 个放大器芯片的 X 波段雷达用 GaAs MMIC 芯片组，其中 3 个放大器芯片为限幅器/低噪声放大器(LNA)、驱动放大器、高功率放大器(HPA)和几个缓冲放大器，缓冲放大器作为控制芯片进行损耗补偿。

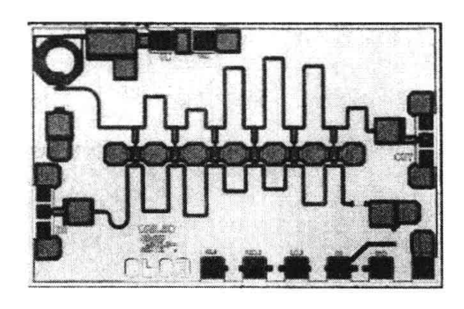


图 1.3 单级宽带低噪声 MMIC 放大器，芯片面积为 $3\times2\ mm^2$

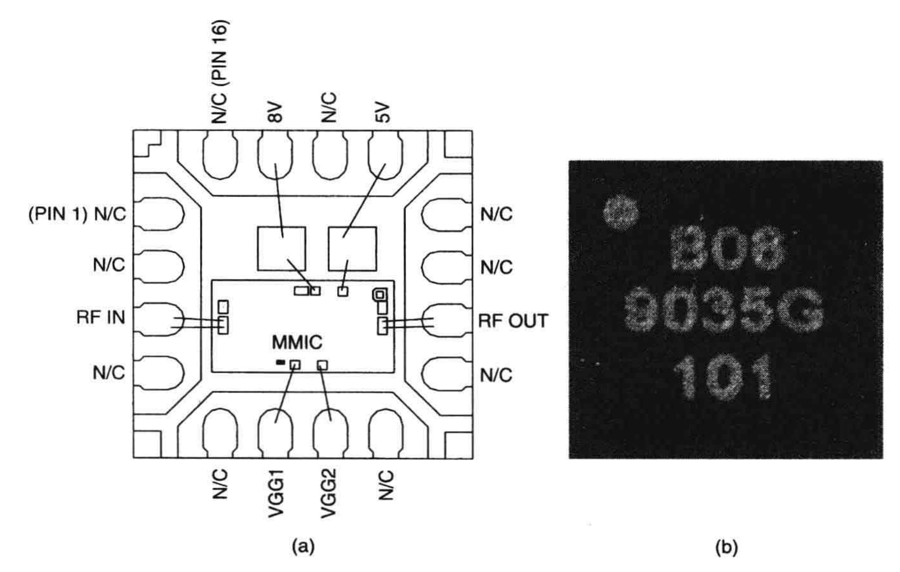


图 1.4 塑料封装驱动放大器示例：(a)MMIC 与引线盘的连线；(b)封装的顶视图。在电源处并联的为减小耦合的电容

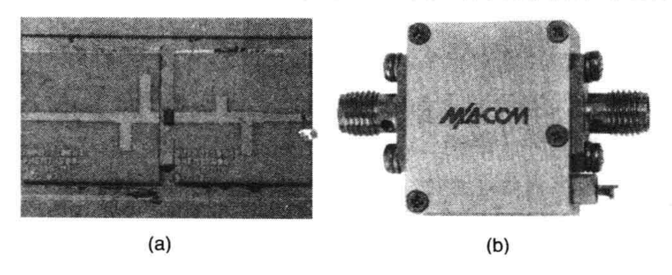


图 1.5 混合 MIC 放大器示例：(a)使用 pHEMT 实现的 LNA；(b)在金属腔中单电源供电的放大器

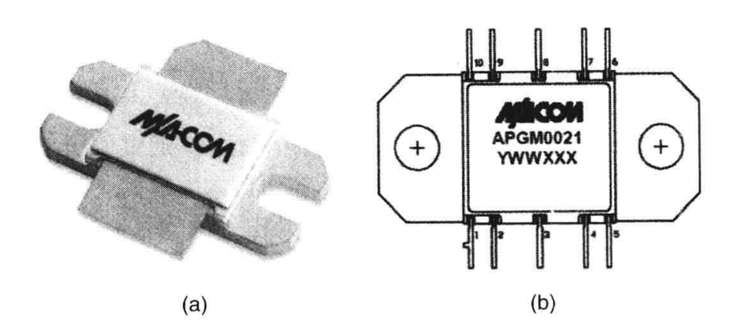


图 1.6 陶瓷封装器件示例:(a)分立晶体管;(b)MMIC 放大器

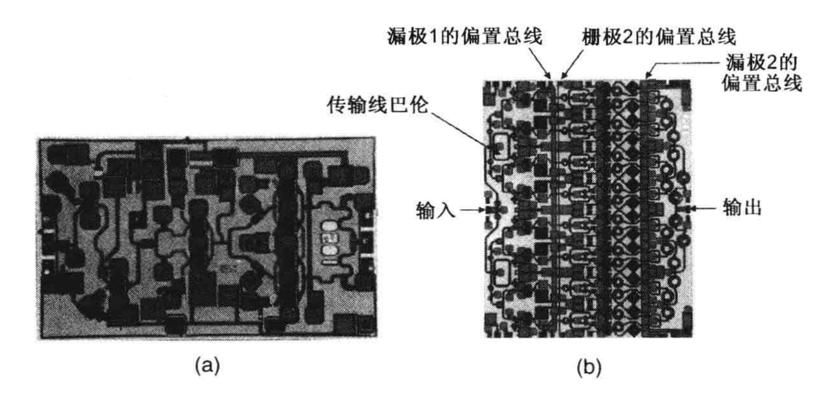


图 1.7 MMIC 放大器示例:(a)K 波段四级 1 W 驱动放大器,芯片尺寸为 $3.1\times2.0\ mm^2$;(b)2~8 GHz 的 8 W功率放大器,芯片尺寸为$5\times6.3\ mm^2$

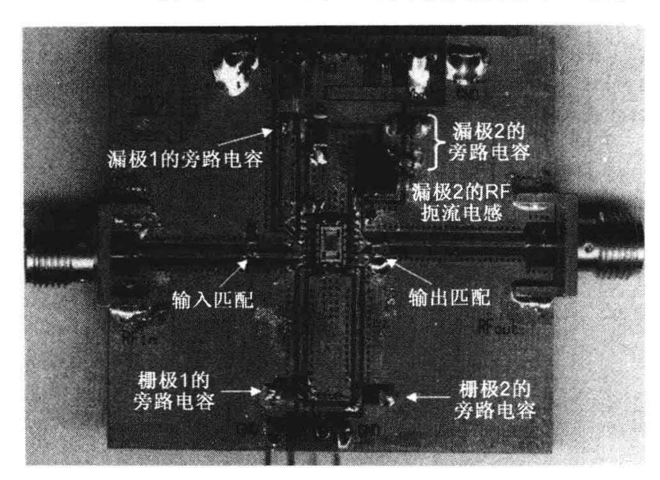


图 1.8 用于射频测试 PCB 原型示例,包括一个 TSSOP(超薄紧缩小型封装)塑料封装 16 脚功率放大器

不同的应用场合对于放大器的要求各不相同,而且差别很大。一般来说,通信系统要求放大器具有高的线性度,而对于雷达来说,高的 PAE 是最重要的。工作在 800 MHz~2.5 GHz 的个人通信系统使用不同的数字调制器和接入方案。移动设备和基站设备一样需要高效率和高线性度的放大器。

已经有新兴的商业和军事上的应用需要宽带和高功率的放大器,这些应用包括宽带无线接入系统、通信设备和电子战。

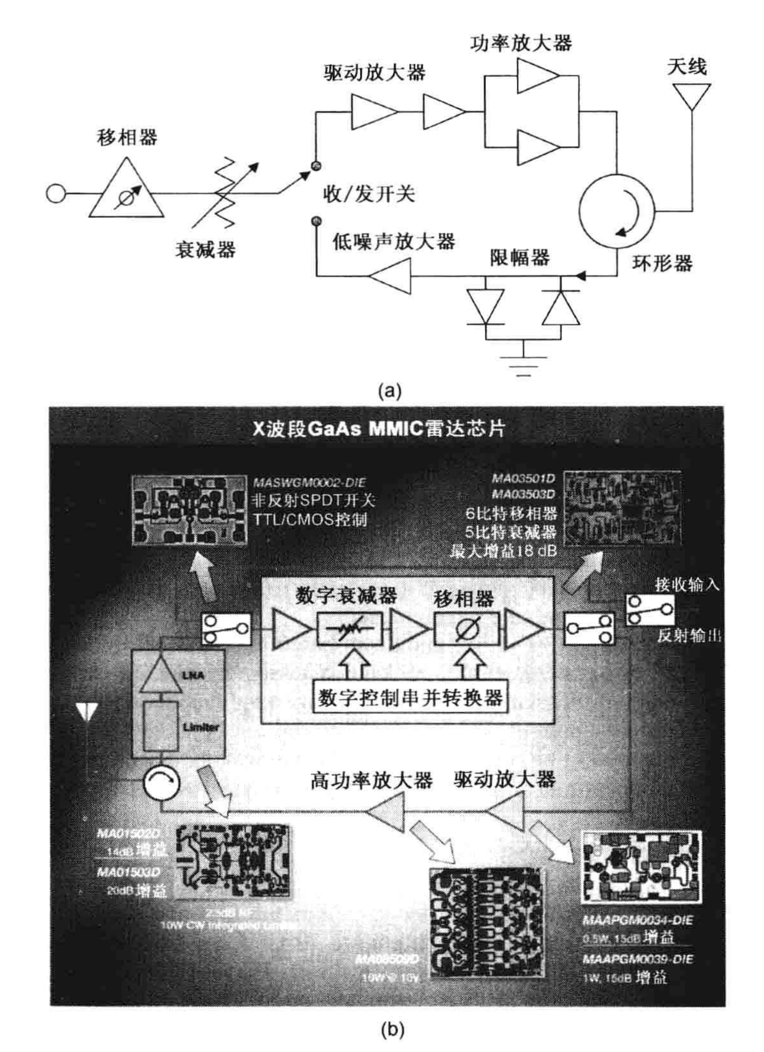


图1.9 (a)一个说明T/R组件中放大器功能的框图；(b)使用了3个X波段放大器芯片的雷达用GaAsMMIC芯片组，其中的3个放大器芯片为限幅器/LNA、驱动放大器、HPA，还有几个缓冲放大器作为控制芯片进行损耗补偿

1.8 放大器的成本

放大器的成本取决于它的性能（功率、PAE、噪声系数、工作频率等）、生产技术、复杂程度（裸片、封装、起支撑作用的机械结构等）和应用（大批量或者小批量）。成本首要由生产数量决定。具有大批量应用的复杂放大器比起相对简单但用量很少的放大器要便宜。可以买到价格为0.25～2.00美元的低噪声低功率塑料封装放大器，但是高功率模块的价格为2000～5000美元。具有裸片或封装好的微波驱动放大器的价格为5～30美元。中等数量的高功率（10～20 W）X波段MMIC放大器的价格为100～200美元。具有基本内匹配结构的射频或较低微波频段的HPA（100～200 W）的价格为100～200美元。毫米波段的HPA由于用量较少，因此价格还很昂贵。

基于 GaAs MMIC 的低功率(1 ~2 W)放大器的成本主要有三个方面:裸片成本、封装和组装成本、测试成本。表 1.1 给出了塑料和陶瓷封装的放大器的成本分配。这些成本只是基于一系列的假设和现有产品成本而得出的,成品率假定为 80%,大批量产品的生产、封装、测试的自动化可以极大地增加成品率和降低成本。

表 1.1 塑料和陶瓷封装放大器的成本分配比(%)

项目	塑料封装	陶瓷封装
裸片	85	33
封装和组装	5	58
测试	10	9

1.9 目前的趋势

微波和毫米波晶体管放大器已经有了长足的进步。基于 Si 基 CMOS 技术的电路可以工作在 70 GHz,基于 GaAs/InP 的技术可以实现工作在 280 GHz 的电路。对于工作频率至 S 波段的基站发射机来说,Si 基 LDMOS 晶体管是一个主要的功率器件。基于 InP、SiC 和 GaN 基底材料的 pHEMT 和 HBT 器件,其工作频率可以达到 100 GHz。SiC 基 GaN pHEMT 技术发展很快,在需要高功率、高效率、低噪声、宽频带和毫米波频段有独特的应用。超高频率电路使得在通信、安全、医疗、传感和影像方面产生了很多新的应用。对于具有宽频带无线应用的广播电视、IP 语音技术(VoIP)、视频点播(VOD)、在线游戏、移动流媒体、移动可视电话技术来说,功率放大器是至关重要的部件。

最近,工作在 30 ~50 V 的 SiC 基晶体管发展迅速。SiC MESFET 在较低微波频段的高功率宽带应用越来越多,SiC 基 GaN HEMT 在高功率、高频率的场合有许多新的应用。这些器件具有更高的功率密度,可以达到所需的电流要求,并减小固态功率放大器的成本。另一个新兴的技术是 SiC 基 GaN HEMT 器件。这种技术有可以达到基站和雷达发射机等许多应用场合对成本要求的潜力。这种器件有能力在 C/X 波段输出数百瓦的功率,在毫米波频段输出数十瓦的功率,在 100 GHz 也有 1 ~2 W 的功率。这项技术具有高出一个数量级的击穿电压、功率密度和出色的散热基底,满足高功率放大器的必要因素。

射频和微波产业还在不断地进步,并且有足够的证据证明这个产业得到了大力的支持,以满足目前的需要。大量新的应用场合需要基于晶体管放大器的低成本解决方案。目前的趋势是在更准确的器件模型和集成 CAD 软件领域上大力发展。在一个新的充满竞争的商业领域,需要有准确的器件模型和合适的电路设计工具来开发最先进的电路,从而满足系统要求,包括成本和生产计划。对于一个放大器设计工程师来说,针对特殊应用及时设计出放大器产品是非常重要的。对于新兴的宽带应用,这种应用通常需要高功率(50 ~200 W)放大器,并且具有 50% 的 PAE,因此需要新的电路拓扑结构来满足这些具有挑战性的产品指标。

不变的趋势就是改进 LNA 和 PA 的性能,使其更加便宜来满足大量的应用需求。因此射频集成电路(RFIC)和 MMIC 技术及封装技术的进步会和过去十年保持相同的速率。对于大量的应用,封装(塑料或陶瓷封装)对于功率放大器来说已经成为 RFIC 和 MMIC 的一个必需的部分。为了达到最小的尺寸和最低的生产成本,需要便宜且高性能的无引线表贴和球栅阵列封装。对于小信号放大器来说,塑料封装是一种优先选择的封装方式,而且越来越多的功率器件采用塑料封装。对于这种封装,低的热电阻是另一个重要的要求。

1.10 本书的结构

本书主要讲述晶体管放大器工作原理,以及设计 RF 和微波放大器。本书采用自上而下的分析方法,分成四个部分共含 22 章。图 1.10 给出了各个章节的概况。第一部分包含 7 章,主

要讲述放大器设计基础，包括网络理论、放大器的定义、晶体管基础和模型、阻抗匹配元件和匹配技术。第二部分主要关注放大器的设计，包含 6 章，每章讲述各个放大器类型的主要特征。这部分包括放大器分析、设计方法及高效率、宽带和线性技术，也包含了高压和高功率放大器。放大器的其他主题如加工技术、偏置技术、热和稳定性分析、功率合成技术组成了第三部分，也包含 6 章。第四部分包含 3 章，有两章是讲述放大器和封装的内在功能，最后一章主要讨论晶体管和放大器的测试。这些章节也可以帮助理解一个成功设计的放大器的基本要求。本书的最后包含几个对 RF 和微波设计人员很有用的附录。

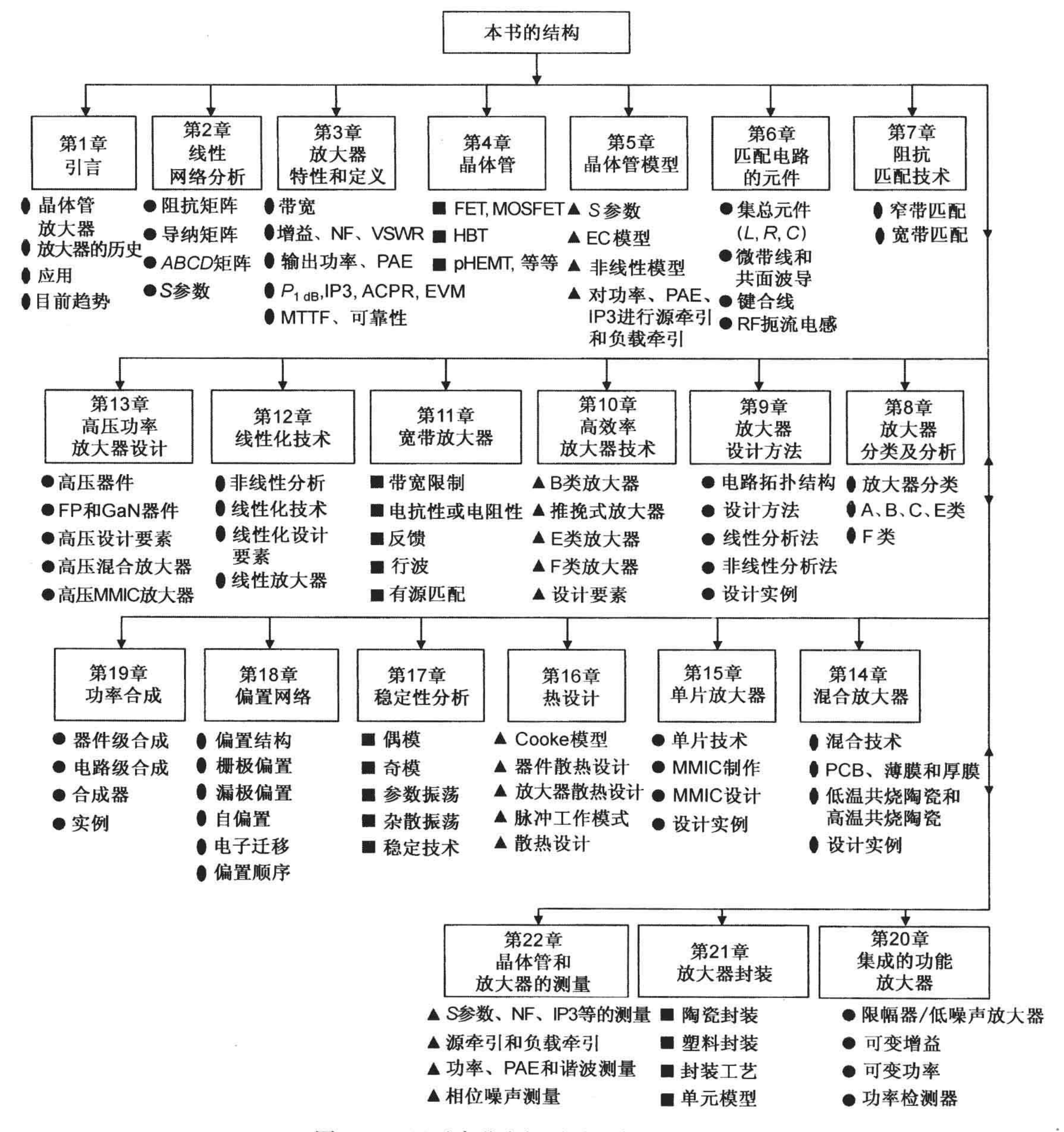


图 1.10 显示章节之间联系的本书结构概况

参考文献

1. A. E. Harrison, *Klystron Tubes*, McGraw-Hill, New York, 1947.
2. S. Y. Liao, *Microwave Devices and Circuits*, Prentice Hall, Englewood Cliffs, NJ, 1980.
3. O. P. Gandhi, *Microwave Engineering and Applications*, Pergamon, New York, 1981.
4. J. R. Pierce, *Traveling Wave Tubes*, Van Nostrand, Princeton, NJ, 1950.
5. L. A. Blackwell and K. L. Kotzebue, *Semiconductor-Diode Parametric Amplifiers*, Prentice Hall, Englewood Cliffs, NJ, 1964.
6. P. Penfield and R. Rafuse, *Varactor Applications*, MIT Press, Cambridge, MA, 1962.
7. K. K. N. Chang, *Parametric and Tunnel Diodes*, Prentice Hall, Englewood Cliffs, NJ, 1964.
8. H. A. Watson, *Microwave Semiconductor Devices and Their Circuit Applications*, McGraw-Hill, New York, 1969.
9. F. Sterzer, Tunnel diode devices, in L. Young (Ed.), *Advances in Microwaves*, Vol. 2, Academic, New York, 1967.
10. F. Sterzer, Transferred electron (Gunn) amplifiers and oscillators for microwave applications, *Proc. IEEE*, Vol. 59, pp. 1155–1163, August 1971.
11. L. F. Eastman, *Gallium Arsenide Microwaves Bulk and Transit-Time Devices*, Artech House, Norwood, MA, 1973.
12. G. Haddad, *Avalanche Transit-Time Devices*, Artech House, Norwood, MA, 1973.
13. R. S. Engelbrecht and K. Kurokawa, A wideband low noise L-band balanced transistor amplifier, *Proc. IEEE*, Vol. 53, pp. 237–247, March 1965.
14. K. Kurokawa, Design theory of balanced transistor amplifiers, *Bell Syst. Tech. J.*, Vol. 44, pp. 1675–1698, October 1965.
15. H. F. Cooke, Microwave transistors: theory and design, *Proc. IEEE*, Vol. 59, pp. 1163–1181, August 1971.
16. H. Krauss, C. Bostian, and F. Raab, *Solid-State Radio Engineering*, John Wiley & Sons, Hoboken, NJ, 1980.
17. T. T. Ha, *Solid-State Microwave Amplifier Design*, John Wiley & Sons, Hoboken, NJ, 1981.
18. H. Fukui (Ed.), *Low-Noise Transistors and Amplifiers*, IEEE Press, New York, 1981.
19. R. S. Carson, *High-Frequency Amplifiers*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 1982.
20. J. V. Dilorenzo and D. D. Khandelwal (Eds.), *GaAs FET Principles and Technology*, Artech House, Norwood, MA, 1982.
21. R. S. Pengally, *Microwave Field-Effect Transistors—Theory, Design and Applications*, John Wiley & Sons, Hoboken, NJ, 1982.
22. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, Englewood Cliffs, NJ, 1984.
23. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1988.
24. R Soares (Ed.), *GaAs MESFET Circuit Design*, Artech House, Norwood, MA, 1989.
25. P. H. Ladbrooke, *MMIC Design: GaAs FETs and HEMTs*, Artech House, Norwood, MA, 1989.
26. R. Goyal (Ed.), *Monolithic Microwave Integrated Circuits: Technology and Design*, Artech House, Norwood, MA, 1989.
27. K. Chang (Ed.), *Handbook of Microwave and Optical Components*, Vol. 2, John Wiley & Sons, Hoboken, NJ, 1990.
28. G. D. Vendelin, A. M. Pavio, and U. O. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, John Wiley & Sons, Hoboken, NJ, 1990.

29. F. Ali and A. Gupta (Eds.), *HEMTs and HBTs: Devices, Fabrication and Circuits*, Artech House, Norwood, MA, 1991.
30. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993.
31. K. Chang, *Microwave Solid-State Circuits and Applications*, John Wiley & Sons, Hoboken, NJ, 1994.
32. R. J. Weber, *Introduction to Microwave Circuits*, IEEE Press, New York, 2001.
33. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
34. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.
35. I. A. Glover, S. R. Pennock, and P. R. Shepherd (Eds.), *Microwave Devices, Circuits and Subsystems*, John Wiley & Sons, Hoboken, NJ, 2005.
36. A. Raghavan, N. Srirattana, and J. Laskar, *Modeling and Design Techniques for RF Power Amplifiers*, John Wiley & Sons, Hoboken, NJ, 2008.

第 2 章　线性网络分析

线性网络分析方法是 RF 和微波电路设计的一个基础性主题，基本上包含一个元件多个端口的电压–电流的数学关系，这个元件可以是一个晶体管也可以是一个无源元件(键合线、集总元件、微带线部分、耦合器等)，或者是一个放大器。线性特性是在低功率时显现的，也是小信号网络参数的由来。这一章中将讲述不同线性网络的分析技术。

微波无源和有源网络可以分为多端口或 N 端口网络。这些网络或其组合在分析、综合、优化多端口和多级电路时经常用到。大多数情况下，无源网络按照线性、与功率和温度无关的元件进行处理。但是，对于功率放大器来说，就需要采用非线性分析的方法来测量它的大信号性能，也就是输出功率、PAE、线性度和谐波水平等指标是相对于输入功率变化的函数。

微波频段的网络特征与低频电路的网络特征有很大的不同。对于低频网络来说，可以定义或测量其在不同电路位置时特定的电压和电流值。然而，同样的方法在微波及以上频段时行不通，在微波频段，网络通过等效电压和电流常数表征，不同类型的矩阵表示形式可以用来分析一个微波电路。比较通用的网络分析方法有阻抗(Z)参数、导纳(Y)参数、电路常数/传输 $ABCD$ 参数和散射(S)参数。与低频段一样，微波频段也很难测量 Z、Y 和 $ABCD$ 参数，唯一可以测量的量是散射参数或者 S 参数。在微波频段不能测量 Z、Y 和 $ABCD$ 参数的原因是

- 对于定义这些参数的网络，很难准确测量电压和电流，高频探针可以用于测量，但是由于存在寄生电抗，使用的频率范围较小。
- 在一个很宽的频率范围内实现参考点的开路和短路是很困难的。
- 有源器件如 BJT、FET、HEMT 和 HBT 在器件端口开路或短路时存在不稳定现象。
- 多端口(端口数大于 2)器件不能被准确地测量。

在射频和微波频段，低频开始直到 100 GHz 的范围内无源元件和有源器件的特性都可以用测量得到的 S 参数表征，这些测量是基于传输线上波的传播概念，并且测量两个端口间的输入、反射和传输的波。对于一个多元件级联的网络，在网络输入和输出端口测量的波是混合波，这些波包含幅度和相位信息。在大多数微波测量系统中，S 参数的测试阻抗是 50 Ω。但 S 参数也可以转换成 50 Ω 以外的阻抗值，并转换为 Z 参数、Y 参数或 $ABCD$ 参数，下面是这些参数及其之间相互转换关系[1~5]的一个概况。

2.1　阻抗矩阵

考虑如图 2.1 所示的 N 端口网络。在阻抗矩阵表达式中，每个端口的电压和其他端口的电流关系如下：

$$\begin{aligned} V_1 &= Z_{11}I_1 + Z_{12}I_2 + \cdots + Z_{1N}I_N \\ V_2 &= Z_{21}I_1 + Z_{22}I_2 + \cdots + Z_{2N}I_N \\ &\vdots \\ V_N &= Z_{N1}I_1 + Z_{N2}I_2 + \cdots + Z_{NN}I_N \end{aligned} \tag{2.1}$$

其中

$$Z_{11} = V_1/I_1, \quad I_2, I_3, \cdots, I_N = 0 \tag{2.2a}$$

$$Z_{12} = V_1/I_2, \quad I_1, I_3, \cdots, I_N = 0 \tag{2.2b}$$

$$Z_{21} = V_2/I_1, \quad I_2, I_3, \cdots, I_N = 0 \tag{2.2c}$$

$$Z_{22} = V_2/I_2, \quad I_1, I_3, \cdots, I_N = 0 \tag{2.2d}$$

如果采用合适的条件，所有的 Z 参数都可以确定。

如果用矩阵概念来表示，那么上述方程可以表示为

$$[V] = [Z][I] \tag{2.3}$$

其中

$$[V] = \begin{bmatrix} V_1 \\ \vdots \\ V_N \end{bmatrix} \tag{2.4a}$$

$$[I] = \begin{bmatrix} I_1 \\ \vdots \\ I_N \end{bmatrix} \tag{2.4b}$$

且

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} & \cdots & Z_{1N} \\ Z_{21} & Z_{22} & \cdots & Z_{2N} \\ \vdots & \vdots & \vdots & \vdots \\ Z_{N1} & Z_{N2} & \cdots & Z_{NN} \end{bmatrix} \tag{2.5}$$

图 2.2 给出了三种典型的阻抗连接图。对于串联的情况，阻抗矩阵不能定义。对于串联的情况，阻抗矩阵是

$$[Z]_{\text{Sh}} = \begin{bmatrix} Z & Z \\ Z & Z \end{bmatrix} \tag{2.6}$$

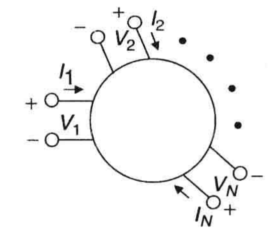
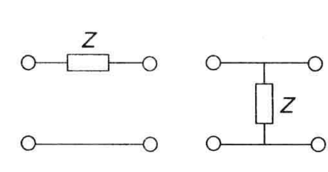


图 2.1　N 端口网络表示



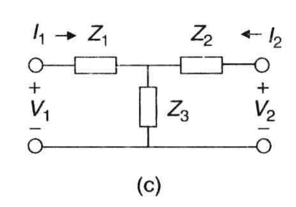


图 2.2　阻抗结构：(a) 串联；(b) 并联；(c) T 形等效阻抗网络

例 2.1　考虑如图 2.2(c) 所示的 T 形等效阻抗网络。确定它的 Z 矩阵，并用 Z_1、Z_2 和 Z_3 写出 Z 矩阵。

解　本例中

$$V_1 = Z_1\, I_1 + Z_3\, I_1 + Z_3\, I_2 = (Z_1 + Z_3)I_1 + Z_3 I_2 \tag{2.7}$$

$$V_2 = Z_2\, I_2 + Z_3\, I_2 + Z_3\, I_1 = Z_3\, I_1 + (Z_2 + Z_3)\, I_2 \tag{2.8}$$

或者

$$[Z] = \begin{bmatrix} Z_1 + Z_3 & Z_3 \\ Z_3 & Z_2 + Z_3 \end{bmatrix} \tag{2.9}$$

而且，$Z_1 = Z_{11} - Z_{21}$，$Z_2 = Z_{22} - Z_{21}$，并且 $Z_3 = Z_{21}$。Z 矩阵可以同样通过定义式(2.2a ~ d)来给出。

2.2 导纳矩阵

在导纳矩阵表达式中，图 2.1 中网络每个端口的电流和其他端口的电压关系如下：

$$[I]=[Y][V] \tag{2.10}$$

其中[V]和[I]分别是由式(2.4a)和式(2.4b)定义的列向量。而且

$$[Y]=\begin{bmatrix} Y_{11} & Y_{12} & \cdots & Y_{1N} \\ Y_{21} & Y_{22} & \cdots & Y_{2N} \\ \vdots & \vdots & \vdots & \vdots \\ Y_{N1} & Y_{N2} & \cdots & Y_{NN} \end{bmatrix} \tag{2.11}$$

图 2.3 给出了三种典型的导纳连接结构。串联结构的导纳矩阵是

$$[Y]\mathrm{s}=\begin{bmatrix} Y & -Y \\ -Y & Y \end{bmatrix} \tag{2.12}$$

对于并联结构，不能用导纳矩阵表示。

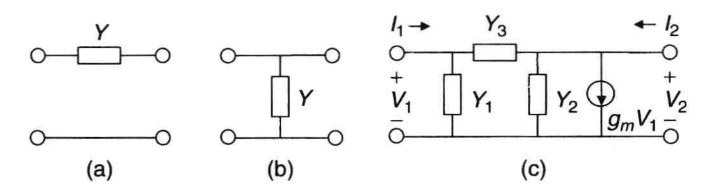


图 2.3 导纳结构：(a)串联；(b)并联；(c)π形等效导纳网络

例 2.2 考虑一个如图 2.3(c)所示的两端口π形等效导纳网络。输出端接一个附加的电流源，大小为 g_mV_1(g_m是在第 4 章中定义的器件跨导)。确定该网络的 Y 参数矩阵。

解 输入和输出电流可以表示为

$$I_1=Y_1V_1+Y_3V_1-Y_3V_2=(Y_1+Y_3)V_1-Y_3Y_2 \tag{2.13}$$

$$I_2=g_mV_1+Y_2V_2+Y_3V_2-Y_3V_1=(g_m-Y_3)V_1+(Y_2+Y_3)V_2 \tag{2.14}$$

或者

$$[Y]=\begin{bmatrix} Y_1+Y_3 & -Y_3 \\ g_m-Y_3 & Y_2+Y_3 \end{bmatrix} \tag{2.15}$$

当 g_m、Y_1 和 Y_2 为零及 $Y_3=Y$ 时，式(2.15)简化为式(2.12)。表 2.1 给出了π形和 T 形等效电路参数的关系。

表 2.1 π形和 T 形等效电路参数的关系

T 形到π形转换关系	π形到 T 形转换关系
$Y_1=\dfrac{Z_2}{Z_1Z_2+Z_2Z_3+Z_1Z_3}$	$Z_1=\dfrac{Y_2}{Y_1Y_2+Y_2Y_3+Y_1Y_3}$
$Y_2=\dfrac{Z_1}{Z_1Z_2+Z_2Z_3+Z_1Z_3}$	$Z_2=\dfrac{Y_1}{Y_1Y_2+Y_2Y_3+Y_1Y_3}$
$Y_3=\dfrac{Z_3}{Z_1Z_2+Z_2Z_3+Z_1Z_3}$	$Z_3=\dfrac{Y_3}{Y_1Y_2+Y_2Y_3+Y_1Y_3}$

2.3 ABCD 参数

在微波频段，归一化电路常数矩阵（*ABCD* 参数）和散射矩阵（*S* 参数）方法在电路分析中得到了广泛应用。其中采用 *ABCD* 参数计算是最容易的，因为：(a) 集总元件和传输线元件可以通过简单的表达式与矩阵的元件相对应；(b) 元件的级联可以简单地由矩阵相乘得到。*ABCD* 矩阵只能用于双端口网络。另一方面，散射矩阵公式是一种表达微波网络的更一般化的分析方法，可以分析三端口或更多端口的网络。

对于图 2.4 类型的双端口网络，*ABCD* 参数可以定义为

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \tag{2.16}$$

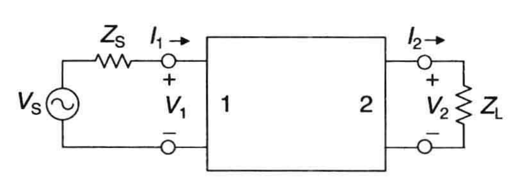


图 2.4 双端口网络表示

当 $g_m V_1$ 为零时，如图 2.2(c) 所示的 T 形网络和图 2.3(c) 所示的 π 形网络的 *ABCD* 矩阵为

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_{\mathrm{T}} = \begin{bmatrix} 1+\dfrac{Z_1}{Z_3} & Z_1+Z_2+\dfrac{Z_1 Z_2}{Z_3} \\ \dfrac{1}{Z_3} & 1+\dfrac{Z_2}{Z_3} \end{bmatrix} \tag{2.17a}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_{\pi} = \begin{bmatrix} 1+\dfrac{Y_2}{Y_3} & \dfrac{1}{Y_3} \\ Y_1+Y_2+\dfrac{Y_1 Y_2}{Y_3} & 1+\dfrac{Y_1}{Y_3} \end{bmatrix} \tag{2.17b}$$

在图 2.4 中，注意电流 I_2 的方向是流出电路的，并成为下一级联双端口网络的 I_1。表 2.2 列出了常用微波电路元件的 *ABCD* 矩阵。串联和并联的 *ABCD* 矩阵由图 2.5 表示。等效矩阵和其中每个矩阵的关系如下：

$$\begin{bmatrix} A_s & B_s \\ C_s & D_s \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \begin{bmatrix} A_2 & B_2 \\ C_2 & D_2 \end{bmatrix} = \begin{bmatrix} A_1A_2+B_1C_2 & A_1B_2+B_1D_2 \\ C_1A_2+D_1C_2 & C_1B_2+D_1D_2 \end{bmatrix} \tag{2.18a}$$

$$\begin{bmatrix} A_p & B_p \\ C_p & D_p \end{bmatrix} = \begin{bmatrix} \dfrac{A_1B_2+A_2B_1}{B_1+B_2} & \dfrac{B_1B_2}{B_1+B_2} \\ C_1+C_2+\dfrac{(A_2-A_1)(D_1-D_2)}{B_1+B_2} & \dfrac{D_1B_2+D_2B_1}{B_1+B_2} \end{bmatrix} \tag{2.18b}$$

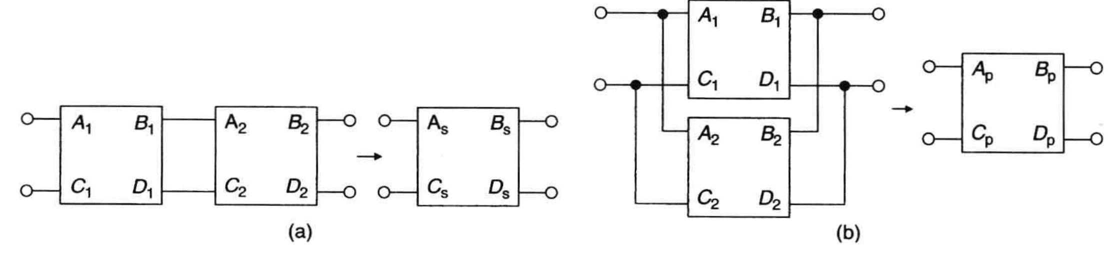


图 2.5 *ABCD* 矩阵的变换：(a) 串联；(b) 并联

表 2.2 常用双端口网络的 *ABCD* 矩阵

网络	*ABCD*矩阵
Z_{01} ① Z ② Z_{02}	$\begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix}$
Z_{01} ① Y ② Z_{02}	$\begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix}$
ℓ Z_{01} ① Z_0 $\gamma=\alpha+\mathrm{j}\beta$ ② Z_{02}	$\begin{bmatrix} \cosh\gamma\ell & Z_0\sinh\gamma\ell \\ \dfrac{\sinh\gamma\ell}{Z_0} & \cosh\gamma\ell \end{bmatrix}$
ℓ Z_{01} ① Z_0 $\gamma=\mathrm{j}\beta$ ② Z_{02}	$\begin{bmatrix} \cosh\beta\ell & \mathrm{j}Z_0\sin\beta\ell \\ \dfrac{\mathrm{j}\sin\beta\ell}{Z_0} & \cos\beta\ell \end{bmatrix}$
$n:1$ Z_{01} ① ② Z_{02}	$\begin{bmatrix} n & 0 \\ 0 & 1/n \end{bmatrix}$

ABCD 矩阵具有下列特征。

1. 对于互易网络，前向和反向特性是相同的。

$$AD - BC = 1 \tag{2.19}$$

2. 对于对称网络，其两个端口互换矩阵保持不变，因此有 $A = D$。

2.4 *S* 参数

从测试角度来看，微波频段使用 *ABCD* 参数不是很方便，而且当网络中存在三端口或更多端口的器件时，它对级联网络的优势也无从体现。散射矩阵公式是一种表达端接 50 Ω 的微波网络和器件时更一般化的方法。一个散射矩阵表示变量 a_n(正比于第 n 端口的输入波)和 b_n(正比于第 n 端口的输出波)的关系。a_n和 b_n定义如下：

$$a_n = \frac{v_n^+}{\sqrt{Z_{0n}}} \tag{2.20a}$$

$$b_n = \frac{v_n^-}{\sqrt{Z_{0n}}} \tag{2.20b}$$

其中 v_n^+ 和 v_n^- 表示对应于连接至第 n 端口传输线(或波导)的入射和反射波的电压。Z_{0n}是传输线(或波导)的特征阻抗。计算 *S* 参数矩阵的系数时不需要知道 v_n^+ 和 v_n^- 的值。对如图 2.6 所示的双端口来说，b_n和 a_n的关系可以表示为

$$b_1 = S_{11}a_1 + S_{12}a_2 \tag{2.21a}$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \tag{2.21b}$$

其中

$$S_{11} = b_1/a_1, \quad S_{21} = b_2/a_1, \quad a_2 = 0 \tag{2.22a}$$

$$S_{12} = b_1/a_2, \quad S_{22} = b_2/a_2, \quad a_1 = 0 \tag{2.22b}$$

总体来说，对于一个 n 端口网络，我们有

$$[b] = [S][a] \tag{2.23}$$

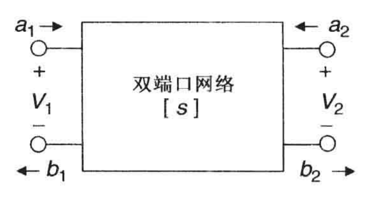


图 2.6　一个双端口网络的 S 参数表示

下面给出了一些 S 参数矩阵的重要性质。

1. 对于一个互易网络，S 参数矩阵是对称的，也就是

$$S = S^{t}$$

上标 t 表示一个矩阵的转置。

2. 在一个无耗的无源网络中有

$$\sum_{n=1}^{N} |S_{ni}|^2 = \sum_{n=1}^{N} S_{ni} S_{ni}^* = 1 \tag{2.24a}$$

对于所有的 $i = 1, 2, \cdots, N$。星号表示一个数的复共轭。

3. 同样，对于无耗的无源网络，能量保持条件导致了一个正交性的限制，表示为

$$\sum_{n=1}^{N} S_{ns} S_{nr}^* = 0 \tag{2.24b}$$

对于所有的 s, $r = 1, 2, \cdots, N$, $s \neq r$ 都成立。

在第 n 个端口，总的电压 V_n 和总的电流 I_n 可以表示为

$$V_n = V_n^+ + V_n^- = \sqrt{Z_{0n}}(a_n + b_n) \tag{2.25a}$$

$$I_n = I_n^+ - I_n^- = (V_n^+ - V_n^-)/Z_{0n} = \frac{1}{\sqrt{Z_{0m}}}(a_n - b_n) \tag{2.25b}$$

由于电流沿着轴向传播，总的(净的)电流由正向和反向电流的差值给出。

输入到网络的净平均功率通常由低频关系给出，即

$$P_n = \frac{1}{2} \mathrm{Re}(V_n \times I_n^*) \tag{2.26}$$

其中 V_n 和 I_n 分别表示总的电压和电流峰值。把式(2.25)代入式(2.26)中，我们得到

$$P_n = \frac{1}{2}(|a_n|^2 - |b_n|^2) + \text{实数项} = \frac{1}{2}(|a_n|^2 - |b_n|^2) \tag{2.27}$$

这个等式说明输入到一个端口的功率等于这个端口的入射功率减去这个端口的反射功率。这是传输功率、入射功率和反射功率一个很重要的定义式。S_{11}、S_{22} 和 S_{21}、S_{12} 分别定义为反射系数和传输系数。

电路中的衰减系数 α 用分贝(dB)表示，由下式给出：

$$\alpha = -20 \log \left| \frac{b_2}{a_1} \right| \ \mathrm{dB} = -20 \log |S_{21}| \ \mathrm{dB} \tag{2.28}$$

对于一个无源电路，$b_2 < a_1$ 而且 α 的值为正数。然而，对于一个有增益的放大器，$b_2 > a_1$ 而且 α 的值为负数。也就是说，负的衰减常数就是增益。传输线的相位的表达式为

$$\phi = S_{21} \text{ 的角度} \tag{2.29}$$

例 2.3　考虑如图 2.7 所示，特征阻抗为 Z_0、长度为 ℓ、相速度为 β 的传输线。计算其 S 参数矩阵。

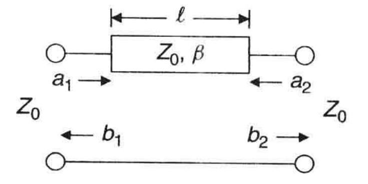


图 2.7　一个传输线的网络表示

解　传输线部分可以看成一个分别在端口 1 和端口 2 具有入射波 a_1、a_2 和反射波 b_1、b_2 的双端口网络。因为传输线的输入和输出端都是匹配的，所以在这两个端口没有反射波，也就是 S_{11}、S_{22} 为零。对于一个无耗匹配的传输线，我们有

$$S_{12} = b_1/a_2 = a_2 \mathrm{e}^{-\mathrm{j}\beta\ell}/a_2 = \mathrm{e}^{-\mathrm{j}\beta\ell}$$
$$S_{21} = b_2/a_1 = a_1 \mathrm{e}^{-\mathrm{j}\beta\ell}/a_1 = \mathrm{e}^{-\mathrm{j}\beta\ell}$$

$$b_1 = S_{11}a_1 + S_{12}a_2 = 0.a_1 + a_2\mathrm{e}^{-\mathrm{j}\beta\ell} \tag{2.30a}$$

$$b_2 = S_{21}a_1 + S_{22}a_2 = a_1\mathrm{e}^{-\mathrm{j}\beta\ell} + 0 \cdot a_2 \tag{2.30b}$$

而且可以算出这个网络的散射参数矩阵

$$[S] = \begin{bmatrix} 0 & \mathrm{e}^{-\mathrm{j}\beta\ell} \\ \mathrm{e}^{-\mathrm{j}\beta\ell} & 0 \end{bmatrix} \tag{2.31}$$

当任何一个网络的端口的参考平面沿着传输线移动时，式(2.31)可以用来确定这个网络的修正 S 参数。

例 2.4 如图 2.8 所示的三端口网络的 S 参数特性，用来说明一个无耗、匹配、非互易的三端口微波电路只可能以三端口环形器的形式存在。一个环形器是一个三端口都匹配的网络，信号只能沿一个方向从左向右传播。

解 对于一个完全匹配的三端口微波电路，S 参数矩阵中的$S_{ii}=0$(其中 $i=1, 2, 3$)，S 参数矩阵可以表示为

$$[S] = \begin{bmatrix} 0 & S_{12} & S_{13} \\ S_{21} & 0 & S_{23} \\ S_{31} & S_{32} & 0 \end{bmatrix} \tag{2.32}$$

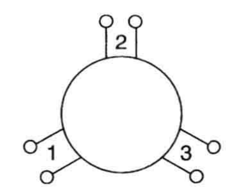


图 2.8 一个器件的三端口网络表示

对于一个非互易三端口微波电路，S 参数矩阵不再是对称的，也就是 $S_{ij} \neq S_{ji}$。然而，如果一个电路是无耗的，能量守恒一样要求 S 参数满足式(2.24a)和式(2.24b)。应用这些条件，我们得到

$$S_{21}S_{21}^* + S_{31}S_{31}^* = 1 \tag{2.33a}$$

$$S_{12}S_{12}^* + S_{32}S_{32}^* = 1 \tag{2.33b}$$

$$S_{13}S_{13}^* + S_{23}S_{23}^* = 1 \tag{2.33c}$$

$$S_{31}S_{32}^* = S_{21}S_{23}^* = S_{12}S_{13}^* = 0 \tag{2.33d}$$

假设 $S_{12} \neq 0$。式(2.33d)可以得到 $S_{13}=0$。式(2.33c)如果成立需要$|S_{23}|=1$。从式(2.33d)得到 $S_{21}=0$，从式(2.33a)得到$|S_{31}|=1$，并且从式(2.33d)得到 $S_{32}=0$。因此，如果 $S_{12} \neq 0$，有

$$S_{13} = S_{21} = S_{32} = 0 \tag{2.34a}$$

$$|S_{23}| = |S_{31}| = |S_{12}| = 1 \tag{2.34b}$$

因此，能量完全从端口 3 传到端口 2，从端口 2 传到端口 1，从端口 1 传到端口 3。而且，没有能量反方向传播，器件因此成为一个完美的环形器。所以一个无耗、匹配、非互易的三端口微波电路的 S 参数矩阵可以写为

$$[S] = \begin{bmatrix} 0 & S_{12} & 0 \\ 0 & 0 & S_{23} \\ S_{31} & 0 & 0 \end{bmatrix} \tag{2.35}$$

例 2.5 现在考虑如图 2.8 所示的网络像 3 dB 功分器一样工作。输入端口 1 是匹配的而且输入功率被平均分配到输出端口 2 和端口 3。证明端口 2 和端口 3 有 0.5 的反射系数。

解 一个 3 dB 功分器的散射参数矩阵为

$$S_{11} = 0 \tag{2.36a}$$

$$S_{21} = 1/\sqrt{2} \tag{2.36b}$$

$$S_{31} = 1/\sqrt{2} \tag{2.36c}$$

相等的功率分配说明 $|S_{21}| = |S_{31}| = 1/\sqrt{2}$。由这点可知，$S$ 参数矩阵(2.32)变为

$$[S] = \begin{bmatrix} 0 & 1/\sqrt{2} & 1/\sqrt{2} \\ 1/\sqrt{2} & S_{22} & S_{23} \\ 1/\sqrt{2} & S_{23} & S_{33} \end{bmatrix} \tag{2.37}$$

应用式(2.24a)，可以得到

$$\tfrac{1}{2} + S_{22}S_{22}^* + S_{23}S_{23}^* = 1 \tag{2.38a}$$

$$\tfrac{1}{2} + S_{23}S_{23}^* + S_{33}S_{33}^* = 1 \tag{2.38b}$$

由这两个关系可以得到

$$|S_{22}|^2 = |S_{33}|^2 \tag{2.39}$$

同样，应用式(2.24b)，可以得到

$$S_{22}^*/\sqrt{2} + S_{23}^*/\sqrt{2} = 0 \tag{2.40}$$

由此式可知

$$S_{22} = -S_{23} \tag{2.41}$$

把此式代入式(2.38a)，可以得到

$$\tfrac{1}{2} + S_{22}S_{22}^* + S_{22}S_{22}^* = 1 \tag{2.42a}$$

$$|S_{22}|^2 = \tfrac{1}{4} \tag{2.42b}$$

$$|S_{22}| = |S_{23}| = |S_{33}| = \tfrac{1}{2} \tag{2.42c}$$

式(2.42c)清楚地说明端口 2 和端口 3 是不匹配的。这两个端口的反射系数是 0.5。图 2.9 和图 2.10用电路示意图的方法证实了这个结论。在图 2.9 中，输出端口的 50 Ω 从端口 1 看变换到了 100 Ω(参见第 7 章)。两个 100 Ω 的阻抗并联得到 50 Ω 阻抗。因此从输入端看是完全匹配的。同样，在图 2.10 中，在输出端口 3 的阻抗从端口 1 看变换到了 100 Ω。50 Ω 和 100 Ω 并联阻抗为33.33 Ω。33.33 Ω 的阻抗在输出端口 2 处变换到了 150 Ω，此时从端接50 Ω 的端口 2 看进去的反射系数是 0.5。为了在输出端得到好的匹配，需要在两个输出端之间加一个隔离电阻，这种方法会在第 19 章讨论。

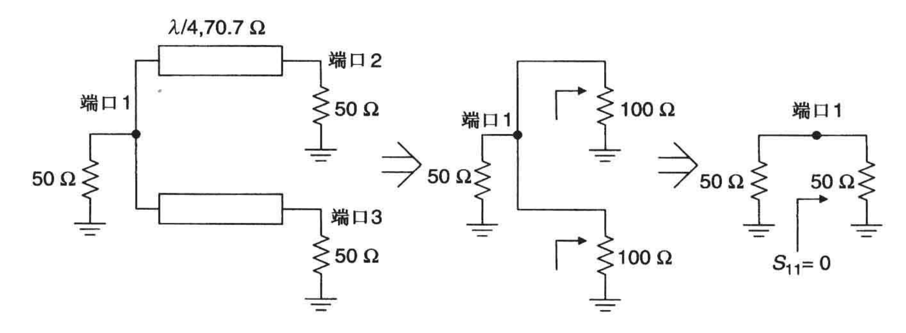


图 2.9　采用 λ/4 传输线的 3 dB 功分器输入匹配示意图

上述三个例子说明了利用散射参数矩阵的特性，可以学习 RF、微波网络或电路的特性。表 2.2 给出了常用网络的 S 参数，在输入和输出端接 Z_0阻抗的 S 参数由下面给出。

1. 串联线部分的特征阻抗为 Z，电长度为 $\gamma\ell$，其中传播常数 $\gamma = \alpha + \mathrm{j}\beta$，$\alpha$ 和 β 分别为衰减常数和相位常数：

$$[S]_{\mathrm{L}} = \frac{1}{D_{\mathrm{L}}}\begin{bmatrix}(Z^2 - Z_0^2)\sinh\gamma\ell & 2ZZ_0 \\ 2ZZ_0 & (Z^2 - Z_0^2)\sinh\gamma\ell\end{bmatrix} \tag{2.43}$$

其中 $D_{\mathrm{L}} = 2ZZ_0\cosh\gamma\ell + (Z^2 + Z_0^2)\sinh\gamma\ell$。

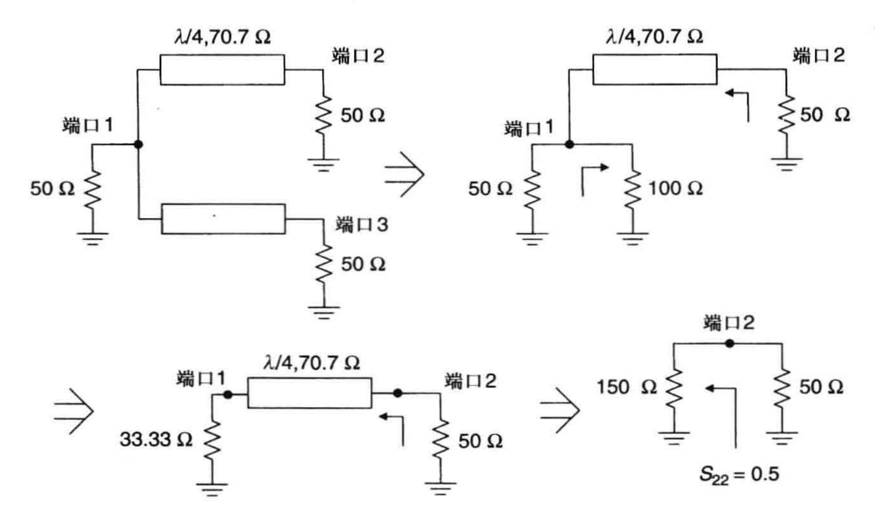


图 2.10 一个 3 dB 功分器输出端匹配示意图

2. 串联阻抗 Z 为

$$[S]_Z = \frac{1}{Z + 2Z_0}\begin{bmatrix}Z & 2Z_0 \\ 2Z_0 & Z\end{bmatrix} \tag{2.44}$$

3. 并联导纳 Y 为

$$[S]_Y = \frac{1}{Y + 2Y_0}\begin{bmatrix}-Y & 2Y_0 \\ 2Y_0 & -Y\end{bmatrix} \tag{2.45}$$

其中 $Y_0 = 1/Z_0$。

4. 一个理想的具有阻抗变换系数为 $n:1$ 的变压器的 S 参数为

$$[S]_{\mathrm{T}} = \frac{1}{1 + n^2}\begin{bmatrix}n^2 - 1 & 2n \\ 2n & 1 - n^2\end{bmatrix} \tag{2.46}$$

2.4.1 单端口网络的 S 参数

考虑一个如图 2.11 所示的单端口网络，其中 Z_{S} 和 Z_{L} 是源阻抗和负载阻抗，电压 V 和电流 I 是其峰值电压和电流。如果源阻抗和负载阻抗的值为复数，也就是

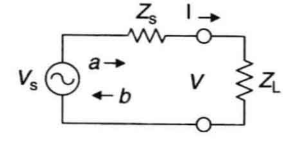


图 2.11 单端口网络示意图

$$Z_{\mathrm{S}} = R_{\mathrm{S}} + \mathrm{j}X_{\mathrm{S}}, \quad Z_{\mathrm{L}} = R_{\mathrm{L}} + \mathrm{j}X_{\mathrm{L}} \tag{2.47}$$

网络中存在实功率（耗散或辐射功率）和虚功率（存储在电抗元件中的功率）。当虚功率为零时，也就是 $X_{\mathrm{L}} = X_{\mathrm{S}}$ 时，传输到负载上的功率最大。

传输到负载上的平均功率为

$$P_{\mathrm{av}} = \frac{VI}{2} = \frac{1}{2}I^2R_{\mathrm{L}} = \frac{1}{2}\frac{V^2R_{\mathrm{L}}}{(R_{\mathrm{S}} + R_{\mathrm{L}})^2} \tag{2.48}$$

最大功率传输条件是 $\partial P_{av}/\partial P_L = 0$。由此可以得到 $R_L = R_S$，也就是最大功率传输时 $Z_L = Z_S^*$，或者

$$P_{av} = \frac{1}{8}\frac{V^2}{R_L} \tag{2.49}$$

对于单端口网络来说，前向波 a 和反向波 b 可以表示为

$$a = \frac{V + IZ_S}{2\sqrt{Z_S}} \tag{2.50a}$$

$$b = \frac{V - IZ_S}{2\sqrt{Z_S}} \tag{2.50b}$$

单端口 S 参数(S_{11})或反射系数为

$$S_{11} = \frac{b}{a} = \frac{V - IZ_S}{V + IZ_S} = \frac{Z_L - Z_S}{Z_L + Z_S} \tag{2.51}$$

传输到负载的平均功率也可以通过把式(2.50)代入到式(2.27)，再代入到式(2.48)中来得到。

2.5　双端口参数之间的关系

前面叙述的双端口网络的不同参数(Z、Y、$ABCD$ 和 S 参数)，可以通过定义或相关的电压、电流把它们联系起来。任意输入和输出阻抗网络的非归一化参数的转换关系由表 2.3 给出。

表 2.3　具有任意源和负载阻抗的双端口网络参数矩阵的相互关系

Z_{01}　①　②　Z_{02}

$$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \frac{1}{Y_{11}Y_{22} - Y_{12}Y_{21}}\begin{bmatrix} Y_{22} & -Y_{12} \\ -Y_{21} & Y_{11} \end{bmatrix}$$

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \frac{1}{Z_{11}Z_{22} - Z_{12}Z_{21}}\begin{bmatrix} Z_{22} & -Z_{12} \\ -Z_{21} & Z_{11} \end{bmatrix}$$

$$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \frac{1}{C}\begin{bmatrix} A & AD - BC \\ 1 & D \end{bmatrix}$$

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \frac{1}{B}\begin{bmatrix} D & -(AD - BC) \\ -1 & A \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \frac{1}{Z_{21}}\begin{bmatrix} Z_{11} & (Z_{11}Z_{22} - Z_{12}Z_{21}) \\ 1 & Z_{22} \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \frac{1}{-Y_{21}}\begin{bmatrix} Y_{22} & 1 \\ Y_{11}Y_{22} - Y_{12}Y_{21} & Y_{11} \end{bmatrix}$$

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \frac{1}{\left(\frac{Z_{11}}{Z_{01}} + 1\right)\left(\frac{Z_{22}}{Z_{02}} + 1\right) - \frac{Z_{12}Z_{21}}{Z_{01}Z_{02}}} \times \begin{bmatrix} \left(\frac{Z_{11}}{Z_{01}} - 1\right)\left(\frac{Z_{22}}{Z_{02}} + 1\right) - \frac{Z_{12}Z_{21}}{Z_{01}Z_{02}} & 2\frac{Z_{12}}{Z_{02}} \\ 2\frac{Z_{21}}{Z_{01}} & \left(\frac{Z_{11}}{Z_{01}} + 1\right)\left(\frac{Z_{22}}{Z_{02}} - 1\right) - \frac{Z_{12}Z_{21}}{Z_{01}Z_{02}} \end{bmatrix}$$

（续表）

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \frac{1}{\left(1+\frac{Y_{11}}{Y_{01}}\right)\left(1+\frac{Y_{22}}{Y_{02}}\right)-\frac{Y_{12}Y_{21}}{Y_{01}Y_{02}}} \times \begin{bmatrix} \left(1-\frac{Y_{11}}{Y_{01}}\right)\left(1+\frac{Y_{22}}{Y_{02}}\right)+\frac{Y_{12}Y_{21}}{Y_{01}Y_{02}} & -2\frac{Y_{12}}{Y_{01}} \\ -2\frac{Y_{21}}{Y_{02}} & \left(1+\frac{Y_{11}}{Y_{01}}\right)\left(1-\frac{Y_{22}}{Y_{02}}\right)+\frac{Y_{12}Y_{21}}{Y_{01}Y_{02}} \end{bmatrix}$$

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \frac{1}{(1+S_{11})(1+S_{22})-(S_{12}S_{21})} \times \begin{bmatrix} Y_{01}[(1-S_{11})(1+S_{22})+S_{12}S_{21}] & -2Y_{01}S_{12} \\ -2Y_{02}S_{21} & Y_{02}[(1+S_{11})(1-S_{22})+S_{12}S_{21}] \end{bmatrix}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \frac{1}{(2S_{21})} \begin{bmatrix} [(1+S_{11})(1-S_{22})+S_{12}S_{21}] & Z_{02}[(1+S_{11})(1+S_{22})-S_{12}S_{21}] \\ \frac{1}{Z_{01}}[(1-S_{11})(1-S_{22})-S_{12}S_{21}] & \frac{Z_{01}}{Z_{02}}[(1-S_{11})(1+S_{22})+S_{12}S_{21}] \end{bmatrix}$$

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \frac{1}{(B+CZ_{01}Z_{02})+(AZ_{02}+DZ_{02})} \times \begin{bmatrix} (B-CZ_{01}Z_{02})+(AZ_{02}-DZ_{01}) & 2Z_{01}(AD-BC) \\ 2Z_{02} & (B-CZ_{01}Z_{02})-(AZ_{02}-DZ_{01}) \end{bmatrix}$$

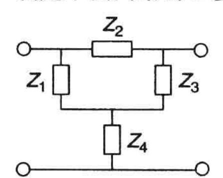
$$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \frac{1}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \times \begin{bmatrix} Z_{01}[(1+S_{11})(1-S_{22})+S_{12}S_{21}] & 2Z_{02}S_{12} \\ 2Z_{01}S_{21} & Z_{02}[(1-S_{11})(1+S_{22})+S_{12}S_{21}] \end{bmatrix}$$

参考文献

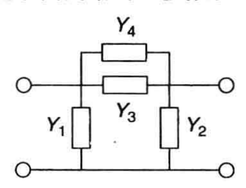
1. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, Englewood Cliffs, NJ, 1984.
2. R. E. Collin, *Foundations of Microwave Engineering*, McGraw-Hill, New York, 1992.
3. D. M. Pozar, *Microwave Engineering*, John Wiley & Sons, Hoboken, NJ, 1992.
4. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003.
5. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.

习题

2.1 确定下面网络的 Z 参数。



2.2　确定下面网络的 Y 参数。



2.3　一个 S 参数为 S_{11}、S_{12}、S_{21} 和 S_{22} 的双端口网络的输出端接负载阻抗为 Z_L。如果负载阻抗为 Z_0，确定输入端的回波损耗。

2.4　一条无耗传输线的特征阻抗为 Z，电长度为 ℓ，在其两端接阻抗为 Z_0。推导反射系数 S_{11} 的表达式。当线长为四分之一波长、Z_0 和 Z 的值分别为 50 Ω 和 25 Ω 时，计算反射系数值。

2.5　证明一个无耗且互易的三端口网络不能在所有端口都实现匹配设计。

2.6　证明对于一个无耗且互易的双端口网络，$|S_{21}|^2 = 1 - |S_{11}|^2$。

2.7　推导下面的传输线端接负载阻抗为 Z_L 的输入阻抗表达式：

$$Z_{in} = Z_0 \frac{Z_L + jZ_0 \tan \beta\ell}{Z_0 + jZ_L \tan \beta\ell}$$

假设传输线是无耗的且其特征阻抗、相速度和物理长度分别为 Z_0、β 和 ℓ。

第3章　放大器特性和定义

虽然设计一个放大器的时候需要考虑很多特性，但是其中最重要的是频率范围或带宽、功率增益、噪声系数、输出功率、1 dB 增益压缩点($P_{1\,dB}$)、输入和输出电压驻波比(VSWR)、功率附加效率(PAE)、交调失真、邻信道功率比(ACPR)、动态范围、相位噪声、稳定性[1~7]和可靠性[8~13]。这些参数在本章会进行简要的介绍。稳定性将在第17章进行详细讨论，功率附加效率作为功率放大器的最重要指标，将在第10章进行讨论。放大器中相位噪声的测量在第22章进行讨论。

3.1　带宽

放大器带宽的定义是很复杂的，因为需要考虑到几个冲突的特性，包括增益、噪声系数、输出功率、增益平坦度、PAE、TOI(三阶交调)、VSWR 等。输出功率特性可以定义在 $P_{1\,dB}$或饱和功率点，或者为了工作在线性区域，从 $P_{1\,dB}$回退 3 ~ 10 dB。总体来说，一个放大器的带宽定义为电路满足特定的最大、最小值或前面叙述的要求。

因为晶体管的 S 参数随频率变化，所以一个宽带放大器使用传统匹配或者 T 形匹配网络较难得到。其中限制的细节将在第 11 章中讨论。让我们简要回顾一下晶体管固有的带宽限制。

考虑一个输入阻抗和输出导纳如图 3.1 所示的晶体管。其中输入和输出 3 dB 标准化带宽由下式给出：

$$\frac{\Delta f_{\text{in}}}{f_0}=\frac{1}{Q_{\text{in}}}=2\pi f_0 R_{\text{in}} C_{\text{in}} \tag{3.1a}$$

$$\frac{\Delta f_{\text{out}}}{f_0}=\frac{1}{Q_{\text{out}}}=\frac{1}{2\pi f_0 R_{\text{o}} C_{\text{o}}} \tag{3.1b}$$

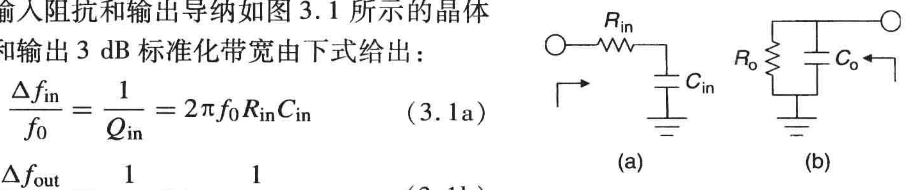


图 3.1　一个晶体管的单端口等效电路：(a)输入端口；(b)输出端口

其中f_0 是中心频率。考虑一个晶体管(0.6 mm 工艺的 FET)，其 R_{in} = 4 Ω，C_{in} = 1 pF，R_{o} = 200 Ω，C_{o} = 0.16 pF。在 10 GHz 时，算出的 Δf_{in}和 Δf_{out}分别是

$$\Delta f_{\text{in}} \cong 25\% \quad \text{且} \quad \Delta f_{\text{out}} = 50\%$$

这说明一个晶体管的带宽由它的输入阻抗所限制，其带宽可以通过在输入端串联电阻来增大。然而，如在第 17 章所述，这会减小晶体管的增益但可以增加其稳定性。

3.2　功率增益

就放大器来说，一个双端口网络的功率增益可以定义为输出功率与输入功率的比值。对于一个双端口网络(如图 3.2 所示)，功率增益可以有几种定义方法。三种比较常见的定义是转换功率增益(G_{T})或简单地称为功率增益，最大可用功率增益(G_{A})，以及可用功率增益(G_{P})。它们的定义如下：

$$G_T = \frac{\text{传输到负载的功率}}{\text{从源可以得到的功率}} = \frac{P_L}{P_{avs}} \tag{3.2}$$

$$G_A = \frac{\text{从网络可以得到的功率}}{\text{从源可以得到的功率}} = \frac{P_N}{P_{avs}} \tag{3.3}$$

$$G_P = \frac{\text{传输到负载的功率}}{\text{传输到网络的功率}} = \frac{P_L}{P_{in}} \tag{3.4}$$

这里 $G_A \geqslant G_T$ 和 $G_P \geqslant G_T$。

下面，我们推导这些增益，并用线性网络 S 参数与任意的源和负载反射系数 Γ_S、Γ_L来表示。

从 S 参数的定义可以得到

$$b_1 = S_{11}a_1 + S_{12}a_2 = S_{11}a_1 + S_{12}\Gamma_L b_2 \tag{3.5}$$

$$b_2 = S_{21}a_1 + S_{22}a_2 = S_{21}a_1 + S_{22}\Gamma_L b_2 \tag{3.6}$$

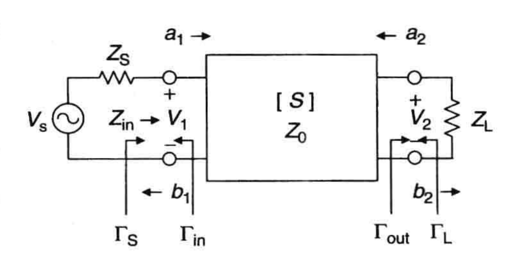


图 3.2　一个晶体管的双端口网络

其中 $\Gamma_L = a_2/b_2$。从式(3.5)中消去 b_2，得到

$$b_1 = a_1\left[S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L}\right]$$

或

$$\frac{b_1}{a_1} = \Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \tag{3.7}$$

同样可得

$$\frac{b_2}{a_2} = \Gamma_{out} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \tag{3.8}$$

源和负载反射的系数由下式得出：

$$\Gamma_{S,L} = \frac{Z_{S,L} - Z_0}{Z_{S,L} + Z_0} \tag{3.9}$$

其中 Z_0是用来测量器件 S 参数的源和负载阻抗，同样有

$$Z_{S,L} = Z_0\frac{1 + \Gamma_{S,L}}{1 - \Gamma_{S,L}} = R_{S,L} + jX_{S,L} \tag{3.10}$$

$$Z_{in,out} = Z_0\frac{1 + \Gamma_{in,out}}{1 - \Gamma_{in,out}} \tag{3.11}$$

传输到网络的平均功率是

$$P_{in} = \tfrac{1}{2}[|a_1|^2 - |b_1|^2] \tag{3.12a}$$

$$P_{in} = \tfrac{1}{2}|a_1|^2[1 - |\Gamma_{in}|^2] \tag{3.12b}$$

应用式(2.25a)，电压 V_1可以表示为

$$V_1 = V_S\frac{Z_{in}}{Z_S + Z_{in}} = \sqrt{Z_0}(a_1 + b_1) = \sqrt{Z_0}a_1\left(1 + \frac{b_1}{a_1}\right)$$

$$V_S = \sqrt{Z_0}a_1(1 + \Gamma_{in})(Z_S + Z_{in})/Z_{in} \tag{3.12c}$$

这里 V_S具有峰值。从式(3.12c)可以得到

$$a_1 = \frac{V_S}{\sqrt{Z_0}} \frac{Z_{in}}{(1+\Gamma_{in})(Z_S+Z_{in})} \tag{3.13}$$

从式(3.10)和式(3.11)可以得到

$$\frac{Z_{in}}{(1+\Gamma_{in})(Z_S+Z_{in})} = \frac{1-\Gamma_S}{2(1-\Gamma_S\Gamma_{in})} \tag{3.14}$$

从式(3.12b)、式(3.13)和式(3.14)可以得到

$$P_{in} = \frac{|V_S|^2}{8Z_0} \frac{|1-\Gamma_S|^2(1-|\Gamma_{in}|^2)}{|1-\Gamma_S\Gamma_{in}|^2} \tag{3.15a}$$

当网络是匹配的时候，$Z_S = Z_0$，$\Gamma_S = 0$ 且 $\Gamma_{in} = 0$，

$$P_{in} = \frac{|V_S|^2}{8Z_0} \tag{3.15b}$$

这代表了从源得到的最大可用功率,而对于网络的最大传输功率发生在 $\Gamma_{in} = \Gamma_S^*$ 时。

在这个条件下，式(3.15a)变为

$$P_{avs} = \frac{|V_S|^2}{8Z_0} \frac{|1-\Gamma_S|^2}{1-|\Gamma_S|^2} \tag{3.16}$$

接下来，计算传输到负载的功率，由下式给出：

$$P_L = \frac{1}{2}(|b_2|^2 - |a_2|^2) = \frac{1}{2}|b_2|^2(1-|\Gamma_L|^2) \tag{3.17}$$

从式(3.6)，我们发现

$$b_2 = \frac{S_{21}a_1}{1-S_{22}\Gamma_L} \tag{3.18}$$

从式(3.13)、式(3.14)、式(3.17)和式(3.18)可以得到

$$P_L = \frac{|V_S|^2}{8Z_0} \frac{|S_{21}|^2(1-|\Gamma_L|^2)|1-\Gamma_S|^2}{|1-S_{22}\Gamma_L|^2|1-\Gamma_S\Gamma_{in}|^2} \tag{3.19}$$

网络的最大可用功率或者最大可传输到负载功率发生在

$$\Gamma_L = \Gamma_{out}^* \tag{3.20}$$

在这个条件下，式(3.19)变为

$$P_N = \frac{|V_S|^2}{8Z_0} \frac{|S_{21}|^2(1-|\Gamma_{out}|^2)|1-\Gamma_S|^2}{|1-S_{22}\Gamma_{out}^*|^2|1-\Gamma_S\Gamma_{in}|^2} \tag{3.21}$$

并且代表了从网络可以得到的功率。

从式(3.2)、式(3.16)和式(3.19)可以得到

$$G_T = \frac{|S_{21}|^2(1-|\Gamma_S|^2)(1-|\Gamma_L|^2)}{|1-\Gamma_S\Gamma_{in}|^2|1-S_{22}\Gamma_L|^2} \tag{3.22a}$$

用式(3.7)替换 Γ_{in}，式(3.22a)变为

$$G_T = \frac{|S_{21}|^2(1-|\Gamma_S|^2)(1-|\Gamma_L|^2)}{|(1-S_{11}\Gamma_S)(1-S_{22}\Gamma_L)-S_{12}S_{21}\Gamma_S\Gamma_L|^2} \tag{3.22b}$$

S 参数是在输入和输出阻抗都是 50 Ω 时测量的，网络连接至任意的源阻抗 Z_S 和负载阻抗 Z_L。对于单向化功率增益，规定反向功率增益为零(例如 $|S_{12}|=0$)，而且式(3.22b)变为

$$G_{TU}=\frac{|S_{21}|^2(1-|\Gamma_S|^2)(1-|\Gamma_L|^2)}{|(1-S_{11}\Gamma_S)(1-S_{22}\Gamma_L)|^2}=G_S|S_{21}|^2G_L \tag{3.23a}$$

其中

$$G_S=\frac{(1-|\Gamma_S|^2)}{|1-S_{11}\Gamma_S|^2} \tag{3.23b}$$

并且

$$G_L=\frac{(1-|\Gamma_L|^2)}{|1-S_{22}\Gamma_L|^2} \tag{3.23c}$$

G_S 和 G_L 分别代表输入和输出匹配电路的增益或损耗。

当 $\Gamma_S=S_{11}^*$ 且 $\Gamma_L=S_{22}^*$ 时，即网络的输入和输出端都为共轭匹配时，可以得到最大单向功率传输增益，然后，一个单向化器件的最大功率增益，也称为最大可用增益，可以由下式给出：

$$G_A=G_{TUm}=\frac{|S_{21}|^2}{(1-|S_{11}|^2)(1-|S_{22}|^2)} \tag{3.24}$$

因此最大可用增益 $|S_{21}|^2$ 是晶体管在源和负载阻抗(通常为 50 Ω)的转换功率增益与输入匹配电路带来的增益 $(1-|S_{11}|^2)^{-1}$ 和输出匹配电路带来的增益 $(1-|S_{22}|^2)^{-1}$ 一同作用产生的。换句话说，一个单级放大器的设计包括：(a) 设计一个输入匹配网络，以达到 $\Gamma_S\cong 0$；(b)设计一个输出匹配网络，可以同时使得 $\Gamma_L\cong 0$。如同将在第 17 章看到的，如果固态器件是不稳定的，那么上述条件是不能达到的。

其他增益的定义是由下面导出的。从式(3.3)、式(3.16)和式(3.21)可以得到

$$G_A=\frac{|S_{21}|^2(1-|\Gamma_S|^2)(1-|\Gamma_{out}|^2)}{|1-\Gamma_S\Gamma_{in}|^2|1-S_{22}\Gamma_{out}^*|^2} \tag{3.25a}$$

从式(3.4)、式(3.15a)和式(3.19)可以得到

$$G_P=\frac{|S_{21}|^2(1-|\Gamma_L|^2)}{(1-|\Gamma_{in}|^2)|1-S_{22}\Gamma_L|^2} \tag{3.25b}$$

放大器中最常用的增益定义是转换功率增益 G_T，其他的增益定义通常用来描述一个晶体管。功率增益 G 通常用分贝来表示，也就是

$$G(\text{dB})=10\log G(\text{功率比}) \tag{3.26}$$

3.3 输入和输出电压驻波比

输入和输出电压驻波比(VSWR)通常用来描述一个匹配到源和负载阻抗(通常为 50 Ω)的放大器电路。放大器输入和输出端与 50 Ω 的失配以输入和输出反射系数来衡量。电压反射系数通过式(3.27)的标准定义与 VSWR 联系起来。当电压反射系数 $|\rho|=0.333$ (VSWR = 2)时，功率反射系数 $|\rho|^2=0.11$ 意味着有 11% 的功率被反射。在大多数的应用中，VSWR 的值为 2:1 是可以接受的。

反射系数可以在小信号和大信号状态下测量。输出端反射系数在高功率情况下的测量是比较简单的(见第 22 章)。功率放大器的输出端通常为最佳功率输出而设计，而不必为了获得最

好的 VSWR。通常情况下，在功率放大器中，好的输入和输出 VSWR 是通过一个平衡结构或一种行波合成技术来实现的。

三个相关联的参数——回波损耗(RL)、VSWR 和反射系数(ρ)——通常用来描述放大器的反射特性。回波损耗是输入功率(P_{in})与反射功率(P_R)的比值：

$$RL = -10\log\frac{P_R}{P_{in}} = -10\log\left(\frac{VSWR-1}{VSWR+1}\right)^2 = -10\log(|\rho|^2) \tag{3.27}$$

一些 RL、ρ 和 VSWR 的典型值在表 3.1 中给出。用分贝表示的回波损耗是一个正数。

表 3.1　回波损耗和相关参数

RL(dB)	ρ(V)	VSWR	RL(dB)	ρ(V)	VSWR
0	1	∞	8	0.3981	2.32
0.5	0.9441	34.75	10	0.3162	1.93
1	0.8913	17.39	12	0.2512	1.67
2	0.7943	8.72	15	0.1778	1.43
3	0.7079	5.85	20	0.1000	1.22
4	0.6310	4.42	25	0.0560	1.12
6	0.5012	3.01	30	0.0316	1.07

3.4　输出功率

传输到负载(P_L)的功率称为输出功率 P_o 或 P_{out}，它是输入功率的强函数。当有更高的输入功率、增益减小 1 dB 时，此时输出功率定义为 $P_{1\,dB}$，它经常用来描述放大器的非线性特性。增益压缩 3 ~ 5 dB 时的输出功率将会达到饱和，称为 P_{sat}。图 3.3 给出了一个放大器增益随输出功率的典型变化。增益在 1 dB 和 3 dB 压缩点时的输出功率也表示出来。

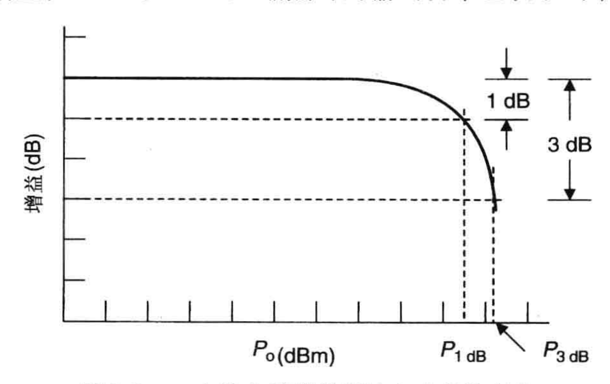


图 3.3　一个放大器增益随输出功率的变化

3.5　功率附加效率

对于功率放大器，功率附加效率(PAE)定义为

$$PAE = \frac{\text{输出信号功率} - \text{输入信号功率}}{\text{DC功率}} = \frac{P_o - P_{in}}{P_{DC}}$$
$$= \frac{P_o}{P_{DC}}\left(1-\frac{1}{G}\right) = \eta_D\left(1-\frac{1}{G}\right) \tag{3.28a}$$

$$\eta_D = \frac{P_o}{P_{DC}} \tag{3.28b}$$

其中 η_D 是漏极效率，在 RF 放大器中经常用到。$G(=P_o/P_{in})$ 是放大器的增益，对于高效率放大器来说，单级增益需要达到 10 dB 或更高。当增益为 10 dB 时，PAE = $0.9\eta_D$，当增益为 6 dB 时，PAE = $0.75\eta_D$。因此，一个具有 10 dB 增益的 10 W 功率放大器需要 1 W 的输入功率，而 6 dB增益的放大器需要 2.5 W 的输入功率，使得 PAE 降低了大约 17%。

注意到式(3.28a)中的输出功率 P_o 没有包含谐波的功率。PAE 的准确定义为

$$\mathrm{PAE} = 1 - P_{\mathrm{diss}}/P_{\mathrm{DC}} \tag{3.28c}$$

$$P_{\mathrm{diss}} = P_{\mathrm{DC}} + P_{\mathrm{in}} - P_{\mathrm{T}} \tag{3.28d}$$

而且

$$P_{\mathrm{T}} = P_0 + \text{谐波输出功率}$$

因为 $P_T > P_o$，式(3.28a)使 PAE 的计算值偏低。

3.6 交调失真

所谓一个线性放大器是指其输出功率随输入功率线性增加或随功率增益线性增加。随着输入功率的增加，器件的电流开始达到最大值，这个最大值依赖于器件的尺寸。在极限区域附近，放大器的传输函数变得非线性，并且会出现一个输出功率不随输入功率增加的现象。放大器非线性的一种度量是交调失真。当不止一个载波频率输入到非线性放大器中时，由于混频效应，交调失真将会产生多个边带。交调失真同样可以由幅度调制(AM)效应和 AM 到 PM(相位调制)的转换产生，任何一个非线性器件和放大级都可能产生交调失真。由于交调失真是一个重要的放大器参数，我们将在下面描述。

有多种方法可以测量一个放大器的非线性或失真特性。最简单的方法是测量 1 dB 压缩点的功率量级 $P_{1\,\mathrm{dB}}$。这可以提供一个失真的粗略估计，但还是不够。对于一个单载波的系统，三阶交调失真的测量值称为 IP3 或 TOI，而对于多载波系统，邻信道功率比(ACPR)、误差向量幅度(EVM)和噪声功率比(NPR)的测量经常用到。无线系统中功率放大器的非线性会导致信号的频谱再生和失真。对于测量的 ACPR、NPR 和 EVM 特性，频谱再生都有特定的限制，这取决于调制方法。ACPR 用于测量相邻信道的功率泄漏比，NPR 特性用在同时采用多种调制方式的卫星系统中；EVM 是接收到的数字调制信号质量的度量，定义为理想和实际的接收信号向量的幅度的差值。

3.6.1 IP3

当两个频率很接近时测量 IP3 的方法被广泛使用。两个不同频率的信号 f_1 和 f_2 输入到一个放大器中，放大器的输出包含这两个信号和频率为 $mf_1 + nf_2$ 的交调(IM)产物，其中 $m + n$ 表示交调产物的阶数。当带宽为一个倍频程或更小时，在 $2f_1 - f_2$ 和 $2f_2 - f_1$ 处的三阶交调是交调失真的主要产物。然而，在超宽带放大器中，二阶交调产物也会出现。对于不同放大器的三阶交调截断点和 1 dB 压缩点将在第 12 章进行讨论。

三阶交调产物和载波的比值称为 IM3，表达式为

$$\mathrm{IM3(dBc)} = 10\log\frac{P_{2f_2-f_1}}{P_{f_2}} = 10\log\frac{P_{2f_1-f_2}}{P_{f_1}} \tag{3.29a}$$

其中 P_{f_1}、P_{f_2}、$P_{2f_1-f_2}$ 和 $P_{2f_2-f_1}$ 分别是频率为 f_1、f_2、$2f_1 - f_2$ 和 $2f_2 - f_1$ 时的输出功率。IM3 的单位是 dBc，因为是以基波功率输出为参照的。同样，二阶交调产物 IM2 的定义式为

$$\mathrm{IM2(dBc)} = 10\log\frac{P_{f_1+f_2}}{P_{f_1}} \tag{3.29b}$$

输出三阶交调产物 OIP3(简称 IP3)和二阶交调产物 IP2，可以用下面的关系式进行计算：

$$IP3 = 0.5(3P_{f_1} - IM3) \tag{3.29c}$$

$$IP2 = 2P_{f_1} - IM2 \tag{3.29d}$$

3.6.2 ACPR

邻信道功率比(ACPR)是在 CDMA 无线通信系统中设计 RF 功率放大器时经常用到的一个数据，它用来表征放大器的交调失真性能。ACPR 是信号边带上频谱再生的度量，与一个模拟 RF 放大器的 IM3/IM5 指标类似。

ACPR 的定义式为

$$ACPR = \frac{\text{主信道1 中的功率谱密度}}{\text{偏移信道2和3中的功率谱密度}} \tag{3.30}$$

这里的频率偏移和测量带宽随系统的不同而不同。例如在图 3.4(a)中的 CDMA 功率放大器，信道 1 中心频率的两个偏移频率分别是 885 kHz 和 1.98 MHz，而测量带宽是 30 kHz。在信道偏移量 2 和信道偏移量 3 的 ACPR 要求分别是 -42 dBc 和 -54 dBc。

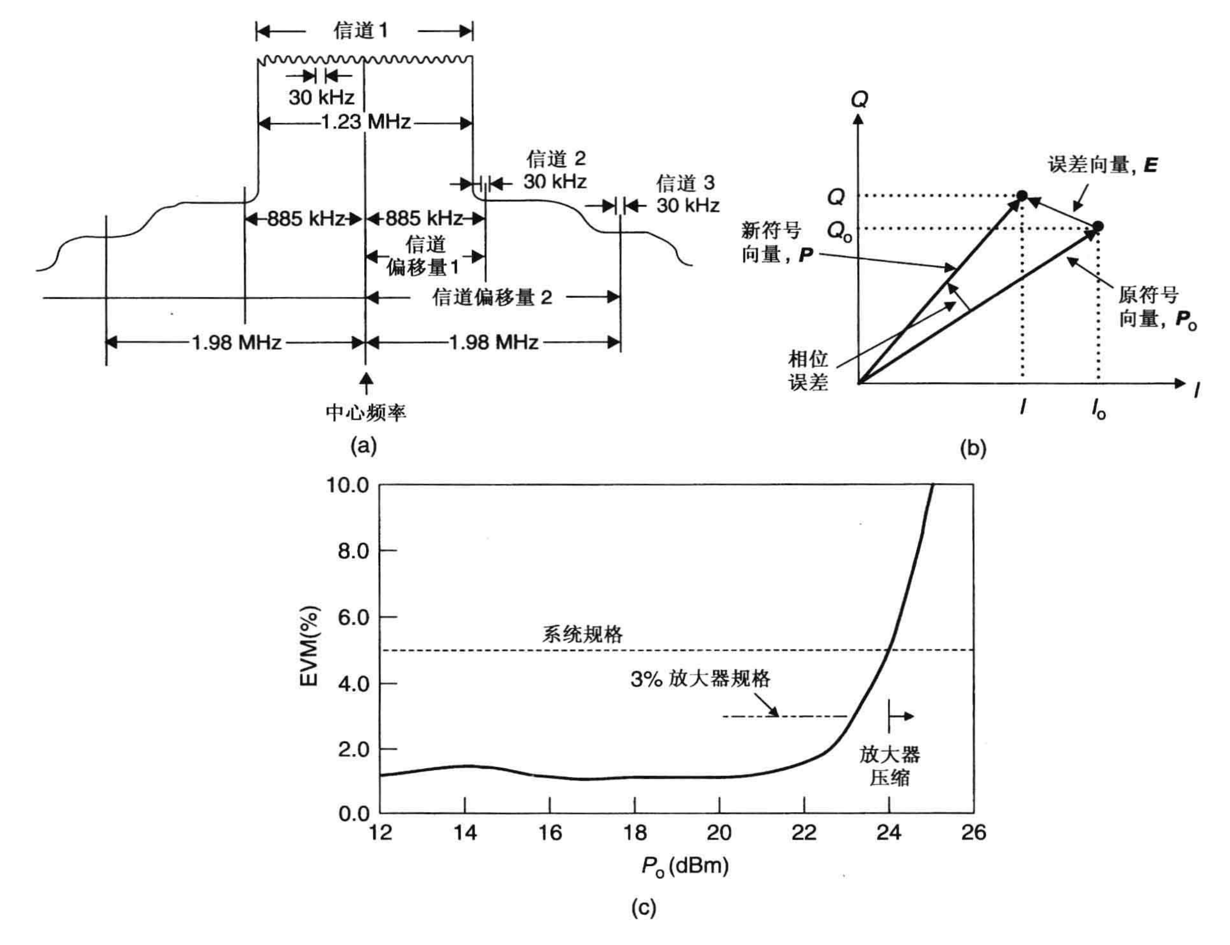


图 3.4 (a)CDMA 信号邻信道功率测量的频谱图；(b)表述误差向量幅度的 I-Q 星座图；(c)放大器 EVM 随输出功率变化图

3.6.3 EVM

无线局域网(WLAN)中的功率放大器工作在 IEEE 802.11a,g 标准下，采用最大为 64 位的正交幅度调制(QAM)信号和正交频分复用(OFDM)结构。这些宽带的数字调制要求功率放大器具有较高的线性度，因为这些信号本身存在比较高的峰均比(PAR)。这样，放大器的非线性响应特性用误差向量幅度(EVM)来描述，因为信号信息包含幅度和相位特性。

EVM 是接收到的信号(I, Q)与原发射信号(I_o, Q_o)的偏差。EVM 的定义如图 3.4(b)所示，即误差信号幅度与原信号幅度的比值，表达式[1]为

$$\mathrm{EVM}=\frac{|E|}{|P_{\mathrm{o}}|} \tag{3.31}$$

其中$|E|$是误差向量的幅度，$|P_o|$是功率星座图的幅度均值。EVM 通常以百分比来表示，一般的要求是小于等于 2%。

图 3.4(c)给出了一个满足 IEEE 802.11a 标准、OFDM 和 QAM-64 调制、54 Mbps 传输速率的 5.8 GHz 信号测量的放大器 EVM 值随输出功率的变化图。

噪声功率比(NPR)的测量用来描述放大器非线性特性，将在第 22 章介绍。

3.7 谐波功率

功率放大器的失真特性也可以用谐波功率来衡量。在大多数应用中，测量在 $2f_0$ 处的二次谐波功率 HP_2和在 $3f_0$ 处的三次谐波功率 HP_3就足够了。它们的定义为

$$\mathrm{HP}_2=\frac{P_{\mathrm{o}}(2f_0)}{P_{\mathrm{o}}(f_0)} \tag{3.32a}$$

$$\mathrm{HP}_3=\frac{P_{\mathrm{o}}(3f_0)}{P_{\mathrm{o}}(f_0)} \tag{3.32b}$$

或者为 $HP_{2,\mathrm{dBc}}=10\log(HP_2)$，$HP_{3,\mathrm{dBc}}=10\log(HP_3)$。谐波的大小通常用 dBc 来表示，也就是在给定输入功率时，谐波功率比基波功率小的分贝值。例如，对于一个输入功率 $P_{in}=10$ dBm的高功率放大器(HPA)，基波、二次谐波、三次谐波的输出功率分别为 40 dBm、27 dBm、18 dBm。在这种情况下，二次和三次谐波分别为 −13 dBc 和 −22 dBc。

3.8 峰均比

一个信号峰值功率(P_p)与平均功率(P_a)的比值称为峰均比。参考文献[2]中给出的表达式为

$$\chi=\frac{P_{\mathrm{p}}}{P_{\mathrm{a}}}\quad 或\quad 10\log\frac{P_{\mathrm{p}}}{P_{\mathrm{a}}}\ (\mathrm{dB}) \tag{3.33a}$$

由于一般一个信道包含 N 个载波，每个载波的平均功率为 P_i 的输入信号的峰均比 ΔP_s 的定义为

$$\Delta P_{\mathrm{s}}=\frac{\left(\sum_{i=1}^{N}\sqrt{P_i\chi_i}\right)^2}{\sum_{i=1}^{N}P_i} \tag{3.33b}$$

其中χ_i是第i次谐波的峰均比，所有的单载波或多载波(包括调制和非调制信号)都具有峰均比。对于单载波非调制或等包络调制载波$\chi=0$ dB，对于非等包络$\chi=3$ dB，对于多载波的复杂调制信号ΔP_s可以大于10 dB。表3.2列出了4种峰均比。

表3.2 4种不同载波的不同信号功率和峰均比的总结

例子	载波数目	每个载波的输出功率(W)	χ		平均功率(W)	峰值功率(W)	ΔP_s(dB)
			比率	dB			
1	4 GSM	0.5	1	0	2	8.0	6
2	4 IS136	0.15	2	3	1	11.0	10.4
	1 IS95	0.40	3.162	5			
3	20 IS136	0.1	2	3	2	80.0	16
4	2 WCDMA	15.0	7.943	9	30	476.5	12

3.9 合成器效率

对于如图3.5所示的N路功率合成器，假设所有HPA单元的幅度和相位都是匹配的，则合成效率的定义为

$$\eta_c=\frac{P_{oT}}{NP_o}=L_{co} \tag{3.34}$$

其中P_{oT}是总输出功率，P_o是每个放大器的输出功率，L_{ci}和L_{co}是输入和输出合成损耗。此处，假设放大器的增益G远大于10 dB，合成器每个端口的隔离度为无穷大。放大器和合成器的每个端口都是匹配的。这不包括HPA与合成器之间或由放大器之间的非平衡的相位和增益所造成的任何失配损耗。

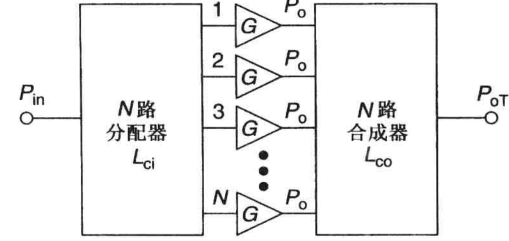


图3.5 一个N路功率放大合成器示意图

现在考虑当增益小于10 dB的情况下，合成放大器的功率附加效率(PAE_c)的定义为

$$PAE_c=\frac{P_{oT}-P_{in}}{P_{DCT}}=\frac{P_{in}L_{ci}GL_{co}-P_{in}}{P_{DCT}} \tag{3.35}$$

如果PAE是每个放大器的功率附加效率，P_{DC}是每个放大器的直流功率，那么总的直流功率P_{DCT}的表达式为

$$P_{DCT}=NP_{DC}$$

$$PAE=P_o(1-1/G)/P_{DC}=\frac{NP_o(1-1/G)}{P_{DCT}}$$

$$PAE=\frac{P_{in}L_{ci}G(1-1/G)}{P_{DCT}} \tag{3.36}$$

从式(3.35)和式(3.36)可以得到

$$PAE_c=PAE(L_{ci}GL_{co}-1)/[L_{ci}(G-1)] \tag{3.37}$$

当$G>>1$时有

$$PAE_c=PAE\cdot L_{co} \tag{3.38}$$

例 3.1　考虑一个采用 4 个 10 W HPA 且每个增益为 13 dB 的四路合成器结构。每个分配器和合成器有 0.3 dB 的插损。如果每个 HPA 的 PAE 是 40%，计算这个合成功率放大器的输出功率和 PAE。

解　本例中 $L_{ci} = L_{co} = 0.3$ dB 或者 $L_{ci} = L_{co} = 10^{-0.3/10} = 0.9333$ 且

$$增益 = 13\ \text{dB} = 10^{13/10} = 19.95$$

输出功率为

$$P_{oT} = L_{co}NP_o = 0.9333(4 \times 10)\ \text{W} = 37.33\ \text{W}$$

或者

$$P_{oT} = -0.3 + 6.0206 + 40\ \text{dBm} = 10^{45.7206/10}\ \text{mW} = 37\ 330\ \text{mW} = 37.33\ \text{W}$$

应用式(3.37)，可以得到

$$\text{PAE}_c = 40(0.9333 \times 19.95 \times 0.9333 - 1)/[0.9333(19.95 - 1)]\% = 37.04\%$$

应用式(3.38)，可以得到

$$\text{PAE}_c = 40 \times 0.9333\% = 37.33\%$$

3.10　噪声特性

对于一个稳定的微波放大器，即使在没有输入信号的时候，在输出端也可以测量到一个很小的输出信号。总的输出噪声功率包含了放大的从放大器输入端输入的噪声信号和放大器自身产生的噪声信号。双端口微波放大器的噪声模型由图 3.6 给出。输入噪声功率可以由一个噪声电阻来表示。这个噪声是由电阻中的电子由于热搅动引起的随机运动产生的，因此称为热噪声或者约翰逊(Johnson)噪声。R_N 的最大可用噪声功率 N_R 为

$$N_R = kTB \quad (\text{W}) \tag{3.39}$$

其中 k 是玻尔兹曼(Boltzmann)常数(即 $k = 1.38 \times 10^{-23}$ J/K)，T 是以开尔文(K)为单位的电阻噪声温度，B 是以赫兹(Hz)为单位的噪声带宽。当 $B = 1$ GHz、$T = 290$ K 时，$kTB = 4 \times 10^{-9}$ mW = −84 dBm。如果带宽减小到 1 MHz，那么噪声功率可以减小 30 dB。在 1 Hz 带宽时，kTB = −174 dBm。注意到有效噪声功率与电阻值的大小无关，但是当源和负载电阻的比值不等于 1 时，实际传输到负载电阻上的噪声功率的大小会减小。设计低噪声放大器时的基本准则，就是在器件的输入端产生一个失配来降低源噪声的影响。

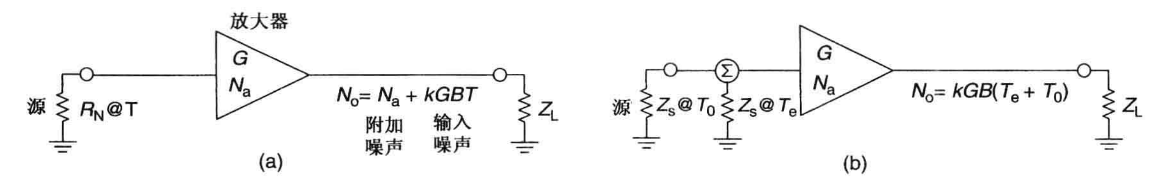


图 3.6　放大器等效噪声功率和噪声温度表示

式(3.39)说明热噪声功率依赖于带宽，但与特定的频率无关。如此分布的噪声称为白噪声。由于白噪声会在一个无限大的带宽上输出无限大的功率，因此显然没有真正的白噪声存在。实际中式(3.39)在高于毫米波的频率范围是不成立的，此时的噪声功率会降低。在微波和毫米波范围内，电路中的大多数耗能元件可以由理想的 kTB 噪声功率源来很好地描述。

此外，大多数电阻在低频时有额外的噪声。这个增加的噪声通常称为 1/f 噪声或闪烁噪声。通常，1/f 噪声与 1/f 频率没有依赖关系，但是它随着频率的降低逐渐增加。在 1/f 噪声功率等

于 kTB 时的频率称为 $1/f$ 转折频率。在设计 RF 或微波放大器时，闪烁噪声通常不是很重要，因为晶体管的转折频率低于 100 MHz。但在工作频率低于 100 MHz 的有线电视(CATV)应用中，它是微波振荡器和宽带 RF 放大器相位噪声的重要来源。

在微波晶体管中，除了约翰逊噪声和 $1/f$ 噪声，散粒噪声是由电子在调制通道中随机经过产生的。在直流到 100 MHz 的频率范围内，散粒噪声是一个相对恒定的值且随频率增加。因此在 0.2 ~ 26 GHz 频率范围内测量的晶体管噪声包含了约翰逊噪声和散粒噪声的贡献。而在低于 100 MHz 的应用中，设计放大器时也要考虑 $1/f$ 噪声的影响。

3.10.1 噪声系数

任何双端口网络的噪声系数可以定义为

$$F = \frac{\text{输入的信噪比}}{\text{输出的信噪比}} = \frac{\text{输出的可用噪声功率}}{\text{增益} \times \text{输入的可用噪声功率}} = \frac{N_o}{GkTB} \tag{3.40}$$

其中 N_o 是输出的可用噪声功率，G 是在带宽 B 内的网络有效增益，T 是以开尔文为单位的工作温度。

如果 N_a 是由放大器产生的噪声功率，那么

$$F = \frac{GkTB + N_a}{GkTB} = 1 + \frac{N_a}{GkTB} \tag{3.41}$$

一个对于电路没有噪声贡献的放大器的噪声系数 $F = 1$。

3.10.2 噪声温度

由于约翰逊噪声与电阻的大小无关且正比于绝对温度，因此可以用温度的单位来描述噪声功率的特性。考虑如图 3.6(b) 所示的放大器。通常，源和负载电阻都是 50 Ω，但是下面的定义适用于任何的源和负载阻抗。输出噪声功率可以表示为

$$N_o = Gk(T_0 + T_e)B \tag{3.42}$$

其中 T_0 为室温(通常 $T_0 = 290$ K)，T_e 是放大器在 $N_a = 0$ 时的等效噪声温度。从式(3.40)和式(3.42)可知，当源阻抗的温度为 T_0 时有

$$F = 1 + \frac{T_e}{T_0} \tag{3.43}$$

噪声系数通常用分贝表示：

$$\text{NF} = 10\ \log(F) = 10\ \log\left(1 + \frac{T_e}{T_0}\right) \tag{3.44}$$

3.10.3 噪声带宽

一个放大器总的噪声功率可以表示为

$$\text{NT} = \int_{-\infty}^{\infty} T_A(\omega) G_A(\omega)\, d\omega \tag{3.45a}$$

其中 $T_A(\omega)$ 和 $G_A(\omega)$ 分别是放大器的噪声温度和功率增益，ω 是角频率。认为放大器在一个特定的噪声带宽内具有固定的 T_A 和 G_A，而在其他频带没有增益，也就是

$$\text{NBW} \cdot k \cdot T_{\text{A}} \cdot G_{\text{A}} = k \int_0^{\infty} T_{\text{A}}(\omega) G_{\text{A}}(\omega)\, \text{d}\omega$$

$$\text{NBW} = \frac{\int_0^{\infty} T_{\text{A}}(\omega) G_{\text{A}}(\omega)\, \text{d}\omega}{T_{\text{A}} G_{\text{A}}} \tag{3.45b}$$

ω 的范围通常由系统中的其他器件决定，或由放大器的增益响应决定。

3.10.4　最佳噪声匹配

一般来说，任何含噪声的双端口网络可以表示成如图 3.7 所示的有噪声电压源和噪声电流源连接一个无噪声的双端口网络。如果电路中含有一个主要的电压噪声，采用高的源阻抗可以使传输的噪声信号最小，但如果电流噪声是主要的，则采用低的源阻抗可以使传输的噪声信号最小。当电路中包含电压和电流两种噪声源的时候，在有一个特定的源阻抗或者导纳时才会得到最小的噪声系数，这个特定的值称为最佳源导纳。输入端的导纳和阻抗平面上的等噪声系数圆可以用史密斯圆图(Smith Chart)画出来(在附录 F 中介绍)。非最小值的噪声系数的表达式由下式给出：

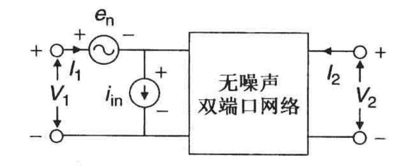


图 3.7　双端口网络的噪声等效电路

$$F = F_{\min} + \frac{R_{\text{n}}}{G_{\text{S}}} |Y_{\text{S}} - Y_{\text{opt}}|^2 \tag{3.46a}$$

或

$$F = F_{\min} + \frac{R_{\text{n}}}{G_{\text{S}}} [(G_{\text{S}} - G_{\text{opt}})^2 + (B_{\text{S}} - B_{\text{opt}})^2] \tag{3.46b}$$

其中

F = 噪声系数

$Y_S = G_S + jB_S$ = 源导纳

F_{min} = 最小噪声系数

$Y_{opt} = G_{opt} + jB_{opt} = 1/Z_{opt}$ = 最小噪声系数时的最佳源导纳

R_n = 等效噪声电阻

等效噪声电阻越小，非最佳源值的增大对噪声系数影响就越小。在上述的方程中，器件的输出端假定为共轭匹配。然而，如果器件的输入和输出端隔离度很差(小于 15 dB)，输出匹配对噪声系数的影响就必须考虑。

可以用反射系数 Γ_S 和 Γ_{opt} 来表示 Y_S 和 Y_{opt}，噪声系数的关系式变为

$$F = F_{\min} + \frac{4\bar{R}_{\text{n}} |\Gamma_{\text{S}} - \Gamma_{\text{opt}}|^2}{(1 - |\Gamma_{\text{S}}|^2)|1 + \Gamma_{\text{opt}}|^2} \tag{3.47}$$

其中 $\bar{R}_n = R_n/Z_0$ (Z_0 通常为 50 Ω)。F_{min}、R_n 和 Γ_{opt} 的值称为噪声参数，由晶体管的生产商给出或由第 22 章描述的经验给出。

3.10.5　等噪声系数圆和等增益圆

可以通过设计低噪声放大器的输入和输出匹配网络来达到带宽内指定的噪声系数和增益要求。可以通过画等噪声系数圆和等增益圆来简化设计过程。这些圆在史密斯圆图上由表示阻抗值的点组成等增益圆和等噪声系数圆。等增益圆画在 Γ_S 和 Γ_L 平面上，而等噪声系数圆只在 Γ_S 平面上表示。

等噪声系数圆

在史密斯圆图上，等噪声系数圆由表示电阻的值构成。如果 F_{min}、R_n 和 Γ_{opt} 的值是已知的，F 就是 Γ_S 的函数并可以通过计算得到。式(3.47)可以用来在史密斯圆图上构建等噪声系数圆，下面给出方法：

$$\left|\Gamma_S-\frac{\Gamma_{opt}}{1+N_i}\right|^2=\frac{N_i^2+N_i(1-|\Gamma_{opt}|^2)}{(1+N_i)^2} \tag{3.48a}$$

这个公式给出了等噪声系数圆的圆心为

$$C_F=\frac{\Gamma_{opt}}{1+N_i} \tag{3.48b}$$

等噪声系数圆的半径为

$$R_F=\frac{\sqrt{N_i^2+N_i(1-|\Gamma_{opt}|^2)}}{1+N_i} \tag{3.48c}$$

其中

$$N_i=\frac{Z_0}{4R_n}(F-F_{min})|1+\Gamma_{opt}|^2 \tag{3.48d}$$

等增益圆

在史密斯圆图上，等增益圆由表示电阻的值构成。获得等增益圆最简单的方法是考虑由式(3.23)给出的单向增益等式。归一化增益系数 g_i 的定义为

$$g_i=\frac{G_i}{G_{i\,max}}=\frac{(1-|\Gamma_i|^2)}{(|1-S_{ii}\Gamma_i|^2)}(1-|S_{ii}|^2) \tag{3.48e}$$

其中 $i=S(ii=11)$ 且 $i=L(ii=22)$。上述等式可以通过变形来说明其表示了一簇圆。在史密斯圆图上画出这些圆是很方便的。这些圆的圆心在从圆图圆心到点 S_{11}^* 或 S_{22}^* 的向量上。在源端从史密斯圆图的圆心沿着向量 S_{11}^* 到等增益圆圆心的距离由下式给出：

$$c_S=\frac{g_S|S_{11}|}{1-|S_{11}|^2(1-g_S)} \tag{3.48f}$$

等增益圆的半径可以表示为

$$r_S=\frac{(1-|S_{11}|^2)\sqrt{(1-g_S)}}{1-|S_{11}|^2(1-g_S)} \tag{3.48g}$$

负载端的等增益圆表达式与之类似，可以通过把源端的 S 参数换为负载端的 S 参数来得到。图 3.8给出了一个偏置在 3 V 且 I_{dss} 为 25% 的 300 μm 低噪声 FET 放大器，在 Γ_S 平面上一组典型的等增益圆和等噪声系数圆。

3.10.6 输入和噪声同时匹配

总体来说，低噪声放大器的输入端采用最小噪声匹配，但是 VSWR 值不是很好。然而，如图 3.9 所示，通过采用一个电感串联反馈，可以同时实现输入端共轭匹配和最小噪声匹配。这种情况下，Γ_{opt} 是串联电感值的函数。串联反馈减小了增益，但是可以使放大器工作在稳定的状态。尤其是在低频时，器件存在潜在的不稳定因素，这时一个串联电感反馈可以同时提供最小噪声系数匹配和好的输入匹配，也可以使放大器工作在稳定状态。电感(无耗的)串联反馈可以

增大器件的输入阻抗并减小等效噪声电阻 R_n，所以它不会对电路增加额外的噪声，而且使得电路对器件参数的变化容差增大。

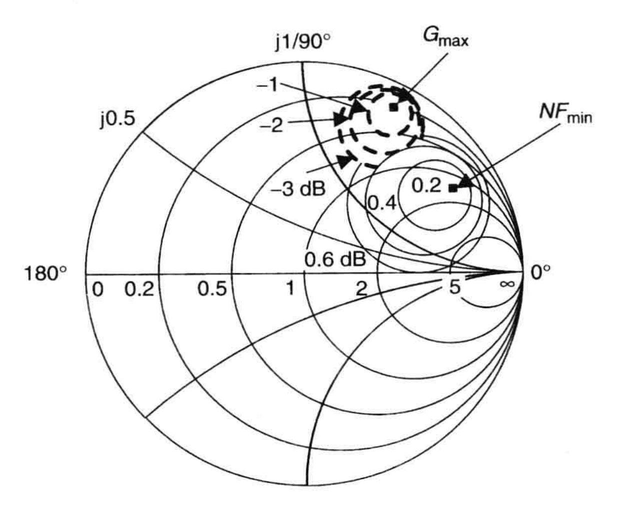


图 3.8　一个 300 μm 低噪声 FET 放大器在 Γ_S 平面上的等增益圆和等噪声系数圆

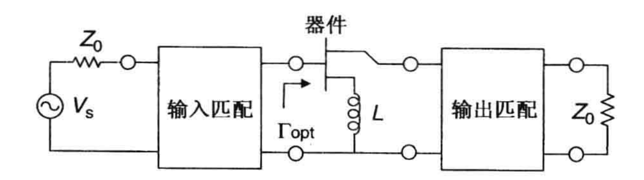


图 3.9　器件的输入和噪声同时匹配结构图

图 3.10 给出了一个放大器输入和输出匹配情况与相应的增益幅度。假设放大器是稳定的(见第 17 章)。输入和输出同时共轭阻抗匹配条件可以获得最大的增益，而其他两个条件会使增益降低 2 ~ 3 dB。

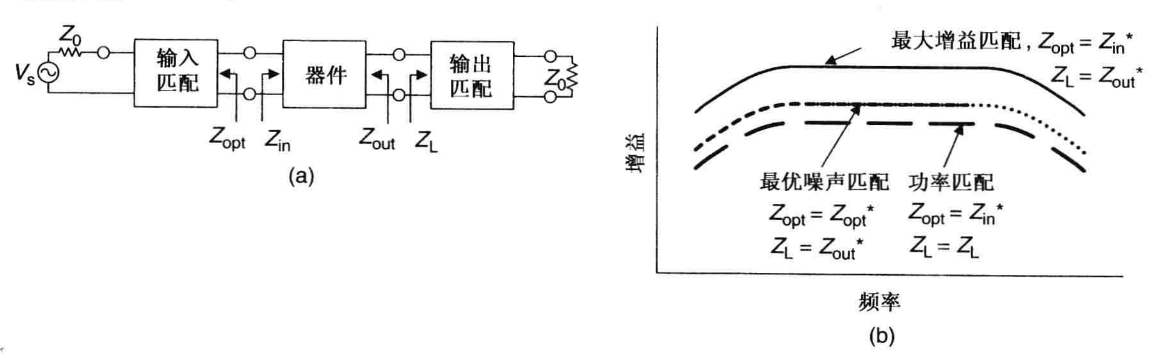


图 3.10　(a)放大器的典型输入和输出匹配条件；(b)相应的增益幅度

3.11　动态范围

由接收机可以无失真接收的输入信号范围称为动态范围(DR)。放大器的动态范围定义为输出 1 dB 功率压缩点($P_{1\,dB}$)与放大器最小可检测信号(P_{in}^{min})的比值。

一个双端口器件的输出噪声的噪声系数 F 根据式(3.40)可以表示为

$$N_o = FGkTB \tag{3.49}$$

如果最小可检测的输入信号比背景噪声高 X(dB)，那么有

$$P_{in}^{min} = N_o - G + X(dB) \tag{3.50}$$

$$P_{out}^{min} = P_{in}^{min} + G = N_o + X(dB) \tag{3.51}$$

动态范围就可以定义为

$$DR = P_{1\,dB} - P_{out}^{min} \tag{3.52}$$

如果 X 的一个典型值是3 dB，那么利用关系 $kT + X = -171$ dBm，从式(3.49)～式(3.52)可以得到

$$DR = P_{1\,dB} + 171 - 10\log(B) - NF - G(dB) \tag{3.53}$$

其中 $P_{1\,dB}$是相对于1 mW(0 dBm)定义的分贝数，也就是 dBm。式(3.53)中的所有数值都可以用分贝表示。

例3.2 一个低噪声放大器的增益为30 dB，噪声系数是2 dB，1 dB 压缩点是15 dBm，噪声带宽是1 GHz，确定其动态范围。计算当 IP3 =25 dBm 时的无杂散动态范围。

解 从式(3.53)得

$$DR = 15 + 171 - 90 - 2 - 30 \text{ dB} = 64 \text{ dB}$$

放大器无杂散动态范围(DR_f)定义为当三阶交调产物等于最小可检测输出信号时，基波信号输出功率与三阶交调输出功率的比值。用分贝表示的无杂散动态范围由下式[5]给出：

$$DR_f = \frac{2}{3}[IP3 - P_{out}^{min}] \tag{3.54}$$

从式(3.51)得

$$\begin{aligned} P_{out}^{min} &= -171 \text{ dBm} + 10\log(B) + NF + G \text{ dBm} \\ &= -171 + 90 + 2 + 30 = -49 \text{ dBm} \end{aligned} \tag{3.55}$$

从式(3.54)得

$$DR_f = \frac{2}{3}[25 + 49] = 49.33 \text{ dB}$$

3.12 多级放大器特性

考虑如图3.11所示的多级放大器结构图。这个结构图给出了不同级的增益(G)、噪声系数(F)、$P_{1\,dB}$和三阶交调产物(IP3)。本节中，将描述多级放大器的 IP3、PAE 和噪声系数。

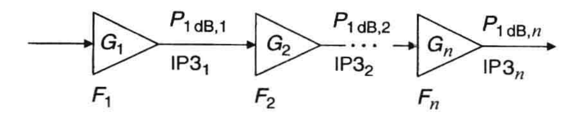


图3.11 一个多级级联放大器的结构图，下标表示级数

3.12.1 多级放大器 IP3

多级放大器的输入 IP3 可以通过把功率并联输入到放大器的输入端而得到。假设所有的交调点都是独立无关的，一个 n 级晶体管的输入 IP3(以 mW 为单位)的表达式为

$$IP3_{input} = \frac{1}{\frac{1}{IP3_1} + \frac{G_1}{IP3_2} + \frac{G_1G_2}{IP3_3} + \ldots + \frac{G_1G_2 \ldots G_{n-1}}{IP3_n}} \tag{3.56}$$

其中 $IP3_n$ 和 G_n 是 n 级放大器输入 IP3(以 mW 为单位)和增益。输出 IP3 是输入 IP3 和总功率增益比值的函数，或者是以分贝为单位的输入 IP3 和总增益的和。对于一个三级放大器，以 dBm 为单位的输入 IP3 的表达式为

$$IP3_{input} = 10\log\left[\frac{1}{\frac{1}{IP3_1} + \frac{G_1}{IP3_2} + \frac{G_1G_2}{IP3_3}}\right] \tag{3.57}$$

例 3.3　考虑一个三级功率放大器，在第一级、第二级、第三级分别有 10 dB、9 dB 和 8 dB 的增益与 28 dBm、34 dBm 和 40 dBm 的输出 IP3。确定总的输入和输出 IP3。

解　这里的 $G_1 = 10$、$G_2 = 7.94$ 和 $G_3 = 6.3$：

$$IP3_1 = 28 - 10\ \text{dBm} = 63.1\ \text{mW} \qquad IP3_2 = 34 - 9\ \text{dBm} = 316.2\ \text{mW} \qquad IP3_3 = 40 - 8\ \text{dBm} = 1584.9\ \text{mW}$$

$$\begin{aligned} IP3_{input} &= 10\log\left[\frac{1}{\frac{1}{63.1} + \frac{10}{316.2} + \frac{10\times7.94}{1584.9}}\right]\text{dBm} \\ &= 10.1\ \text{dBm} \\ IP3_{output} &= 10.1 + 27\ \text{dBm} = 37.1\ \text{dBm} \end{aligned}$$

因此从单级放大器变为一个三级级联放大器，输出 IP3 减小了 2.9 dB。为了减小这个效应，需要增加每级的增益和下一级 IP3 的值。

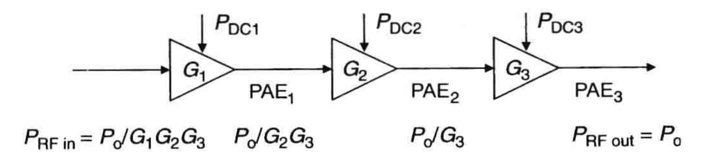


图 3.12　一个多级级联放大器的结构图

3.12.2　多级放大器 PAE

如图 3.12 所示的三级功率放大器的功率附加效率的表达式为

$$PAE = \frac{P_o\left(1 - \frac{1}{G_1G_2G_3}\right)}{P_{DC}} \tag{3.58}$$

其中 $P_{DC} = P_{DC1} + P_{DC2} + P_{DC3}$：

$$P_{DC1} = \frac{P_o\left(1 - \frac{1}{G_1}\right)}{G_2G_3PAE_1} \tag{3.59a}$$

$$P_{DC2} = \frac{P_o\left(1 - \frac{1}{G_2}\right)}{G_3PAE_2} \tag{3.59b}$$

$$P_{DC3} = \frac{P_o\left(1 - \frac{1}{G_3}\right)}{PAE_3} \tag{3.59c}$$

其中 PAE_1、PAE_2和 PAE_3分别是第一级、第二级、第三级的功率附加效率。当 $G_1G_2G_3 >> 1$ 时，从式(3.58)和式(3.59)可以得到

$$PAE = \frac{1}{\frac{G_1-1}{G_1G_2G_3PAE_1}+\frac{G_2-1}{G_2G_3PAE_2}+\frac{G_3-1}{G_3PAE_3}} \quad (3.60)$$

当 G_1、G_2 和 $G_3 >> 1$ 时，有

$$PAE = \frac{1}{\frac{1}{G_2G_3PAE_1}+\frac{1}{G_3PAE_2}+\frac{1}{PAE_3}} \quad (3.61)$$

3.12.3 多级放大器噪声系数

现在考虑一个 n 级级联放大器，每级的增益为 $G_1, G_2, \cdots, G_n$ 且噪声系数(NF)为 $F_1, F_2, \cdots, F_n$。这个 n 级放大器的总噪声系数可以表示为

$$F = F_1 + \frac{F_2-1}{G_1} + \frac{F_3-1}{G_1G_2} + \cdots + \frac{F_n-1}{G_1G_2\ldots G_{n-1}} \quad (3.62)$$

当 $F_1 = F_2 = \ldots = F$、$G_1 = G_2 = \ldots = G$ 且 $n\to\infty$时，得到的总噪声系数称为噪声测量 F_M，表达式为

$$F_M = \frac{F-1/G}{1-1/G} \quad (3.63)$$

大多数的情况下，噪声测量对于放大器来说是一个比噪声系数更好的数值。因为噪声测量包含了后面各级放大器对噪声的贡献。无论放大器的噪声系数有多低，一个低增益的放大器不能保证具有好的系统噪声性能。表3.3给出了一个级联三级不同增益放大器的噪声系数分析。为了达到低的噪声系数，第一级的增益比其他级的更加重要。

表3.3 一个每级增益不同的三级 LNA 的噪声系数[a]

第一级		第二级		第三级		
G	NF	*G*	NF	*G*	NF	放大器 NF
20	2	20	2	20	2	2.02
13	2	13	2	13	2	2.08
10	2	10	2	10	2	2.17
8	2	8	2	8	2	2.29
6	2	6	2	6	2	2.48
4	2	4	2	4	2	2.81
10	2	6	2	6	2	2.20
6	2	10	2	10	2	2.42

[a]增益 *G* 和 NF 以 dB 为单位。

例3.4 考虑一个两级级联的放大器。如果第一级的增益和噪声系数分别是9 dB 和2 dB，第二级的增益和噪声系数分别为10 dB 和3 dB，计算级联放大器的总噪声系数。如果第一级放大器的增益为15 dB 或更高时，噪声系数会如何变化?

解 总噪声系数可以由式(3.62)式给出，也就是

$$F = F_1 + \frac{F_2-1}{G_1}$$

其中

$$\mathrm{NF}_1 = 2\ \mathrm{dB},\quad F_1 = 1.58$$
$$\mathrm{NF}_2 = 3\ \mathrm{dB},\quad F_2 = 2$$
$$G_1 = 9\ \mathrm{dB} = 7.94$$
$$G_2 = 10\ \mathrm{dB} = 10$$
$$F = 1.58 + \frac{2-1}{7.94} = 1.7$$

或者

$$\mathrm{NF} = 10\log(1.7) = 2.3\ \mathrm{dB}$$

当

$$G_1 = 15\ \mathrm{dB} = 31.6,\quad F = 1.58 + \frac{2-1}{31.6} = 1.6,\quad \mathrm{NF} = 2.07\ \mathrm{dB}$$

因此第一级放大器的增益 G_1 越大，第二级的噪声对系统所造成的影响就越小。

例 3.5　考虑一个前面串联衰减器的放大器。如果衰减器的损耗是 L，放大器的增益和噪声系数为 G_A和 NF_A，单位为分贝。这个串联结构的总噪声系数是多少？

解　本例和上一个例子很像，其中

$$F_1 = 10^{L/10},\quad F_2 = 10^{\mathrm{NF_A}/10}$$
$$G_1 = 10^{-L/10},\quad G_2 = 10^{G_A/10}$$

从式(3.62)可得

$$F = 10^{L/10} + \frac{10^{\mathrm{NF_A}/10} - 1}{10^{-L/10}}$$
$$F = 10^{L/10} \times 10^{\mathrm{NF_A}/10}$$
$$\mathrm{NF} = 10\ \log F = L + \mathrm{NF_A}$$

换句话说，一个匹配的衰减器在室温下连接至放大器前会增加放大器的噪声系数，增加值与衰减器的损耗值相等。

3.13　栅极和漏极的推移因子

在许多重要的应用场合，HPA 的使用要求检查 HPA 的传输相位和输出功率相对于栅极和漏极电压的敏感度，以模拟偏置线上噪声抖动的效应。输出功率随栅极（$\Delta P/\Delta V_g$）和漏极（$\Delta P/\Delta V_d$）电压的变化分别称为栅极电压和漏极电压的功率推移，用 dB/V 来表示。类似地，传输相位随栅极和漏极电压的变化分别称为栅极和漏极相位推移，用°/V 来表示。相位 ϕ 和输出功率 P_o 随栅极电压和漏极电压的变化定义为

$$\Delta\phi_g/\Delta V_g = \angle S_{21}|_{V_g} - \angle S_{21}|_{V_g \pm \Delta V_g} \tag{3.64a}$$

$$\Delta\phi_d/\Delta V_d = \angle S_{21}|_{V_g} - \angle S_{21}|_{V_d \pm \Delta V_d} \tag{3.64b}$$

和

$$\Delta P_{og}/\Delta V_g = P_o|_{V_g} - P_o|_{V_g \pm \Delta V_g} \tag{3.65a}$$

$$\Delta P_{od}/\Delta V_d = P_o|_{V_g} - P_o|_{V_d \pm \Delta V_d} \tag{3.65b}$$

其中下标 g 和 d 分别表示栅极和漏极。V_g 和 V_d 是名义上的偏置电压，ΔV_g 和 ΔV_d 是特定的电压变化。ΔV_g 和 ΔV_d 的典型值分别为 0.2 V 和 0.5 V。$\Delta\phi_g$ 和 ΔP_{og} 的期望值为 5° ~ 10°和 0.1 dB。$\Delta\phi_d$ 和 ΔP_{od} 的典型值分别为 2° ~4°和 0.5 dB。因此，传输相位对栅极电压更敏感，而输出功率主要受漏极电压影响。

3.14 放大器的温度系数

晶体管放大器的特性如增益、噪声系数和功率是依赖于温度的。放大器的增益和输出功率随温度的增加而下降，而由于温度增加时晶体管结和沟道温度增加所导致跨导 g_m 的减小，也会引起噪声系数的增加(将在第4章讨论)。换句话说，相对于参考温度(室温)的温度越高，增益越低而噪声系数越高，反之亦然。对于一个低噪声放大器来说，相对于温度变化增益和噪声系数的变化分别表示为 ΔG 和 ΔNF。对于 FET 或 HEMT 来说，这些温度系数的典型值为

$$\Delta G = 0.01\ \mathrm{dB}/{}^\circ\mathrm{C}/\text{级} \tag{3.66}$$

$$\Delta \mathrm{NF} = 0.01\ \mathrm{dB}/{}^\circ\mathrm{C} \tag{3.67}$$

对于功率放大器，温度功率系数的典型值为

$$\Delta P = 0.01\ \mathrm{dB}/{}^\circ\mathrm{C} \tag{3.68}$$

更准确的 ΔG 、ΔNF 和 ΔP 的值，可以通过电路中依赖于温度的器件模型来计算。相对于晶体管来说，无源器件(微带线、电感和电容)的温度依赖性可以忽略不计。

例3.6 在25℃时，一个三级低噪声放大器的增益和噪声系数分别为25 dB和2 dB。计算放大器在85℃和 -45℃时的各个参数。

解 这里有

$$G = G_{25} \mp \Delta G \times \Delta T \quad \text{和} \quad \mathrm{NF} = \mathrm{NF}_{25} \pm \Delta\mathrm{NF} \times \Delta T \tag{3.69}$$

对增益应用式(3.66)有

$$85\,{}^\circ\mathrm{C},\quad G = 25 - \Delta G \times (85 - 25) \times 3 = 25 - 1.8 = 23.2\ \mathrm{dB}$$
$$-45\,{}^\circ\mathrm{C},\quad G = 25 + \Delta G \times (45 + 25) \times 3 = 25 + 2.1 = 27.1\ \mathrm{dB}$$

对于噪声系数应用式(3.67)有

$$85\,{}^\circ\mathrm{C},\quad \mathrm{NF} = 2.0 + \Delta\mathrm{NF} \times (85 - 25) = 2.0 + 0.6 = 2.6\ \mathrm{dB}$$
$$-45\,{}^\circ\mathrm{C},\quad \mathrm{NF} = 2.0 - \Delta\mathrm{NF} \times (45 + 25) = 2.0 - 0.7 = 1.3\ \mathrm{dB}$$

3.15 平均失效时间

总体来说，放大器的可靠性是由晶体管决定的，而不是由无源元件决定的。由于晶体管可以承受更高的强度量级，因此比无源匹配元件具有更大的失效率。在不影响稳定性的情况下，固态晶体管通常具有不能超过的最大允许工作沟道或结的温度(150℃;GaAs 器件为175℃)，设定为平均失效时间(MTTF)。降低沟道的温度可以增加电气性能并且大量延长器件的寿命。晶体管的寿命测试显示，小信号和功率 GaAs 晶体管在150℃时的估计平均失效时间分别大于 10^7 和 10^6 小时。

固体器件的许多测试显示其失效机制随温度呈指数变化[9~13]。平均失效时间是采用阿列尼乌斯(Arrhenius)模型来计算的，它是一个温度和寿命的关系式，表达式为

$$\mathrm{MTTF} = C\mathrm{e}^{E_\mathrm{a}/kT} \tag{3.70}$$

其中 C 是一个常数，E_a 是激活能(以 eV 为单位)，k 是玻尔兹曼常数(1.38×10^{-23} J/K)，T 是以开尔文为单位的绝对温度。在通常的 RF 状态，固态器件的典型平均失效时间值为10~100年。为了在一个合理的时间之内得到晶体管有意义的平均失效时间数据，需要进行加速温度测试。因此平均失效时间可以通过上升温度来计算，也称为晶体管或放大器的加速压力寿命测试。测

试是在直流条件或 RF 条件下进行的。升高的沟道温度通常在 325℃以下，测试是在比 150℃高 25℃或 50℃的条件下进行的。

在 MESFET 器件中，由于电子迁移、叉指间横向短路和由金属扩散导致的有源区域纵向短路的存在，会造成器件开路或者短路，因此决定可靠性的失效机制是电阻性金属迁移“耗尽”，而不是随机的寿命。电子迁移的简要描述在第 15 章给出。在晶体管中，主要的失效是由于电子迁移、叉指间横向短路和由金属扩散导致的有源区域纵向短路的存在所造成的器件开路或者短路的耗尽机制。在 FET 或 HEMT 中，栅极开路可以使有限漏源电流控制的电压增加，从而提高漏源电流值且降低增益、功率和 PAE。欧姆接触的扩散会造成电子进入 GaAs，这已经被接近栅沟道的欧姆接触生成的空穴所证实。这会导致漏极电流和输出功率逐渐减小。在高温时，金属扩散会导致击穿电压降低，进而使器件短路。

在最差的情况下，以 M/A-COM 公司的多功能自对准栅 FET 器件的可靠性为例，图 3.13 是一个 HPA 的阿列尼乌斯图，这个 HPA 工作在额定的偏置和输出功率下，采用连续射频波对其进行寿命测试。这张图也包括了传统的 1.2 eV 激活能寿命程序。放大器工作在 1.5 ~2 dB 的增益压缩点处。如果功率有 1 dB 的损耗，则认为器件已经失效了。本图显示了在连续波情况下，在最大沟道温度为 170℃时，具有 10^6 小时的平均失效时间。图 3.13 的阿列尼乌斯图显示一个小信号多功能自对准栅 FET 器件比功率器件的平均失效时间高一个数量级。近期的研究表明，激活能为 1.4 ~ 1.8 eV 时，推算出的器件寿命确实会比图 3.13 中给出的寿命高一个数量级。

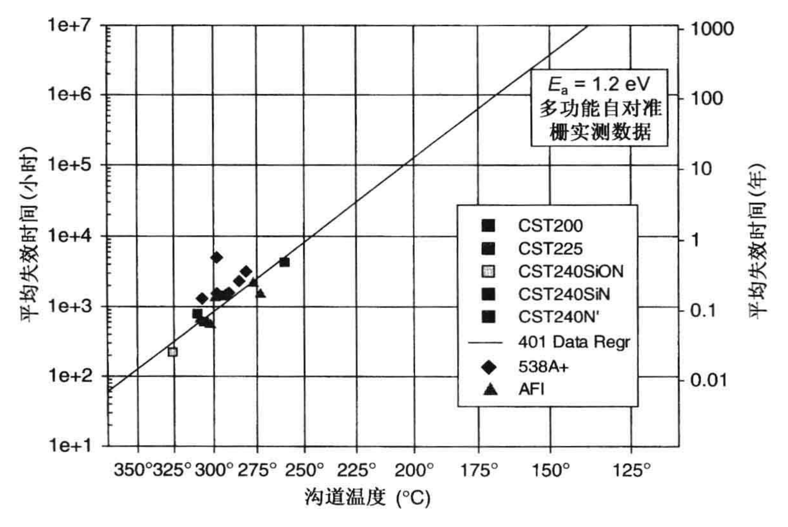


图 3.13　在额定的偏置和输出功率情况下，一个小信号多功能自对准栅FET器件的阿列尼乌斯图

参考文献

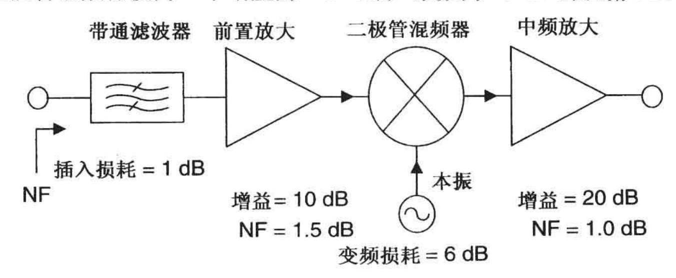
1. P. Naraine, Predicting the EVM performance of WLAN power amplifiers with OFDM signals, *Microwave J.*, Vol. 47, pp. 222–226, May 2004.
2. N. Pothecary, *Feedforward Linear Power Amplifiers*, Artech House, Norwood, MA, 1999.
3. T. T. Ha, *Solid-State Microwave Amplifier Design*, John Wiley & Sons, Hoboken, NJ, 1981.
4. H. Fukui (Ed.), *Low-Noise Transistors and Amplifiers*, IEEE Press, New York, 1981.
5. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, Englewood Cliffs, NJ, 1984.

6. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003.
7. R. E. Lehmann and D. D. Heston, X-band monolithic series feedback LNA, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-33, pp. 1560–1566, December 1985.
8. K.C Gupta, *Microwaves*, Wiley Eastern Ltd, New Delhi, India 1979.
9. F. Wilhemsen et al., Temperature vs. reliability in power GaAs FETs and MIC GaAs FET power amplifiers, *Microwave J.*, Vol. 27, pp. 227–242, May 1984.
10. W. Poole and L. Walshak, A five-year quest to prove MW power transistor reliability, *Microwave & RF*, Vol. 23, pp. 71–80, July 1984.
11. W. E. Poole, Perform device—life tests under RF conditions, *Microwave & RF*, Vol. 36, pp. 84–91, October 1997.
12. A. Christou (Ed.), *Reliability of Gallium Arsenide MMICs*, John Wiley & Sons, Hoboken, NJ, 1992.
13. D. Crowe and A. Feinberg (Eds.), *Design for Reliability*, CRC Press, Boca Raton, FL, 2001.

习题

3.1 一个四级功放，其第一级～第四级的增益分别为 10、9、8 和 7，输出 IP3 的值分别为 24 dBm、31 dBm、37 dBm和 42 dBm，计算放大器的输入和输出 IP3。

3.2 计算如下图所示接收机框图的噪声系数，再与另一个接收机的性能进行比较，另一个接收机是把下图中的二极管混频器换为一个增益为 7 dB、噪声系数为 10 dB 的双栅 FET 混频器。



3.3 推导一个每级增益为 G、噪声系数为 F 的 n 级相同的级联放大器的噪声系数表达式。在 $G=5$、$F=2$ 的情况下，如果想要得到噪声系数小于 2.3，最多可以级联多少级放大器?

3.4 在 5 GHz、50 Ω 系统条件下，测得一个器件的 S 参数为

$$S_{11}=0.895\angle-44.9, S_{21}=4.392\angle141.5, S_{12}=0.057\angle69.8, S_{22}=0.548\angle-21.5$$

计算式(3.22b)和式(3.25)中定义的 G_T、G_A 和 G_P。

3.5 室温下，1 GHz 带宽内一个三级低噪声放大器的噪声系数为 3 dB，增益为 30 dB，当放大器的 1 dB 压缩点为 15 dBm 时，计算 DR 和 DR_f。

3.6 室温下，1 GHz 带宽内一个两级功率放大器的噪声系数为 8 dB，增益为 15 dB，计算输出噪声功率，分别以 W 和 dBm 表示。

3.7 在 Γ_S 和 Γ_L 平面内推导等增益圆的表达式。

3.8 在 Γ_S 平面内推导等噪声系数圆的表达式。

第4章 晶 体 管

自1948年硅晶体管问世以来，半导体器件的工作频率迅速提高。这一方面得益于高性能半导体材料的使用，另一方面得益于晶体管临界尺寸的减小。尺寸的减小带来了电子转移时间的减少及寄生电容的减小，从而带来了固态晶体管工作频率的提高。光刻设备的进步主要归功于硅半导体工业的需求，而这种进步在当前支撑着工作频率高于100 GHz、临界尺寸小于0.5 μm器件的常规制造。晶体管的电流和电压处理能力总是伴随着临界尺寸的减小而降低，其输出功率也相应降低了。这就解释了为什么半导体可以转换60 Hz的发电厂输出功率，却很难在100 GHz得到1 W的输出功率。

本章的目的就是为后面的放大器设计做必要的准备，使读者对多种晶体管的基本工作原理有个大体的认识，它们的特性(如等效电路和性能参数)都将在本章进行回顾。

4.1 晶体管类型

放大器电路因数个固态器件的使用而得到发展。这些器件包括硅双极结型晶体管(BJT)，金属氧化物半导体场效应晶体管(MOSFET)和横向扩散金属氧化物半导体(LDMOS)晶体管，砷化镓(GaAs)金属半导体场效应晶体管(MESFET)，或者仅仅是场效应管(FET)，以GaAs和磷化铟(InP)为基础的高电子迁移率晶体管(HEMT)，以锗化硅(SiGe)和GaAs为基础的异质结双极型晶体管(HBT)，以及基于碳化硅(SiC)的FET器件和氮化镓(GaN)HEMT器件。这些器件工作的电源电压可以覆盖2 V(小信号设备)到48 V(高功率应用)的范围。在小信号应用中，器件常常工作在低漏极电压状态，如2~3 V；如果要改善噪声性能或者是在功率应用中，这些器件则工作在5~10 V。BJT、LDMOS、SiC基器件等超大功率晶体管通常工作在高得多的电源电压下，这类晶体管将在第13章进行讨论。本章将对器件及其基本工作原理和模型进行总体介绍。在第5章，我们将介绍用于放大器设计的广泛适用的晶体管模型。每个器件都有几种不同的型号，它们的区别在于尺寸、栅极或发射极结构及沟道构成上的不同，而这些参数是在设计阶段由放大器的工作频率和功能所决定的。由于这些可变因素不可能在一个小章节中全部覆盖，在此只介绍其显著特征。读者可以参考本章结尾的参考文献[1~53]来获得更多器件细节。一些生产商为自定义设计提供了以GaAs和InP为基础的FET、pHEMT和HBT，以及以硅为基础的晶体管加工。

晶体管的制造是从晶圆类型或基底的选择开始的。应用在有源器件上的各种基底材料包括硅、碳化硅、蓝宝石、GaAs、InP和GaN。它们的电学和物理性质在表4.1中进行了比较。除了硅，所有其他基底材料都称为混合型半导体。硅在市场上占据着主导地位，排在第二位的GaAs被远远地抛在了后面，在它之后还有现在新兴的但技术不成熟的一些材料，如InP、SiC和GaN。基底材料的半绝缘特性是至关重要的，它为单片微波集成电路(MMIC)提供了高的器件隔离度和低的介质损耗。例如，当硅器件能够工作在大于100 GHz时，体硅相对低的电阻率将使它不适合进行高性能单片集成。GaAs半导体绝缘基底在大约100 GHz时仍然能够表现出很好的绝缘性。InP已经在高达280 GHz的毫米波HEMT器件中使用。相比于相同几何结构的GaAs基底pHEMT器件，InP基底上生产的假晶HEMT器件在增益、噪声系数和功率方面表现出更好的性能。在这个例子中，InP基底提供了更高的二维电子气体密度，从而得到高的电流和跨导值。用

InP 基底制作的 HEMT 器件的高跨导值可以得到极低的噪声系数、高增益和高的工作频率。在高功率和高温应用领域，具有宽能带隙和相对高的热导率的材料，如 SiC 和 GaN，扮演着极其重要的角色。近来(晶体)取向附生技术的进步，使得在这些基底上生长出有源器件成为可能。

表 4.1 晶体管/单片集成电路基底材料的比较[a]

特性	Si	SiC	GaAs	InP	GaN
半绝缘	否	是	是	是	是
电阻率(Ω·cm)	$10^3 \sim 10^5$	$>10^{10}$	$10^7 \sim 10^9$	$\sim 10^7$	$>10^{10}$
介电常数	11.7	9.7	12.9	14	8.9
电子迁移率($cm^2/V \cdot s$)	1450	500	8500	4000	800
饱和电速度(cm/s)	9×10^6	2×10^7	1.3×10^7	1.9×10^7	2.3×10^7
辐照硬度	弱	出色	很好	好	出色
密度(g/cm^3)	2.3	3.1	5.3	4.8	6.1
热导率(W/cm·℃)	1.45	3.5	0.46	0.68	1.3
工作温度(℃)	250	>500	350	300	>500
能带隙(eV)	1.12	2.86	1.42	1.34	3.39
击穿场强(kV/cm)	≈300	≥2000	400	500	≥5000

[a]室温条件下的纯材料。

相比于 Si 双极型晶体管，GaAs FET 和 HEMT 器件的工作频率更高，噪声系数更低，以及在更低工作电压下功率和功率附加效率更高。GaAs FET 作为一个单独的不连续的晶体管，广泛应用于宽带、中功率、高功率及高频混合微波集成电路(MIC)放大器中。这种 GaAs FET 的广泛应用要归功于它的高工作频率和多样性。尽管如此，对于更好性能和更高工作频率的新器件的关注度仍然在不断提高。在微波和毫米波 IC 应用领域中，HEMT 和 HBT 器件拥有电压优势。HEMT 器件在极低噪声、高线性度和高工作频率方面展现出了优势性能。pHEMT 器件从 Ku 波段到W 波段都具有卓越的毫米波功率性能，并且被认为是这类型晶体管较好的选择。在 RF 和低微波频段功率器件中，HBT 是很受欢迎的，而且它还是单电源供电。HBT 相比于 FET 和 HEMT 器件具有更好的线性度和更低的相位噪声。Si 双极型晶体管也需要单电源供电，它拥有更低的泄漏和 $1/f$ 噪声，并且成本更低。相比于 Si HBT 器件，SiGe HBT 器件具有实现更低成本的潜力，而且它的电学特性与 GaAs HBT 很相似(除了更低的击穿电压以外)。

在工作偏置条件下的各项优势可以用来评估晶体管特性，包括最大可用增益、截止频率(f_T)、最大振荡频率(f_{max})、最小噪声系数(F_{min})、输出功率密度和功率附加效率(PAE)。对于设计放大器来说，需要测试器件的 S 参数、噪声系数、线性和非线性模型，以及源牵引和负载牵引数据，更多的细节将在第 5 章进行介绍。

4.2 硅双极型晶体管

硅双极型晶体管是一种基极电流控制集电极电流的电流驱动器件。双极型晶体管的结构有(a)共基、(b)共射和(c)共集三种。在功率放大应用中，共射和共集结构是最常用的。在典型的共射结构中，射基结偏压是反向的，集基结偏压是同向的，而且提供偏压的电源都是同一个电源。

硅双极型晶体管是一个 pn 结型器件，是由背靠背的两个结组成的。因为它是一个三端器件，所以可以是 pnp 结构或者 npn 结构。在高频应用中，推荐使用如图 4.1(a)所示的 npn 结构，这是因为一般情况下电子(多数载流子)相比于空穴拥有更好的传输特性。npn 双极型晶体管的基本物理响应可以通过分析如图 4.1(b)所示的共射结构来解释。在正常偏压下，射基之间施加

反向偏压，集基之间施加正向偏压。电子横跨射基结注入，通过基极区域，在集基结处被取出。也就是说电子是在集电极端收集的，而空穴则在基极端收集。由此导致集电极端和发射极端之间出现电子流，并且基极端和发射极端之间出现空穴流。两对电流之间存在的比例就是电流增益。

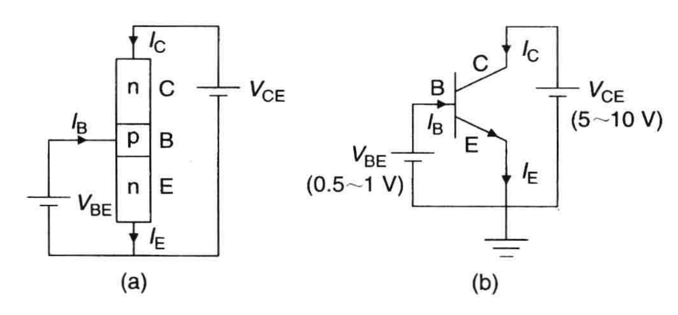


图4.1 通常的发射极 npn 双极型晶体管配置，给出偏置电压：(a) pn 结；(b) BJT 电路

图4.2 所示的电流-电压(I-V)特性曲线反映的是发射极面积为 $0.4 \times 100\ \mu m^2$ 的共射结构双极型晶体管的特性。对于工作在小信号的晶体管，典型的集电极电流最大值和基极电流最大值分别为 10 ~ 15 mA 和 20 ~ 100 μA。集电极和发射极之间的击穿电压 BV_{CE} 在 15 ~ 20 V 之间。

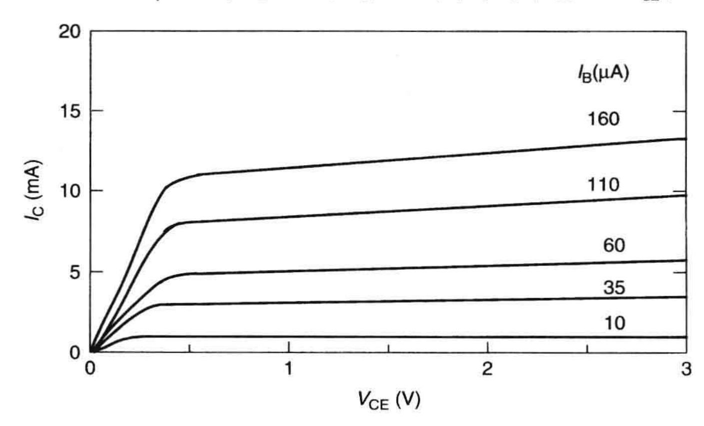


图4.2 对于通常的发射极结构，当发射极面积为 $0.4 \times 100\ \mu m^2$ 时，双极型晶体管的 I-V 特性曲线

双极型晶体管的发射极电流(I_E)和集电极电流(I_C)可以分别由下面两式给出：

$$I_E = I_s[\exp(qV_i/kT) - 1] \quad \text{和} \quad \Delta I_C = \alpha \Delta I_E \tag{4.1}$$

直流电流增益 β 和跨导 g_m 可以分别由下面两式定义：

$$\beta = \frac{\Delta I_C}{\Delta I_B} \tag{4.2a}$$

$$g_m = \frac{\Delta I_C}{\Delta V_{BE}} = \frac{q}{kT}\alpha I_E = \frac{I_E(\text{单位 mA})}{26} \tag{4.2b}$$

其中

I_s = 表面结合耗尽电流

I_B = 基极电流

q = 电子电荷 = 1.602×10^{-19} C

V_{BE} = 基射电压

V_i = 内建电压

k = 玻尔兹曼常数 = 1.38×10^{-23} J/K

T = 开尔文单位表示的温度

α = 低频共基电流增益

图4.3所示为双指(two-cell)双极型硅晶体管物理结构的横截面图。当各指平行连接在一起时，决定器件频率响应最关键的尺寸是发射极极距(pitch)和发射极面积。在固定偏置的条件下，如图4.4所示的分布式T形等效电路是一种有效表征器件性能的小信号模型。图中的R_1、R_2是基极分布电阻；C_1、C_2是基极分布电容；C_{bp}是基极沟道电容；C_{ep}是发射极沟道电容；C_{be}是基极到发射极结电容；R_c是集电极电阻；R_{bc}是基极接触电阻；R_e是发射极电阻；R_{ec}是发射极接触电阻；I_e是发射极电流；α是共基电流增益。为了在射频设计中准确地预测电路性能，必须加入基极和发射极的连接电感。

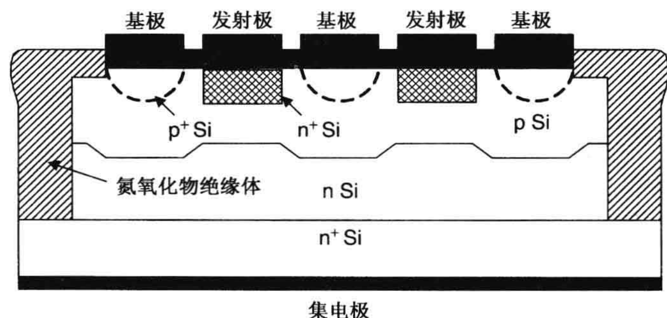


图4.3 BJT的横截面图

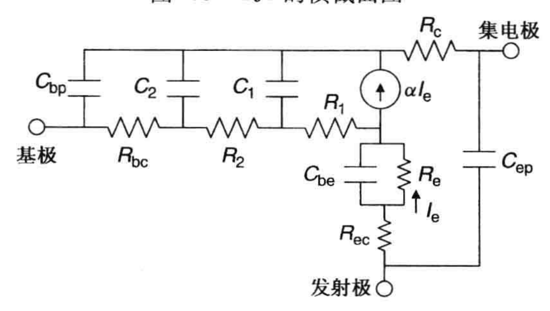


图4.4 BJT的分布式T形等效电路

4.2.1 关键性能参数

双极型晶体管的性能系数可以表示为

$$(f_{\max})^2=\frac{f_T}{8\pi R_b C_c} \tag{4.3}$$

其中$f_{\max}$是单边增益变为单位增益时的最大频率，R_b是基极电阻，C_c是集电极到基极的电容(见图4.5)，f_T与转换时间有关，可以通过以下公式表示：

$$f_T=\frac{1}{2\pi\tau_{ec}} \tag{4.4}$$

其中τ_{ec}是转换时间(从发射极到集电极的延迟时间)，可以表示为

$$\tau_{ec}=\tau_e+\tau_b+\tau_d+\tau_c+\tau_{eb}+\tau_{bc} \tag{4.5}$$

其中τ_e是由过多载流子引起的发射极延迟时间，τ_b是基极转换时间，τ_c是集电极的基集电容充电时间，τ_{eb}是射基电容充电时间，τ_{bc}是发射极的基集电容充电时间，频率f_T也可以定义为共射电流增益减小为单位增益时的频率。

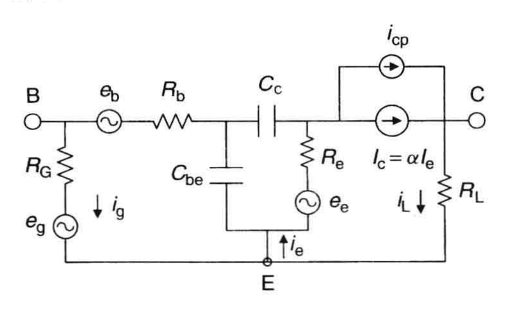


图4.5 双极型晶体管共射高频噪声等效电路

4.2.2 硅双极型晶体管的高频噪声特性

硅双极型晶体管的高频噪声特性由三个噪声源来表征。这些起主导作用的噪声源可以等效到双极型晶体管的噪声模型中，如图4.5所示。基极电阻(R_b)产生基极热噪声(e_b)，射基结正向偏压产生散粒噪声(e_e)，集电极分配噪声(i_{cp})是主导噪声。参数R_G是信号源e_g的阻抗，R_e是发射极电阻，I_e是发射极正向偏置电流，i_L是通过负载阻抗R_L的电流，双极型晶体管的各个噪声源可以表示为[22]

$$\bar{e}_g^2 = 4kTBR_G \tag{4.6a}$$

$$\bar{e}_b^2 = 4kTBR_b \tag{4.6b}$$

$$\bar{e}_e^2 = 2kTBR_e \tag{4.6c}$$

$$\bar{i}_{cp}^2 = 2kTB\left(\frac{\alpha_0 - |\alpha|^2}{R_e}\right) \tag{4.6d}$$

$$R_e = \frac{kT}{qI_e} \tag{4.7a}$$

$$\alpha = \frac{\alpha_0}{(1 + jf/f_b)} \tag{4.7b}$$

$$f_b = \frac{1}{2\pi\tau_b} \tag{4.7c}$$

其中，α_0是低频共基电流增益，R_G是源阻抗，B是带宽，f_b是基极截止频率。

正如3.12.3节所讨论的，当器件的输入阻抗为式(4.8)所示的最佳输入阻抗时，器件可以获得最小噪声系数：

$$Z_{opt} = R_{opt} + jX_{opt} \tag{4.8}$$

由尼尔森(Nielsen)分析法[23]可知，上式阻抗及对应的最小噪声系数可以表示为

$$X_{opt} = \frac{\alpha_0}{|\alpha|^2}\frac{\omega C_{be}R_e^2}{a} \tag{4.9a}$$

$$R_{opt} = \sqrt{R_b^2 - X_{opt}^2 + \frac{\alpha_0}{|\alpha|^2}\frac{R_e(2R_b + R_e)}{a}} \tag{4.9b}$$

$$F_{\min} = a\frac{R_b + R_{opt}}{R_e} + \frac{\alpha_0}{|\alpha|^2} \tag{4.10}$$

其中

$$a = \left[\left(1 + \frac{f^2}{f_b^2}\right)\left(1 + \frac{f^2}{f_e^2}\right) - \alpha_0\right]\frac{1}{\alpha_0} \tag{4.11a}$$

$$f_e = \frac{1}{2\pi\tau_e} \tag{4.11b}$$

等效噪声电阻 R_n 的表达式由下式[24]给出：

$$R_n = \frac{R_b}{\alpha} + \frac{R_e}{2}\left[1 + \left(\frac{R_b}{R_e}\right)^2\left(\frac{f}{f_b}\right)^2\right] \tag{4.12}$$

这里存在两种限制的双极型晶体管工作情况。一种是基极时间常数τ_b占统治地位的基极受限情况，一种是发射极时间常数τ_e占统治地位的发射极受限情况。在基极受限情况下，晶体管的最小噪声系数可以表示为

$$F_{\min} = \left(1 + \frac{f^2}{f_b^2} - \alpha_0\right)\left(\frac{R_b + R_{opt}}{\alpha_0 R_e}\right) + \left(1 + \frac{f^2}{f_b^2}\right)\frac{1}{\alpha_0} \tag{4.13a}$$

当双极型晶体管工作在发射极受限情况下时，其最小噪声系数可以表示为

$$F_{\min} = \left(1 + \frac{f^2}{f_e^2} - \alpha_0\right)\left(\frac{R_b + R_{opt}}{\alpha_0 R_e}\right) + \frac{1}{\alpha_0} \tag{4.13b}$$

其中f_e是发射极截止频率。

在基极受限情况下晶体管最小噪声系数的增长速度比在发射极受限情况下要快。同时，可以看出在转折频率f_e 以上，$F_{\min}$增长了f^2倍。

4.2.3 功率特性

在功率晶体管中，重要的电气性能参数有输出功率、功率增益和效率。功率是由晶体管的最大电流及电压处理能力决定。最大电流只决定饱和沟道电流，它直接正比于发射极（FET/HEMT 的栅宽）面积。最大电压是由晶体管的击穿电压决定的。通常情况下，安全工作的偏置电压应不大于击穿电压的一半。功率增益是由诸如f_T和$f_{\max}$等性能参数决定的，f_T和$f_{\max}$等参数将在 4.3 节讨论。

例如工作在 A 类的 BJT 放大器（见第 8 章），其最大输出功率（$P_{\max}$）表示如下：

$$P_{\max} = \frac{1}{4}V_{CE}I_{\max} \tag{4.14}$$

其中 V_{CE}是集电极 - 发射极电压，$I_{\max}$是最大允许器件电流。$I_{\max}$ = 200 mA 并且偏置在 V_{CE} = 5 V 的一个晶体管，其最大输出功率为 250 mW（ = 24 dBm）。

4.3 GaAs MESFET

如图 4.6 所示，MESFET 器件是由放置在半绝缘（也就是高阻抗）基底上的一层强导电性、高品质 n 型半导体层构成的。导电沟道通过两个欧姆接触——源极和漏极，实现与外电路的连接。源极和漏极之间的距离为 3 ~ 4 μm。栅极是通过在两个欧姆接触之间设置一个整流接触

(肖特基势垒，Schottky barrier)实现的。传导沟道的深度为0.1～0.3 μm(或处于这个量级)。需要对这个值进行优化，这样做的目的在于使肖特基接触(栅极)下方的损耗区能够有效地控制传导层(也称为源层)电流。实际上，此深度是由器件的应用场合决定的：在低噪声应用中需要做得薄些，而在功率应用和开关应用中需要做得厚些。因此，此类器件可以看做一个受控于电压的电流源开关，其具有很高的调制速率。

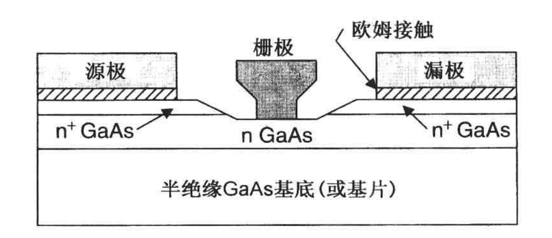


图4.6 MESFET物理横截面图

当费米能级(Fermi level)不同的金属和半导体相互接触时，它们之间将形成电压势垒，它可以平衡金属-半导体结间的费米能级。因为GaAs的费米能级比肖特基金属高，GaAs中将有额外的n型载流子(电子)溢出并流入金属。GaAs表面层将形成一个由带正电不可移动的杂质离子组成的空间电荷区[如图4.7(a)所示的耗尽区]。于是，一个电压势垒(在零偏置条件下，这个势垒定义为内建电势，对于MESFET，其值为0.75 V)在栅极接触面和半导体导电区形成了。这个电压势垒在耗尽区存在，而耗尽区就像一个绝缘的区域，将栅极接触面与导电沟道上的移动电子分开。当在漏极和栅极之间施加偏置电压后，此耗尽区将发生改变。耗尽区的改变将使有源层(active layer)中电流流过截面发生压缩，从而影响器件的*I-V*特性。当栅极电压为零时，在漏极和源极之间的电压将随漏极电压的增加而增大(源极电压通常为零)，电子将在漏极和源极之间加速。这导致栅极下方电场从源极向漏极随距离的增大而增强，因为电势是沿沟道逐渐降低。由此可以得出，栅极下方饱和电场将最先出现在偏漏极方向的一端。饱和电场E_S出现时的沟道电场达到最大值，定义此时的漏极电压为V_{dsat}，通过沟道的电流为饱和电流I_{dss}。当V_{ds}超过V_{dsat}时，耗尽区向漏极方向延伸，如图4.7(b)所示。因此，V_{ds}的增加带来了I_{ds}的增加，产生了I_{ds}-V_{ds}特性中饱和区的正斜线，于是沟道有了一个有限的正阻抗。

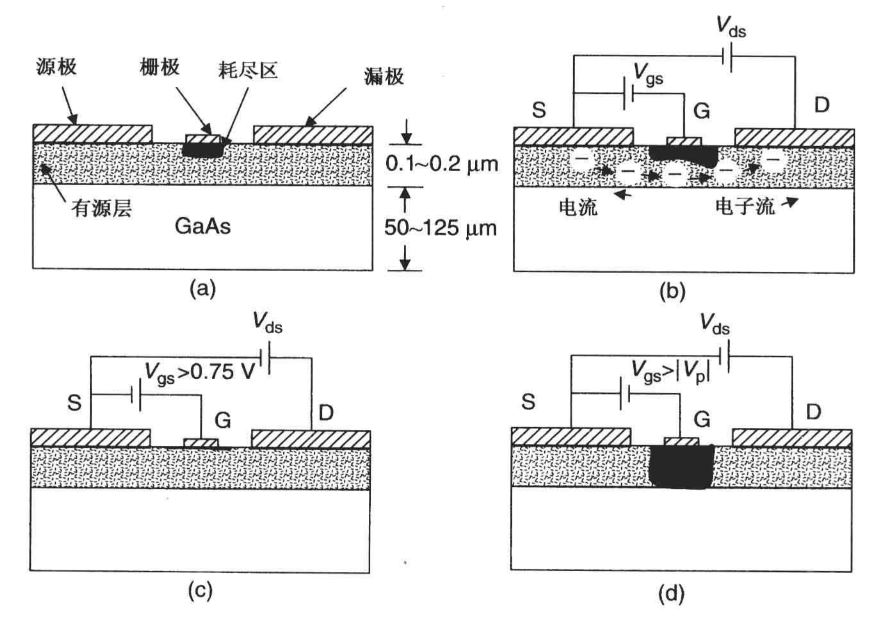


图4.7 不同偏置条件下FET工作情况示意图：(a)无偏置；(b)正常偏置；(c)沟道完全打开；(d)沟道完全夹断

栅极和源极之间的栅极偏置调制着耗尽区：更大的负电压将导致沟道的关闭，漏极电流减小；更大的正电压将导致沟道的打开，漏极电流相应地增大。于是可以说，漏极电流被栅压调制。全开和全关沟道分别如图4.7(c)和图4.7(d)所示。例如，图4.8描绘了GaAs FET的脉冲测试*I-V*特性曲线。这些*I-V*数据都来自商用测试系统，脉宽和占空比分别为200 ns和1%。*Q*点的漏极电压为5 V，栅极电压以0.2 V为步进从 -4 V增大到 +0.8 V。器件栅宽为0.6 mm。栅极电压的小变化会导致漏极电流的大变化，由此可以通过合理选择源阻抗值和负载阻抗值来得到功率增益。DC器件的跨导可以定义为



$$g_m = \left.\frac{\Delta I_D}{\Delta V_G}\right|_{\text{operating } V_{ds}} \tag{4.15}$$

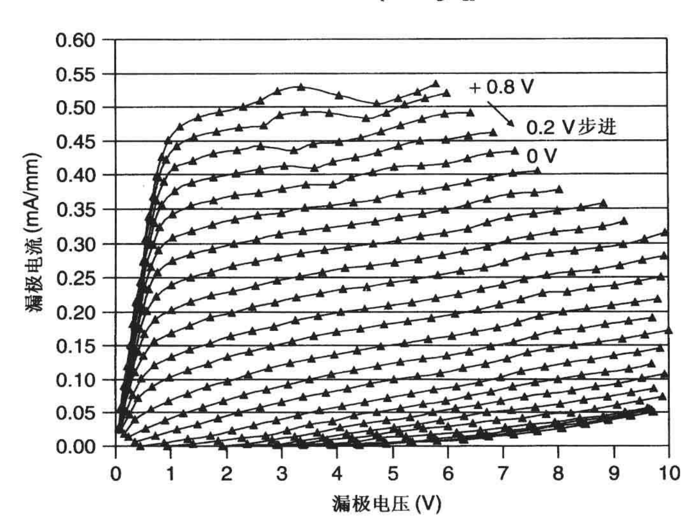


图4.8 MESFET典型脉冲测试(200 ns和1%占空比)*I-V*数据。V_{ds} = 5 V，V_{gs}范围为 +0.8 ~ -4 V(0.2 V步进)

有三种FET结构可供使用：共源(CS)、共栅(CG)和共漏(CD)，它们的低频等效电路如图4.9所示。最常用的FET结构为共源结构，它与其他两种结构的特性比较如表4.2所示。共源结构具有最大的功率增益。在共栅结构中，它的输入阻抗主要由器件的g_m决定(g_m与晶体管的宽度成正比，它自然呈现宽带特性)。在共漏结构中，它的输出阻抗也主要由g_m决定，这个结构常用在多级放大电路的输出端，也称为源极跟随器。

表4.2 基本FET结构比较[a]

特性	共源	共栅	共漏
电压增益，A_v	$-g_m \dfrac{R_L R_{ds}}{R_L + R_{ds}}$，高	$g_m R_L$，更高	$\dfrac{g_m R_L}{1+g_m R_L} < 1$
C_{in}	$C_{gs} + (1 - A_v)G_{gd}$	$C_{gs} + (1 - A_v)C_{ds}$	$C_{gd} + (1 - A_v)C_{gs}$
输入阻抗，Z_{in}	高	$\dfrac{R_{ds} + R_L}{g_m R_{ds} + 1} \cong \dfrac{1}{g_m}$	高
输出阻抗，Z_{out}	R_{ds}	$R_{ds} + (g_m R_{ds} + 1)R_L$	$\dfrac{R_{ds}}{g_m R_{ds} + 1} \parallel R_L \cong \dfrac{1}{g_m}$
输入到输出端的相位倒置	是	是	否
噪声影响	低	高	高
反向隔离度	最好	好	差

[a] R_L：负载阻抗。

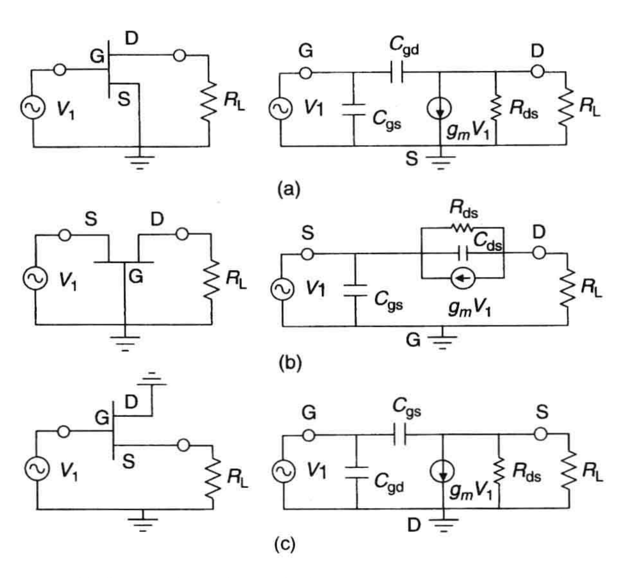


图4.9 FET结构和它们的低频等效电路:(a)共源;(b)共栅;(c)共漏

4.3.1 小信号等效电路

小信号等效电路在较低功率水平的电路设计中是非常有用的。图4.10所示为小信号等效电路及等效元件在FET结构中的位置，模型中的各种器件定义如下：

本征元件

R_i 输入(通道)阻抗
C_{gs} 栅源电容
C_{gd} 栅漏电容
R_{ds} 漏源阻抗
g_m 跨导
τ 通道中载流子渡越的相位延迟

外部元件

C_{ds} 漏源电容
R_d 漏极沟道阻抗，包括接触阻抗
R_s 源极沟道阻抗，包括接触阻抗
R_g 栅极金属阻抗

在等效电路里，为了考虑分立器件中焊盘和连接线的影响，寄生的电感L_d、L_s和L_g可以串联在R_d、R_s和R_g上。本征器件的值依赖于沟道掺杂、沟道类型、材料和尺寸。大的外部阻抗将大大降低功率增益和效率，以及恶化器件的噪声系数。图4.11所示的MESFET栅极含有四个指，整个栅宽为300 μm，作为栅极的这些指平行互连，形成叉指状结构，偏置电压为3 V、I_{dss}为50%的300 μm MSAG FET器件的典型参数值为

$$C_{gs}(\text{fF}) = 50 + 1.33W$$
$$C_{ds}(\text{fF}) = 30 + 0.167W$$
$$C_{gd}(\text{fF}) = 8 + 0.05W$$
$$g_m(\text{mS}) = 0.17W$$
$$R_{ds}(\Omega) = 105 \times 10^3/W$$

这些都是关于栅宽 W 的归一化参数。FET 有四个指并且 W 处于微米(μm)量级。以上关系在 100 μm < W < 800 μm 范围内都适用。

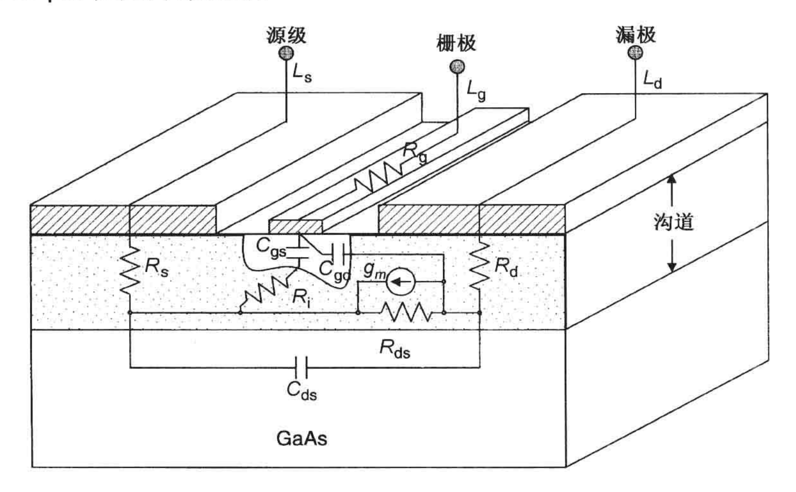


图 4.10　MESFET 的小信号等效电路及电路元件的物理来源

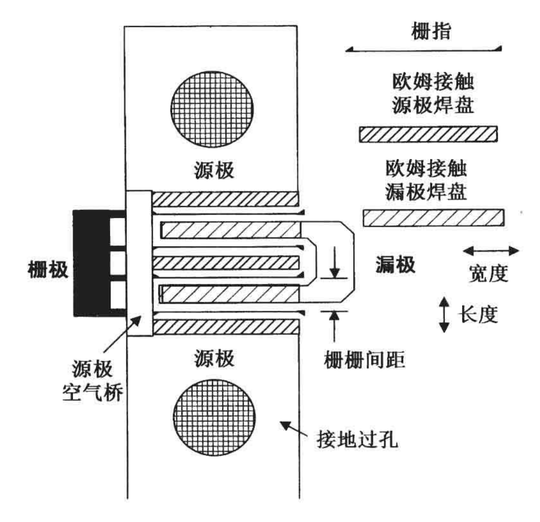


图 4.11　源极接地的四指 FET 的物理版图

4.3.2　性能参数

工作在高频的 FET 需要高增益，最大可用功率(MAG)表示为

$$\mathrm{MAG}=\left(\frac{f_{\mathrm{T}}}{f}\right)^{2}\frac{1}{4R/R_{\mathrm{ds}}+4\pi f_{\mathrm{T}}C_{\mathrm{gd}}(R+R_{\mathrm{g}}+\pi f_{\mathrm{T}}L_{\mathrm{s}})}\tag{4.16a}$$

其中

$$R=R_{\mathrm{g}}+R_{\mathrm{i}}+R_{\mathrm{s}}+\pi f_{\mathrm{T}}L_{\mathrm{s}}\quad 和\quad f_{\mathrm{T}}=\frac{g_m}{2\pi C_{\mathrm{gs}}}\tag{4.16b}$$

f_{T}是器件出现单位电流增益时的截止频率。这个等式表明 MAG 滚降速度为 6 dB/倍频程。MAG 等于单位值时对应的频率为最大工作频率，可表示为

$$f_{\max}=f_{\mathrm{T}}[4R/R_{\mathrm{ds}}+4\pi f_{\mathrm{T}}C_{\mathrm{gd}}(R+R_{\mathrm{g}}+\pi f_{\mathrm{T}}L_{\mathrm{s}})]^{-1/2}\tag{4.16c}$$

这个等式展示出 $R_g + R_i + R_s$、R_{ds}、C_{gd}和 L_s与 f_T相结合的重要性，它们的结合将 FET 的表达式扩展到更高的频率。以上表达是一种近似形式，使用时需要加倍小心，计算出的增益最大可能产生 4 dB 的偏移。尽管如此，这个表达式在研究器件增益参数所受影响时具有相对高的敏感度，因此也是有用的。

通常，为了维持放大器的高增益，源极/发射极电感的值需要取得最小。比如，图 4.12 所示为一个工作在 18 GHz、300 μm FET 源极电感 L_S 对最大可用增益的影响。相对电源电压来说，器件参数对器件电流更加敏感。图 4.13 表示一个偏置为 3 V 的 300 μm FET 的 g_m、C_{gd}、C_{gs}和 R_{ds}随电流变化的情况。

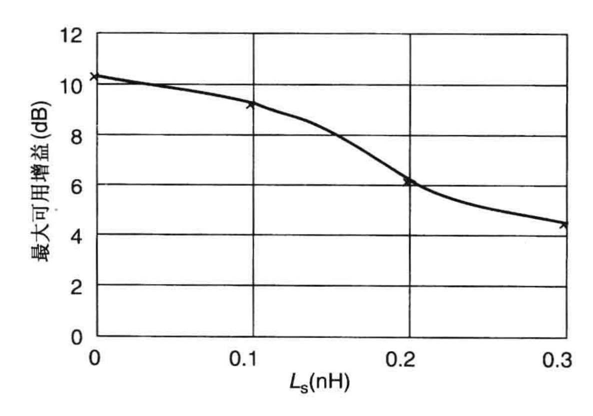


图 4.12　18 GHz 最大可用增益的源阻抗效应

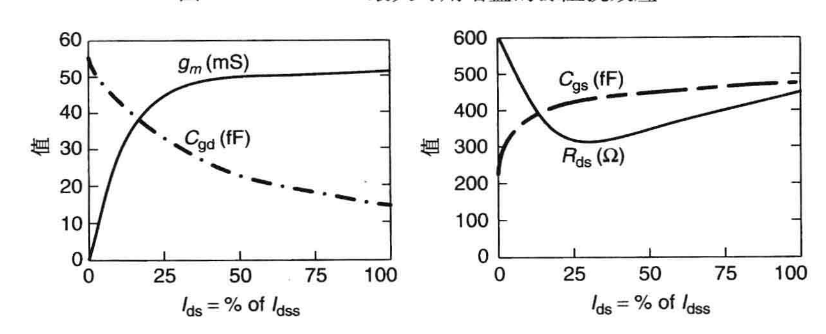


图 4.13　偏置在 3 V 的 300 μm MESFET 的 g_m、C_{gd}、C_{gs}和 R_{ds}随器件电流的变化

器件输出功率依赖于器件在发生击穿以前各种参数(栅长和最大沟道电流)引起的最大电压涌动和最大电流涌动。更窄的栅极需对应更薄的沟道厚度，这意味着更高的沟道掺杂浓度，因为栅长和沟道厚度之比几乎是常数。最大电流涌动限制在 10% ~20% (依赖于夹断电压)，这个值比功率器件的漏源饱和电流 I_{dss}还要大。当栅源偏置为正且比内建电压低时，以上现象就会发生。工作在 A 类放大器的 FET(见第 8 章)，它的最大输出功率(P_{max})和功率附加效率(PAE)可以表示为

$$P_{max} = \frac{1}{8}(BV_{ds} - V_k)I_{max} \tag{4.17a}$$

$$\text{PAE} = \frac{1}{2}\left(1 - \frac{V_k}{V_{ds}}\right)\left(1 - \frac{1}{G}\right) \tag{4.17b}$$

其中 V_k是拐角电压，BV_{ds}是漏源击穿电压，V_{ds}是漏源电压，I_{max}是在正向栅极偏置下沟道完全打开时的电流，G 是器件的相关增益。因为源极和栅极之间的漏极偏置电压为正，所以负电流是

不可能出现的，最小电流波动水平为零。因为在栅极金属靠近漏极的边缘处存在强的局部场力，会导致雪崩击穿，因此栅极和漏极之间的最大电压波动需要受到限制。工作在 10 V 的 FET 的功率密度在 1 W/mm 这个量级。

例 4.1 偏置在 10 V、I_{dss} 为 50% 的功率器件，它的参数为 $R_g = 0.5\ \Omega$、$R_i = 0.6\ \Omega$、$R_s = 1.0\ \Omega$、$R_{ds} = 175\ \Omega$、$g_m = 72\ \text{mS}$、$C_{gs} = 0.8\ \text{pF}$、$C_{gd} = 0.035\ \text{pF}$ 和 $L_s = 0.02\ \text{nH}$。求解：(a) 10 GHz 的 f_T、f_{max}、MAG、P_{max} 和 PAE。对于 $I_{max} = 0.2\ \text{A}$、$BV_{ds} = 20\ \text{V}$ 和 $V_k = 1\ \text{V}$ 的器件，假设 $G = \text{MAG}$ 且渡越时间远大于 $1/f$。(b) 当 L_s 增加到 0.02 ~ 0.05 nH，重新计算 MAG 和 PAE。

解 (a)

$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{72\times10^{-3}}{2\times3.1416\times0.8\times10^{-12}}\ \text{Hz} = 14.32\ \text{GHz}$$

$$R = 0.5 + 0.6 + 1 + 3.1416\times14.32\times0.02 = 3\ \Omega$$

$$f_{max} = 14.32[4\times3/175 + 4\pi\times14.32\times0.035\times10^{-3}(3+0.5+0.9)]^{-1/2} = 46.16\ \text{GHz}$$

由式(4.16)和式(4.17)可知

$$\text{MAG} = (f_{max}/f)^2 = (46.16/10)^2 = 21.3 = 13.3\ \text{dB}$$

$$P_{max} = \tfrac{1}{8}(20-1)\times0.2 = 0.475\ \text{W} = 26.77\ \text{dBm}$$

$$\text{PAE} = \frac{1}{2}\left(1-\frac{1}{10}\right)\left(1-\frac{1}{21.3}\right) = 0.43 = 43\%$$

(b) 当 $L_s = 0.05\ \text{nH}$ 时，MAG = 14.2 = 11.5 dB 和 PAE = 41.8%。所以，更高的功率增益要求更低的 L_s，这是要获得更高 PAE 时十分重要的。

4.3.3 MESFET 器件的高频噪声特性

现在分析一下 FET 结构的高频噪声源。如图 4.14 所示，FET 器件的噪声源可以表示为如下形式[25,26]：

$$\bar{i}_{nd}^2 = 4kTBPg_m \tag{4.18}$$

$$\bar{i}_{ng}^2 = 4kTBP\omega^2 C_{gs}^2 \frac{R}{g_m} \tag{4.19}$$

P 和 R 是与漏极和栅极热噪声源相关的数值因子，B 是带宽。

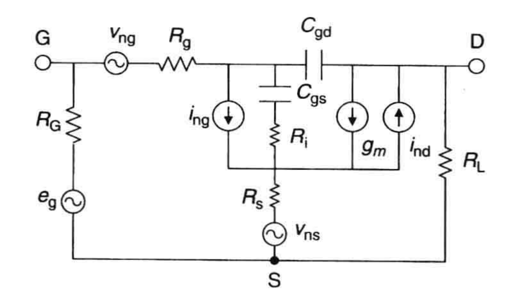


图 4.14 FET 的高频噪声等效电路

同时，还有两个电压噪声源：一个是栅极电阻 R_g 带来的，另一个是由源极电阻 R_s 带来的。这两个噪声源可以表示为

$$\bar{v}_{ns}^2 = 4kTBR_s \tag{4.20}$$

$$\bar{v}_{ng}^2 = 4kTBR_g \tag{4.21}$$

1975 年，Pucel 等人[27]介绍了载流子漫射(carrier diffusion)的概念。使用这种方法，他们能更准确地预测 MESFET 的噪声性能。按照 Pucel 和他的同事的分析，最小噪声系数能够表示为

$$F_{min} = 1 + 2\left(\frac{f}{f_T}\right)\sqrt{P}\left(1 - \sqrt{\frac{R}{P}}\frac{C_{gs}}{C_{11}}\right)\sqrt{g_m(R_g + R_s)} \tag{4.22}$$

其中 $C_{11} = C_{gs} + C_{gs1}$，$C_{gs1}$是栅极和源极之间的寄生电容，$C_{gs}$是栅极固有电容，$f$是工作频率。

Fukui[28]测试了 MESFET 的 DC 和小信号参数，并且推导出 MESFET 噪声参数的经验公式：

$$F_{min} = 1 + \left(\frac{f}{f_T}\right)k_1\sqrt{g_m(R_g + R_s)} \tag{4.23}$$

$$R_n = \frac{k_2}{g_m} \tag{4.24a}$$

$$R_{opt} = k_3\left(\frac{1}{4g_m} + R_g + R_s\right) \tag{4.24b}$$

$$X_{opt} = \frac{k_4}{fC_{gs}} \tag{4.24c}$$

其中 k_1、k_2、k_3和 k_4是经验拟合因子，它们的典型值分别是 3.0、0.03、2.2 和 0.16。比较式(4.22)和式(4.23)，可以得到 Fukui 因子 k_1，它可以表示为

$$k_1 = 2\left(\sqrt{P} - \sqrt{R}\frac{C_{gs}}{C_{11}}\right) \tag{4.25}$$

因为

$$f_T = \frac{g_m}{2\pi C_{gs}} \tag{4.26}$$

Fukui 等式可以写为

$$F_{min} = 1 + 2\pi fC_{gs}k_1\sqrt{(R_g + R_s)/g_m} \tag{4.27a}$$

Fukui 等式广泛应用于 FET 噪声系数性能预测。

k_1作为偏置电流 I_{ds}的函数的表达式可以写为[29]

$$k_1 = 3.38\sqrt{\frac{I_{ds}}{L \cdot g_m}} \tag{4.27b}$$

其中 I_{ds}是测试噪声性能时的漏源电流(mA)，g_m是跨导(单位为 mS)，L 是栅长(以 μm 测试)。上面等式连同式(4.27a)，可以作为包括 MESFET 和 HEMT 等多种 FET 高精度 F_{min}的计算式[29]。

例 4.2 偏置在 3 V、I_{dss}为 25% 的低噪声器件，它的参数为栅长 $L = 0.3$ μm、$R_g = 0.5$ Ω、$R_s = 0.5$ Ω、$g_m = 56$ mS、$C_{gs} = 0.255$ pF、$f_T = 35$ GHz 和 $I_{ds} = 13$ mA。求解 10 GHz 最小噪声系数(单位为 dB)。

解 由式(4.27b)得

$$k_1 = 3.38\sqrt{\frac{13}{0.3 \times 56}} = 2.973$$

在$f=10$ GHz时，由式(4.23)得

$$F_{\min}=1+2.973\times\frac{10}{35}[56\times10^{-3}(0.5+0.5)]^{1/2}=1.2$$

由式(4.27a)得

$$F_{\min}=1+2.973\times10\times2\times3.1416\times0.255\times10^{-3}\sqrt{(0.5+0.5)/56\times10^{-3}}=1.2$$
$$NF_{\min}=10\log1.2=0.8\text{ dB}$$

4.4 异质结场效应晶体管

比较器件的结构和材料(见图4.6和图4.15)后，就很容易明白在GaAs MESFET上实现异质结场效应晶体管(heterojunction field effect transistor, HFET)为什么能提升器件性能。在HFET器件中，使用外延生长工艺(epitaxial growth technology)一层一层生长不同的材料，这类似分子束外延(molecular beam epitaxy, MBE)或分子有机化学气相淀积(molecular organic chemical vapor deposition, MOCVD)。HFET也称为调制掺杂FET(MODFET)。

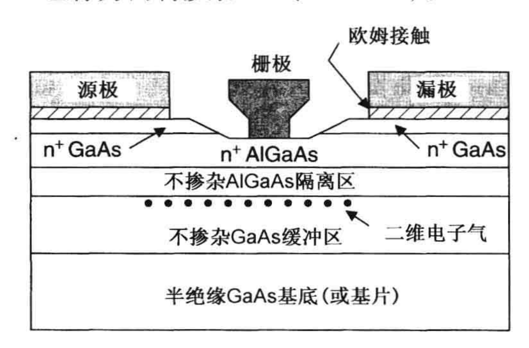


图4.15 HEMT的横截面图

HFET具有不同的种类，最常用的一种称为高电子迁移率晶体管(HEMT)。如图4.15所示，器件结构中有一层生长在GaAs层上的铝镓砷(AlGaAs)层，它的能带隙比GaAs还要宽。在两种材料之间，由于费米能带的不同，引起异质结接触面的能带弯曲，如图4.16所示。在非常靠近两种材料接触面的地方，由于能带弯曲，形成有大量电子聚集成的二维气体量子阱。掺杂AlGaAs层是为电流传导提供电子，而GaAs层不用掺杂。来自AlGaAs层施主原子的电子移动到未掺杂GaAs层的低能级中。这有效地将存在于AlGaAs层中的施主与存在于GaAs层的电子相分离。由于施主与自由电子是在两种不同的介质中，因此施主电子与电子之间的碰撞机会最小，同时电子的漂移速度加快了。在栅极端加载的电压很容易调制这些电子。相比于GaAs MESFET，HEMT器件具有高的跨导和低的噪声系数，能够工作在更高的频率。

HFET的另一个变种叫做赝HEMT或pHEMT，它的横截面如图4.17所示，一个单异质结结构用于低功率的应用，一个双异质结结构用于高功率的应用。与HEMT相比，pHEMT器件具有出众的微波性能，这得使它可以在很多应用领域快速取代GaAs HEMT和MESFET。这种结构需要在未掺杂GaAs层和掺杂AlGaAs层之间引入铟镓砷(indium gallium arsenide, InGaAs)薄层。InGaAs材料拥有比AlGaAs和GaAs材料更低的能带隙。当这层材料像三明治一样被夹在两个具有更高能带隙的薄层(AlGaAs和GaAs)之间时，最低能量量子阱状态将存在于InGaAs薄层。因此，施主原子提供的自由电子将会移动到InGaAs薄层的能带中。因为两侧是高能带材料，所以这些电子只能限制在InGaAs薄层中。这些电子具有非常高的流动速率，因此能够

被栅极电压调制。相比于 GaAs HEMT 和 MESFET，pHEMT 器件展现出更高的跨导和更突出的射频性能。

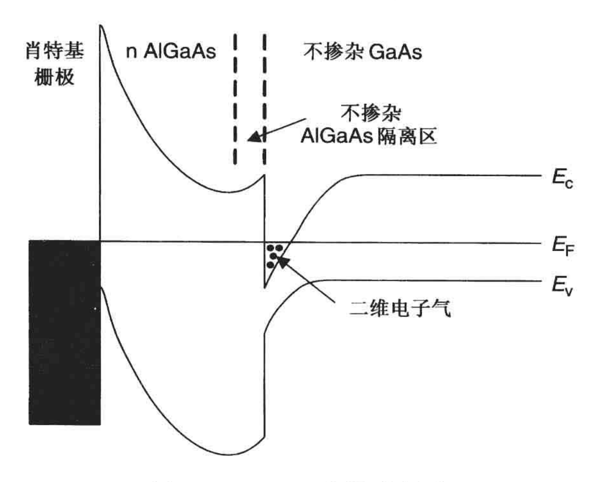


图 4.16 HEMT 能带示意图

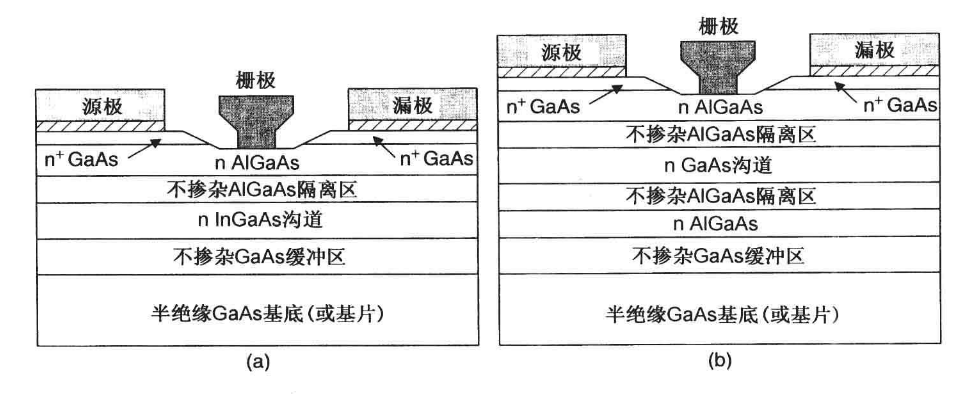


图 4.17 pHEMT 的横截面结构示意图：(a) 单异质结；(b) 双异质结

HEMT 和 pHEMT 的小信号等效电路与 GaAs MESFET 非常相似。它们的电路设计中经常用到 GaAs MESFET 等效电路结构，只需将其中的参数取合适的值即可。在第 5 章，将对这些等效电路的细节部分进行探讨。

4.4.1 HEMT 器件的高频噪声性能

HEMT 和 pHEMT 的噪声描述与之前 MESFET 的描述很相似。相比于 FET 和 HEMT，pHEMT 器件具有出众的噪声系数和功率增益性能。一个传统的 0.25 μm 栅长 HEMT 器件在 40 GHz的噪声系数为 2.1 dB，相关增益为 7 dB[30]。而一个 pHEMT 器件在同样的栅长下，60 GHz频率时可以得到 1.8 dB 的噪声系数，以及获得 6.4 dB 的增益[31]。

4.4.2 磷化铟 pHEMT 器件

因为磷化铟(InP)材料生长困难，所以磷化铟技术的发展落后于 GaAs 技术。InP 基底具有与 50% GaAs 和 50% InAs 合金相似的晶格常数。$Ga_{0.47}In_{0.53}As$ 具有 0.77 eV 的能带隙，$Al_{0.48}In_{0.52}As$ 材料具有 1.48 eV 的能带隙，InP 具有 1.358 eV 的能带隙。InP pHEMT 结构的截面图如图 4.18

所示。高能带材料 AlInAs 用做施主层，低能带材料用做沟道层。施主层提供的自由电子存在于低能带层。InGaAs/InAlAs/InP 系统相比 GaAs HEMT 结构具有许多优点。结构中高导带的不连续性提供了高浓度二维电子气存在的可能。InGaAs 电子的高迁移率，连同沟道的高电子密度，决定了有源沟道的高传导率。因为这些出众的材料特性，相比于在 GaAs 上制造的传统 HEMT 器件，基于 InP 的 pHEMT 表现出非常高的跨导、更低的噪声系数和更高的增益。在 GaInAs/AlInAs HEMT 器件中，所有与器件噪声系数有关的噪声源比 GaAs HEMT 器件更低。二维电子气极高的传导率降低了源阻抗及相关热噪声。由于谷间电子迁移概率更低，沟道电子速率更高，因而器件的 f_T 更高。因为沟道与栅极的容性耦合低，所以噪声源与栅极的耦合最小。图 4.19 表示了随频率变化的 HEMT 噪声系数[12,18]。图中很容易看出基于 InP 的 HEMT 在毫米波频段表现了出众的性能。

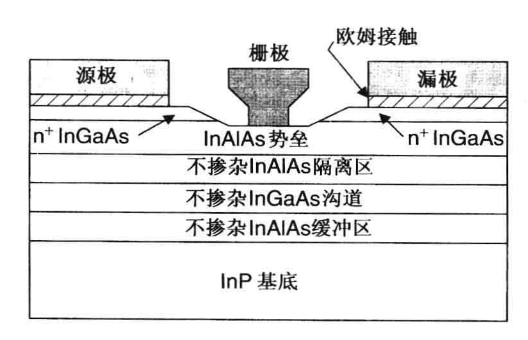


图 4.18　一个 InP pHEMT 的物理横截面图

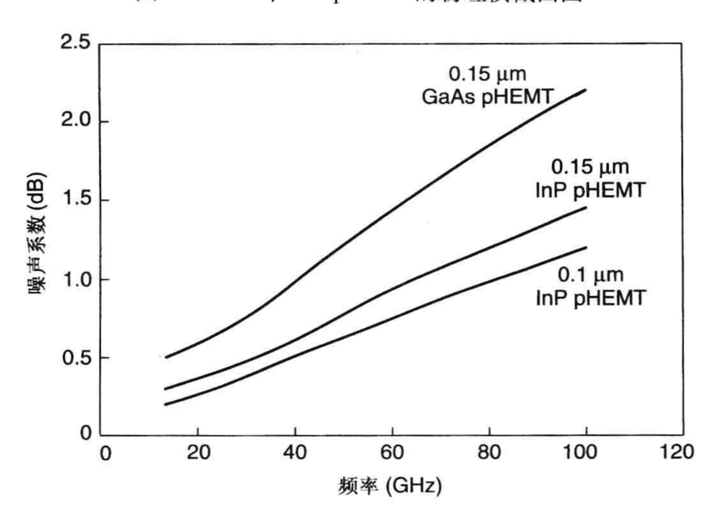


图 4.19　GaAs 和 InP pHEMT 器件的噪声系数比较

例 4.3　低噪声 pHEMT 偏置在 2 V 和 10 mA，器件参数为：栅长 $L=0.25\ \mu m$、$R_g=0.8\ \Omega$、$R_s=0.3\ \Omega$、$g_m=80$ mS 和 $C_{gs}=0.24$ pF。求解 20 GHz 最小噪声系数（单位为 dB）。

解　由式(4.27b)得

$$k_1 = 3.38\sqrt{\frac{10}{0.25\times 80}} = 2.39$$

$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{80}{2\pi\times 0.24} = 53.05\ \text{GHz}$$

在$f=20$ GHz，由式(4.23)得

$$F_{\min} = 1 + \frac{20}{53.05} \times 2.39[80 \times 10^{-3}(0.8+0.3)]^{1/2} = 1.2673$$
$$NF_{\min} = 10\log(1.2673) = 1.029 \text{ dB}$$

今天，GaAs pHEMT 器件已经非常流行了。因为它同时具有高性能和低造价特性，所以在大部分微波电路中可以见到它的身影。0.15 μm 栅长 GaAs pHEMT 的f_T大约为80 GHz。相比基于 GaAs 的 pHEMT 器件，基于 InP 的 pHEMT 具有更高的增益和噪声系数。使用 GaAs 和 InP 制作的0.1 μm 栅长的 pHEMT 器件的f_T分别为120 GHz 和180 GHz。对于这些晶体管，f_{max}值超过220 GHz。应用于20 GHz 两级单片微波集成电路(MMIC)放大器的0.15 μm 栅长 GaAs 和 InP pHEMT 的比较如表4.3 所示[32]。变形 HEMT(metamorphic HEMT，MHEMT)结合了 GaAs 工艺的可承受性和 InP pHEMT 出众的性能。据文献可知，工作在120 GHz的 MHEMT 噪声系数最低为1.24 dB。

表4.3 应用于V_{ds}=5 V、20 GHz 两级 MMIC 放大器的0.15 μm 栅长 GaAs 和 InP pHEMT 的比较[32]

参数	GaAs	InP
增益(dB)	18	19
P_{out}(dBm)	26	23.4
PAE(%)	48	55

4.5 异质结双极型晶体管

异质结双极型晶体管(HBT)是 BJT 的改进版本。在这种结构中，发射极具有宽能带隙异质结结构和高基极掺杂密度，这使得基极阻抗降低，基射电容降低，输出阻抗升高，f_T和f_{max}升高，$1/f$噪声降低，电压处理能力增强，以及电流密度增大。因此，一般情况下，HBT 器件的性能要比 BJT 器件好，就像 pHEMT 器件性能比 FET 器件好一样。

在1948 年，肖特基最先提出了异质结双极型晶体管的概念。MBE 和 MOCVD 外延技术的优势在 AlGaAs/GaAs 异质结 HBT 器件的生产中仍然存在。大多数早期 HBT 器件是随着AlGaAs/GaAs 材料结构的发展而发展的。具有卓越性能的 HBT 器件已经在 InP 基底上实现了，InGaP/GaAs 在当今 HBT 材料体系中很受欢迎。

一个 npn HBT 的横截面图如图4.20 所示。当在基射结间施加正向偏压时，载流子由 n 型发射极注入 p^+ 基极区。这些注入电子通过漂移和扩散经过基极区，最终在反向偏置的集电极被收集起来。电子在 p^+ 基极区是少数载流子。由于电子的寿命短，它们在基极再次与多数载流子空穴相结合，产生通过基极端的电流。较高的场电子饱和速率促使集电极 - 基极空间电荷区电子迁移的出现。

HBT 的主要优势是它的高集电极效率和正电源工作特性。HBT 的正偏集电极注入效率非常高，因为宽能带隙材料(AlGaAs)发射极会向 GaAs 基极的低能带注入电子。同时势垒会阻止空穴流入发射极。基极电阻可以通过高掺杂的方法降低。

HBT 设计中最重要的性能参数是 DC 电流增益、β 和发射极-基极掺杂浓度比率。这些参数能够表示为[33]

$$\beta = \frac{I_c}{I_b} = \frac{(I_n - I_r)}{(I_p + I_r + I_s)} \tag{4.28}$$

$$\frac{I_{\mathrm{n}}}{I_{\mathrm{p}}}=\beta_{\max}=\left(\frac{N_{\mathrm{e}}}{P_{\mathrm{b}}}\right)\left(\frac{v_{\mathrm{nb}}}{v_{\mathrm{pe}}}\right)\mathrm{e}^{(\Delta E_{\mathrm{g}}/kT)} \tag{4.29}$$

其中

I_c 为集电极电流
I_b 为基极电流
I_p 为反向空穴注入电流
I_r 为体复合电流
I_s 为表面耗尽区复合电流
I_n 为注入电子电流
β_{max}为出现复合电流时 β 的最大值
N_e/P_b 为发射极-基极掺杂浓度比率
ΔE_g 为发射极和基极材料的能带隙比率
v_{nb}/v_{pe}为电子和空穴速率的比率

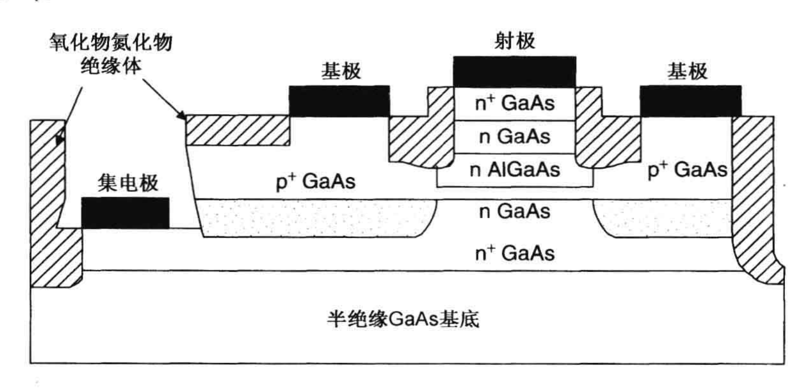


图 4.20 一个 GaAs npn HBT 的物理横截面示意图

高的β_{max}值允许在双极型晶体管设计中用低的发射极掺杂获得低的发射极电容，用高的基极掺杂获得低的基极电容。这两个参数对于降低 RC 时间常数是很重要的，低的 RC 时间常数意味着高的速率。在双极型硅晶体管中，速度和线性度相对较低，这是为了保证 β 处于一个较好值而降低基极掺杂浓度。一个采用共射结构、射极面积为 $2\times80\ \mu m^2$ 的 InGaP/GaAs HBT，其电流-电压(*I-V*)特性测试曲线如图 4.21 所示。

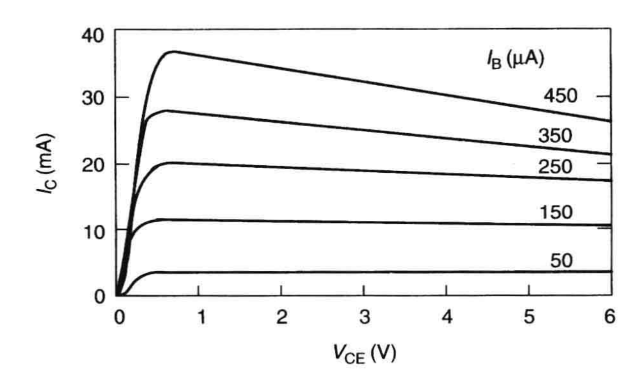


图 4.21 共射结构中 $2\times80\ \mu m^2$ 射极面积的 GaAs HBT 的 *I-V* 特性曲线

相比于硅双极型晶体管，自由结构(relaxed geometry)HBT 具有更大的增益-带宽积，因为它具有 GaAs/InP 中高的电子迁移率，而且寄生参数也很小。异质结允许高的基极掺杂浓度，对应高的共射输出阻抗，这可以实现基极宽度调制效应的最小化。而小的基极宽度调制导致 HBT 具有高的线性度和低的谐波失真。在 GaAs 或 InP HBT 器件的半绝缘基底上，很容易加工小型单片微波集成电路，由于介质基底损耗低，因此其射频性能比硅要好。MESFET 器件和 HEMT 器件是横向电流传导的多数载流子器件，而 HBT 是允许电子和空穴电流在垂直方向传导的垂直器件。HBT 器件的速度是由垂直方向很薄的基集层渡越时间决定的。FET 的最大速度是由渡越时间决定的，即由光刻技术加工的栅长决定。HBT 器件的输出电流随输入电压呈指数变化，因而它具有比 HBT 更高的跨导。对于 2 μm 的 HBT 器件，f_T和f_{max}分别为 35 GHz 和 100 GHz。对于 1 μm 的 HBT 器件，f_T和f_{max}分别为 65 GHz 和 180 GHz。

HBT 器件的其他优势有：每个单元发射极宽度的输出电流大，电流增益大，$1/f$ 噪声小。因为低的发射极阻抗使整个发射极面都能传输电流，所以 HBT 器件的功率处理能力很高。低的基极阻抗使 HBT 器件的电流密度非常大，功率密度能够达到 3 ~5 W/mm。高的输出功率处理能力和单电源供电的特性，使 HBT 器件非常适合应用在手持移动通信设备的功率放大器中。

具有不同基底和薄层材料的几种 HBT 器件信息简单表示在表 4.4 中[45]。

表 4.4　几种类型的 HBT 器件的基底和薄层材料

基底	发射极	基极	集电极
GaAs	AlGaAs	GaAs 或 AlGaAs	GaAs 或 AlGaAs
	GaInP	GaAs 或 AlGaAs	GaAs 或 GaInP
InP	InP	InGaAs	GaAs 或 GaInP
	AlInAs	InGaAs	InGaAs 或 GaInP
Si	Si/poly-Si	SiGe	Si
蓝宝石	AlGaN	GaN	GaN

4.5.1　HBT 的高频噪声特性

在高频段，最主要的噪声源是晶体管集电极和基极的散粒噪声，以及发射极和集电极串联阻抗的热噪声，而其他噪声源都是可以忽略的，并且在计算高频噪声系数时都是不用考虑的。为了分析噪声特性，需要用到包含无噪声的晶体管和噪声源的等效电路(见图 4.22)。在图 4.22中，由基极阻抗 R_b产生的热噪声对应的噪声源用 e_b表示，发射极阻抗 R_e 产生的热噪声对应的噪声源用 e_e表示。基极散粒噪声电流由 i_{bs}表示，集电极散粒噪声电流由 i_{cs}表示。含有噪声阻抗 R_n和噪声电导 G_n的等式源自如下电流模型：

$$R_n = \frac{1}{2g_m} + (R_e + R_b) + G_n R_b^2 \tag{4.30a}$$

$$G_n = \frac{g_m}{2}\left(\frac{1}{\beta^2} + \omega^2 \tau_{ec}^2\right) + \eta \frac{g_\pi}{2} \tag{4.30b}$$

其中

$$g_m = \frac{qI_c}{kT} \tag{4.31a}$$

$$g_\pi = \frac{qI_b}{\eta kT} \tag{4.31b}$$

τ_{ec}表示发射极-集电极渡越时间，η 表示栅极电流理想因子(典型值在 1 ~2 之间)。最小化噪声的表达式能够写为[34 ~37]

$$F_{\min}=1+2R_n g_{so}+2r\sqrt{R_n G_n} \tag{4.32}$$

g_{so}是最佳源导纳，r 是复相关系数的实部。

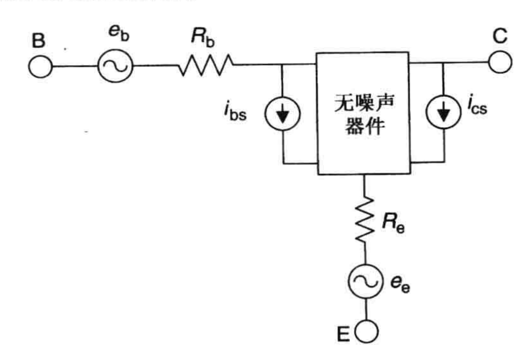


图 4.22 简化的 HBT 高频噪声等效电路

式(4.32)能够按照网络参数和噪声模型参数的方式表达。在最佳偏置点，HBT 噪声系数的简化表达式能够写为

$$F_{\min}=1+\sqrt{2}\left(\frac{f}{f_T}\right)\sqrt{g_m(R_e+R_b)} \tag{4.33a}$$

其中

$$f_T=\frac{1}{2\pi\tau_{ec}} \tag{4.33b}$$

将此式与 FET/HEMT 的式(4.22)相比较可以看出，由系数($\sqrt{P}-\sqrt{R}C_{gs}/C_{11}$)表示的栅极和漏极噪声源之间的噪声抵消带来了 FET/HEMT 的低噪声系数。

表 4.5 表示 GaAs 和 InP 器件在 10 GHz 的噪声系数与功率性能。其中的数据很典型，并且功率数据对单位元(unit cell)使用了负载牵引的设置。由比较可以看出，这些晶体管的功率耗散是差不多的。

表 4.5 器件的比较

(a)分立功率晶体管的功率性能比较 @10 GHz				
参数	GaAs FET	GaAs pHEMT	GaAs HBT	InP HBT
栅极/发射极长度(μm)	0.4	0.25	2.0	2.0
增益(dB)	11	12	11	12
输出功率 P_{out}(W)	0.5	0.5	0.6	0.5
PAE(%)	65	70	60	70
电压(V)	10	8	5	5
(b)分立晶体管的噪声系数比较 @10 GHz				
参数	GaAs FET	GaAs pHEMT	GaAs HBT	InP HBT
栅极/发射极长度(μm)	0.4	0.25	2.0	2.0
增益(dB)	12.6	16.0	14.7	16.1
噪声系数(dB)	0.8	0.4	1.0	1.5
电压(V)	3	2	2	2

一些生产商为客户定制设计提供了基于 GaAs 和 InP 的 FET、pHEMT 和 HBT 工艺。

4.5.2 SiGe 异质结双极型晶体管

SiGe 技术[16,38-40]是近十年发展起来一项技术，来自 IBM 的科学家小组对这项技术的发展起到了主要的推动作用。SiGe 的一个主要优点是，它能够很好地与标准双极型硅和双极型

CMOS 工艺相集成。相比传统硅器件，SiGe 的性能优势在于它具有非常高的截止频率和经改良的低压功率附加效率。f_T和f_{max}分别达到130 GHz 和160 GHz 的器件已经出现了[39,40]。这些值比最好的硅 n 型二极管高两倍左右，但是比最好的 GaAs 器件低2 ~6 倍。SiGe 技术相比Ⅲ-Ⅴ族材料 HBT 的优势在于，它可以用标准硅晶圆工艺生产线实现，从而使附加成本最低。这导致它的工艺成本降低，进而实现了极高性能的低成本射频集成电路(RFIC)。

SiGe 异质结双极型晶体管如同硅双极型晶体管一样，在晶体管的基区有锗的混合。这缩减了基极材料的能带隙。基极锗的出现降低了给定阻抗的基极渡越时间，从而使器件具有较高的f_T和f_{max}。较高的基极掺杂浓度提高了厄利(Early)电压，降低了器件的噪声系数。器件的 $1/f$ 噪声性能远好于 GaAs 器件。器件的转折频率低于 100 Hz，而 GaAs 的频率是 2 kHz 或更高。

SiGe 工艺的一个优点是，SiGe 层是在标准氧化工艺后单独生长的。SiGe 聚合物用来制作基极接触和电阻。发射极具有两个隔离区(一个在里面，一个在外面)和一个附加硅非晶层。n^+硅非晶层用来制作集电极和发射极的接触。SiGe 工艺可以与硅掩膜工艺相媲美:它的工艺步骤和对应的生产成本与硅二极管技术几乎相同。图 4. 23 所示为 0. 8 × 10 μm² 发射极面积的 SiGe HBT 在共射结构中的电流-电压(I-V)特性测试曲线。

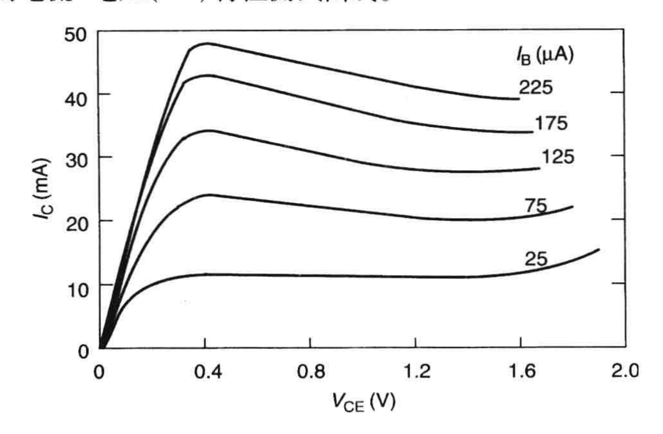


图 4.23　0.8 × 10 μm² 发射极面积的 SiGe HBT 在共射结构中的 I-V 特性测试曲线

SiGe HBT 器件具有硅基 BJT/CMOS 工艺的低成本潜质和 GaAs HBT 器件的小信号特性。尽管如此，相比于 GaAs HBT 器件，它们具有更低的击穿电压和低得多的功率输出能力。最近据报道，SiGe HBT 的f_T和f_{max}值均超过了 150 GHz，击穿值仅仅在5 V 量级。SiGe HBT 的低功率性能比得上 GaAs HBT。0.35 μm 和 0.18 μm SiGe HBT 器件的f_T 值分别为 62 GHz 和 120 GHz。

使用SiGe 技术制造的低噪声放大器和功率放大器已经出现。当器件的偏置电压为3.0 V 并且工作电流为 3.6 mA 时，其最小噪声系数为 0.8 dB，并且在 2.0 GHz 时具有 17 dB 的相关增益[38]。值得注意的是，在这个频率体制下，SiGe 器件的50 Ω 噪声系数值很接近 F_{min}，因此 SiGe 器件相比 Si BJT 或 GaAs FET 更容易匹配。一个工作在 3.0 V 和 900 MHz 的 B 类偏置四芯 SiGe HBT功率器件，获得了 1.1 W 功率输出和 66% 的功率附加效率[38]。

4.6 MOSFET

金属氧化物半导体场效应晶体管(MOSFET)在商用与军用射频和微波 MMIC 中得到了广泛应用。n 型 MOSFET(nMOSFET)和 p 型 MOSFET(p MOSFET)都得到了应用。分别称为 NMOS 和 PMOS。同时，这些器件因其工艺被称为互补型 MOS 或 CMOS。今天的 RFIC 主要是基于互补型

MOS 晶体管。最近亚微米 CMOS 技术的蓬勃发展促进了射频、微波和毫米波单功能与多功能 IC 的发展。0.25 μm、0.18 μm、0.13 μm 和0.09 μm 栅长 CMOS 晶体管的典型f_T值分别为 30 GHz、50 GHz、75 GHz 和 110 GHz。对于0.09 μm 栅长器件在 10 GHz 处的最小噪声系数为0.8 dB，相对增益为 13 dB。

图4.24 所示为n 型 MOSFET 的横截面示意图。在基本工作情况下，在漏极和源极之间施加正的漏极电压并且没有栅极电压时，漏极一侧的 pn 结是反偏。在这种情况下，小到可以忽略的反向电流在漏极和源极之间流动。换句话说，在实际应用中 I_{dss}可视为0。接下来，当栅极和源极之间、漏极和源极之间施加正向偏置电压后，正的栅极电压与空穴相排斥，与电子相吸引，两个 pn 结都是正向偏置。在这种情况下，漏极和源极之间建立起导电路径；大电流可以在其中流动，并且电流值为漏极和栅极电压值的函数。这种器件工作在放大状态时与 FET/HEMT 极为相似。因为栅极电压为正，并且没有栅极电流产生，这种器件可以由单正电源供电。对于MOSFET 器件的详细分析，读者可以参考非常经典的教材[18,41,42]。MOSFET 的功率版，常常指横向扩散金属氧化物半导体(LDMOS)场效应晶体管，在第 13 章中有专门的介绍。

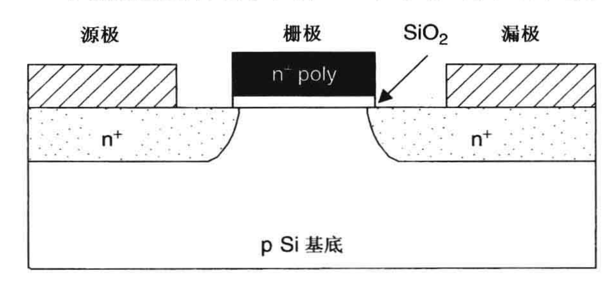


图4.24 Si nMOSFET 的物理横截面示意图

表4.6 和表4.7 提供了各种 CMOS 工艺器件噪声系数和功率性能的比较。直到 C 波段，低噪声放大器能够获得2～3 dB 的噪声系数。直到 L 波段，输出功率达到1 W 和 PAE 达到60% 的功率放大器也有报道。

总之，近期低成本 Si 基 RF CMOS 和 SiGe HBT 技术展现出的优势，为超高容量(very-high-volume)无线应用提供了很好的解决方案。高性能 CMOS 和 HBT 器件展现出的性能，以及它们的大规模集成能力，使这种技术在低成本放大器解决方案中具有很大的吸引力。好几家生产商为定制设计提供了 Si 基 CMOS 和 HBT 器件。表 4.8 所示为手机无线应用中的 GaAs HBT、Si CMOS和 SiGe HBT 技术的比较。

表 4.6 CMOS 低噪声放大器概要

频率范围(GHz)	增益(dB)	噪声系数(dB)	直流功率(mW)	工艺(nm)
3.1～4.8	12	4.2～4.9	20	250
3.0～7.5	19	3.0～3.8	32	180
2.4～5.4	25	2.2～3.1	4.7	130
3.1－5.9	19.5	2.8～3.8	5.4	90

表 4.7 CMOS 功率放大器[a]概要

频率范围(GHz)	增益(dB)	输出功率(W)	PAE(%)	工艺(nm)
0.855	—	1.0	60	350
0.875	30	1.5	62	180
1.7	—	1.3	58	130
2.0	27	1.0	70	65

[a]工作电压范围为3～5 V。

表4.8 手机无线应用中的 GaAs HBT、Si CMOS 和 SiGe HBT 技术的比较

参数	GaAs HBT	Si CMOS	SiGe HBT
热导率	0.46	1.45	1.45
介质损耗/输出匹配损耗	低	高	高
电流密度	中	中	高
热失控预防	无	有	有
负载失配预防	有	有	无
晶圆成本	中	低	低

参考文献

1. H. A. Watson, *Microwave Semiconductor Devices and Their Circuit Applications*, McGraw-Hill, New York, 1969.
2. H. F. Cooke, Microwave transistors: theory and design, *Proc. IEEE*, Vol. 59, pp. 1163–1181, August 1971.
3. H. Fukui (Ed.), *Low-Noise Transistors and Amplifiers*, IEEE Press, New York, 1981.
4. J. V. Dilorenzo and D. D. Khandelwal (Eds.), *GaAs FET Principles and Technology*, Artech House, Norwood, MA, 1982.
5. R. S. Pengally, *Microwave Field-Effect Transistors—Theory, Design and Applications*, John Wiley & Sons, Hoboken, NJ, 1982.
6. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1988.
7. R. Soares (Ed.), *GaAs MESFET Circuit Design*, Artech House, Norwood, MA, 1989.
8. P. H. Ladbrooke, *MMIC Design: GaAs FETs and HEMTs*, Artech House, Norwood, MA, 1989.
9. R. Goyal (Ed.), *Monolithic Microwave Integrated Circuits: Technology and Design*, Artech House, Norwood, MA, 1989.
10. K. Chang (Ed.), *Handbook of Microwave and Optical Components*, Vol. 2, John Wiley & Sons, Hoboken, NJ, 1990.
11. C. T. Wang (Ed.), *Introduction to Semiconductor Technology: GaAs and Related Compounds*, John Wiley & Sons, Hoboken, NJ, 1990.
12. F. Ali and A. Gupta (Eds.), *HEMTs and HBTs: Devices, Fabrication and Circuits*, Artech House, Norwood, MA, 1991.
13. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993.
14. K. Chang, *Microwave Solid-State Circuits and Applications*, John Wiley & Sons, Hoboken, NJ, 1994.
15. W. Liu, *Handbook of III–V Heterojunction Bipolar Transistors*, John Wiley & Sons, Hoboken, NJ, 1998.
16. J. S. Yuan, *SiGe, GaAs, InP Heterojunction Bipolar Transistors*, John Wiley & Sons, Hoboken, NJ, 1999.
17. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
18. F. Schwierz and J. J. Liou, *Modern Microwave Transistors*, Wiley-Interscience, Hoboken, NJ, 2003.
19. K. K. Ng, *Complete Guide to Semiconductor Devices*, 2nd edition, Wiley-Interscience, Hoboken, NJ, 2003.
20. R. Singh, D. L. Harame, and M. M. Oprysko, *Silicon Germanium*, John Wiley & Sons, Hoboken, NJ, 2004.
21. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.

22. R. J. Hawkins, Limitations of Neilson's and related noise equations applied to microwave bipolar transistors, and new expressions for the frequency and current dependent noise figures, *Solid-State Electron.*, Vol. 20, pp. 191–196, 1977.
23. E. G. Nielsen, Behavior of noise figure in junction transistors, *Proc. IRE*, Vol. 45, pp. 233–258, 1957.
24. H. Fukui, The noise performance of microwave transistors, *IEEE Trans. Electron Devices*, Vol. ED-13, pp. 329–341, 1986.
25. A. van der Zeil, Thermal noise in field-effect transistors, *Proc. IRE*, Vol. 50, pp. 1808–1812, 1962.
26. W. Baechtold, Noise behavior of Schottky barrier gate Field-effect transistors at microwave frequencies, *IEEE Trans. Electron Devices*, Vol. ED-18, pp. 97–106, 1971.
27. R. A. Pucel et al., Signal and noise properties of gallium arsenide field-effect transistor, in *Advances in Electronic and Electron Physics*, Vol. 38, Academic Press, New York, 1975, pp. 145–265.
28. H. Fukui, Design of microwave GaAs MESFET's for broad-band low-noise amplifiers, *IEEE Trans. Electron Devices*, Vol. ED-37, pp. 67–78, 1990.
29. D. Delagebeaudeuf et al., A new relationship between the Fukui coefficient and optimal current value for low-noise operation of field-effect transistors, *IEEE Electron Device Lett.*, Vol. EDL-6, pp. 444–445, September 1985.
30. P. C. Chao et al., Millimeter-wave low-noise high electron mobility transistors, *IEEE Electron Device Lett.*, Vol. EDL-6, pp. 75–77, January 1985.
31. K. H. G. Duh et al., Ultra low noise characteristics of millimeter-wave electron mobility transistors, *IEEE Electron Device Lett.*, Vol. EDL-9, pp. 521–523, 1988.
32. A. Oki et al., HEMT and HBT MMIC power amplifiers, in *IEEE MTT-S International Microwave Symposium Workshop*, #WMH, 2006.
33. H. Kroemer, Theory of wide-gap emitter for transistors, *Proc. IRE*, Vol. 45, pp. 1535–1537, 1957.
34. H. Kroemer, Hetero-structure bipolar transistors and integrated circuits, *Proc. IRE*, Vol. 70, pp. 13–25, 1982.
35. A. van der Zeil et al. A theory of Hooge's parameters of solid state devices, *IEEE Trans. Electron Devices*, Vol. ED-32, pp. 667–671, 1985.
36. A. van der Zeil, Noise in junction transistors, *Proc. IRE*, Vol. 46, pp. 1019–1038, 1958.
37. M. B. Das and O. A. Dogha, On the noise properties of bipolar transistors in untuned amplifiers, *Solid-State Electron.*, Vol. 19, pp. 827–836, 1976.
38. R. A. Metzger, Is silicon germanium the new "material of the future"?, *Compound Semiconductor Mag.*, pp. 21–28, November/December 1995.
39. G. L. Patton et al., 75GHz f_t SiGe base hetero-junction bipolar transistors, *IEEE Electron Devices Lett.*, pp. 171–173, 1990.
40. K. Oda et al., 130GHz f_t SiGe HBT technology, *IEDM Tech. Digest*, pp. 791–794, 1997.
41. S. M. Sze, *Physics of Semiconductor Devices*, 2nd edition, Wiley-Interscience, Hoboken, NJ, 1981.
42. R. F. Pierret, *Field Effect Devices*, Addison-Wesley, Reading, MA, 1990.
43. J. M. Golio, *Microwave MESFETs and HEMTs*, Artech House, Norwood, MA, 1991.
44. R. Anholt, *Electrical and Thermal Characterization of MESFETs, HEMTs and HBTs*, Artech House, Norwood, MA, 1995.
45. H. Wang et al., Millimeter-wave integrated circuits, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 3021–3046.
46. P. H. Aaen, J. A. Pla, and J. Wood, *Modeling and Characterization of RF and Microwave Power FETs*, Cambridge University Press, Cambridge, UK, 2007.
47. http://www.tycoelectronics.com.

48. http://www.velocium.com.
49. http://www.winfoundry.com.
50. http://www.triquint.com.
51. http://www.tsmc.com.
52. http://www.ibm.com.
53. http://www.cree.com.

习题

4.1 比较 GaAs MESFET 器件、HEMT 器件和 HBT 器件的显著特性，为什么低阻硅比 GaAs 具有更高的基底损耗。

4.2 考虑例 4.1 中给出的 MESFET 等效电路模型。计算器件工作在 12 GHz 的最大增益。当(a) L_s、C_{gs} 和 C_{gd} 增大 20% 和(b) g_m 和 R_{ds} 降低 20% 时，计算功率的退化。

4.3 计算例 4.1 中给出的 MESFET 等效电路模型在 $I_{ds}=45$ mA 时的 F_{min}。栅长为 0.4 μm，频率为 10 GHz。

4.4 当在 100 ℃测试例 4.1 中给出的 MESFET 等效电路模型的 F_{min} 时，它的值比室温(25℃，$F_{min}=$ 3 dB)提高了 0.7 dB。当其他参数保持不变时，计算此时 g_m(100℃)比室温时下降了多少。

4.5 晶体管的 I-V 数据由下面给出，计算 $V_{ds}=4$ V 时的 R_{ds} 和 g_m。

$V_{ds}=3$ V：	$V_{gs}=-2$ V	$I_{ds}=5$ mA
	$=-1$ V	$=100$ mA
	$=0$ V	$=200$ mA
$V_{ds}=5$ V：	$V_{gs}=-2$ V	$I_{ds}=7$ mA
	$=-1$ V	$=110$ mA
	$=0$ V	$=205$ mA

4.6 定性分析与比较 MESFET、pHEMT 和 MOSFET 器件应用在中功率放大器的效果。

第5章 晶体管模型

5.1 晶体管模型的类型

在假设条件下，使用等效电路和/或数学关系表示的晶体管电学模型可以用来计算晶体管的性能。这些模型可以用于改善晶体管性能和设计放大器电路。本章的目标是对晶体管建模和模型进行一个总体回顾，这对放大器的设计是很有用的。

现代计算机辅助设计(CAD)工具的应用，为减少晶体管放大器设计时间提供了新方法(更多的细节请参见第9章)。精确、广泛适用的晶体管模型与CAD工具相结合的历史，可以追溯到20世纪80~90年代。CAD工具和晶体管模型在MIC器件和MMIC器件的发展中扮演了极其重要的角色。随着这些工具复杂度和精确度的提高，器件设计周期被极大地缩短了，IC器件设计也实现了"一次设计即可通过"。这些工具的核心部分是BJT器件、MOSFET器件、FET器件、HFET器件、HEMT器件和HBT器件的精确模型。晶体管模型包含低噪声型、开关型和功率型，以及使用线性和非线性(依赖偏置和输入功率)模型。器件模型的总体概况如图5.1所示；等效电路(EC)模型是其中最常用的。更多关于建模的信息可以参考相关的图书[1~8]和其他出版物[9~31]。晶体管模型基本上可以分为三类：

1. 基于物理学/电磁学理论的模型
2. 解析或混合模型
3. 基于测试的模型

这些模型将在下面进行介绍。

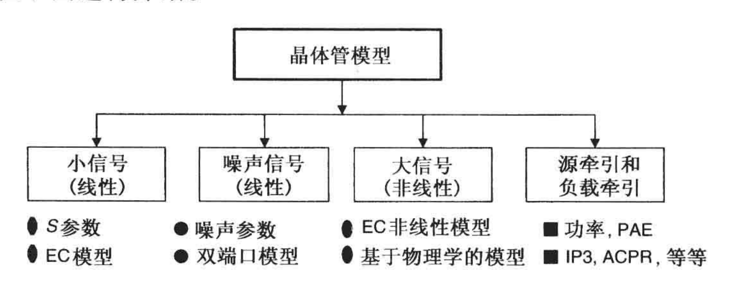


图5.1 放大器的线性和非线性晶体管模型

5.1.1 基于物理学/电磁学理论的模型

基于精确物理学的有源器件模型，可以追溯到杂质分布和物理结构，模型的发展对于建立工艺和射频性能之间的联系及MMIC器件设计是非常重要的。这类模型包含两个部分：内在部分和外在部分。内在部分反映了晶体管的有源沟道，外在部分反映了器件焊盘/电极的寄生效应，它们都是用电阻、电感和电容来表述的。模型的内在部分是器件的"心脏"，它是在器件沟道(比如栅极下方或栅极、源极和漏极电极之间)的近似边界条件和偏置条件下求解器件方程得到的。半导体器件方程源自与泊松(Poisson)方程解相结合的玻尔兹曼传输方程。这些偏微分方

程描述了器件的载流子传输特性，并且可以用有限差分法或有限元法得到数值解。这些物理模型也包含了器件的界面现象、量子效应、温度效应和电极间的电磁相互作用，以及异质结构、低噪声和强场现象。这类模型反映了一般规律，但非常复杂。它们包含精确的寄生电抗、偏置及温度和频率依赖性，能够在时域和频域使用。

在调查有源器件的工作情况，以及用工艺、材料和几何结构相关函数预测器件性能方面，物理模型是非常有用的。因此，这种器件模型在器件研究、工艺控制、电路成品率控制和优化工作中起到很大的作用。使用基于物理学的模型后，无需昂贵的生产实验，就可以对器件设计做出有效的调整。

5.1.2 解析或混合模型

有源器件的解析或混合模型基于一种简单的等效电路(EC)形式。这种模型的参数可以用简单的公式计算得到，而公式涉及的值可以从器件物理性质、直流(DC)测试、射频(RF)测试或者直流和射频相结合的测试结果中获得。这种解析模型来自以物理学和测量结果为基础的技术。非线性器件通常用解析模型来表示。

5.1.3 以测量结果为基础的模型

有源器件建模最常用的方法是通过测量它们的直流特征和 S 参数。尽管这种方法通常仅限于应用在已测量的器件中，但它的结果可以快速得到，并且很精确。器件可用等效电路模型表示，而等效电路模型的参数值是通过计算机提取相关已测直流和 S 参数数据获得的。

对于基于测试结果的模型，其精度取决于测试系统、校准技术和校准标准三者的精度。使用高频探针的晶圆级(on wafer)测试方法，可以为高达毫米波频率的器件提供精确、快速、无耗和可重复的测试结果[32]。多种矢量网络分析仪校准技术，当前已用来确立嵌入器件 S 参数中的双端口误差模型。传统的短路-开路-负载-直通(简称 SOLT)校准技术已被证明不能满足需要，因为无法精确定义短路和开路参考平面。一个参考平面对理想短路的不确定性限制了 SOLT 校准技术精度的提高。传输线-反射-匹配(LRM)校准技术要求每个端口都是理想匹配状态。直通-反射-传输线(TRL)校准技术是以传输线校准标准为基础的，包括非零长度的直通和反射(开路或短路)，以及延迟线标准(校准覆盖频率范围所规定的一个或多个标准)。TRL 校准的优势在于标准简单，可以放在相同基底上进行，就像放置器件一样，保证传输介质是公共的。这种校准技术可以精确地位于参考平面上，并且最小化两个探针间的辐射串扰效果，这是因为在校准过程中两个探针离得很远。更详细的晶圆级测量技术请参见第 22 章。

基于测试结果的模型可分为两个部分:线性和非线性。在当前基于测试结果的建模过程中，元件是由测得的 DC 和 RF 参数进行电学表征的。选择用依赖频率的电学特性描述的各个器件，以构建集总元件等效电路模型。在计算机优化功能的帮助下，测试得到的 S 参数转化为集总元件模型参数值。有源器件的噪声特性是由测得的晶圆级 S 参数和噪声参数得到的。该模型的参数通常是从统计数据中提取的。这里的统计数据有平均值和标准差两种，它们在高产量核心设计中很有用。

线性模型

例如，一个 MESFET 晶体管的等效电路线性模型如图 5.2 所示。C_{gs}、C_{gd}、g_m、τ 和 R_{ds} 参数对器件偏置条件具有很强的依赖性。在给定的偏置条件下，这个模型描述了 FET 的基本线性工作情况，它在描述器件的小信号 RF 终端特性时也具有很高的精度。模型参数的相关解析式也同样适用。对于实验数据不可得的频率，可以通过这种模型由 S 参数进行外推。这种方法被广泛

应用，同时也可用于相同器件类型的尺寸缩放。EC 模型的主要缺点是很难扩展到不同的物理结构，受单偏置条件的限制，而且电路元件频率不相关，无时间依赖特性，以及固有的受限于线性电路。尽管如此，以器件解析式为基础对 EC 模型参数值做一些增量改变，就能将一阶近似 EC 模型扩展到不同偏置条件和不同尺寸的情况。在 FET 和 HEMT 中，最关键的 EC 模型参数是 C_{gs}、g_m 和 τ。模型中的渡越时间τ可以由拟合 S_{21}的相位精确得到。

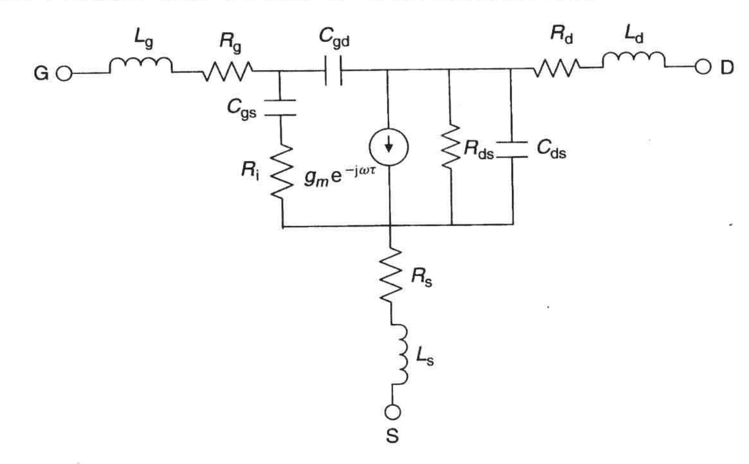


图 5.2 一个 FET/pHEMT/MOSFET 等效电路模型

小信号 EC 模型参数提取通常包括两部分:晶体管外部和本征参数的确定。外部参数来源于寄生元件，通过在冷晶体管测试条件(在这种条件下，漏极/集电极偏置未加载)下测得的 S 参数提取出。这些参数是 R_g、R_s、R_d、L_g、L_s 和 L_d，都与晶体管的偏置条件无关。本征参数值从工作于偏置条件下的 S 参数测试结果中提取。很多参数提取技术已开发出来，可应用于特定晶体管，本章将为读者提供建模技术的相关内容。

图 5.3 所示为偏置在 2.5 V、I_{dss}为 50% 的 300 μm 功率 FET 的 EC 模型值与小信号 S 参数测量值之间的对比;R_{gs}与 C_{gs}并联，在图 5.2 中没有标出。

噪声模型

在设计低噪声放大器(LNA)时，晶体管精确的噪声模型[33~38]是必要的。Pucel 等人对 MESFET 晶体管及它的模型噪声产生机理进行了广泛的描述[33]。Fukui[34, 35]和 Gupta 等人[36]给出了简化的噪声模型。这种模型仅在共源放大器中显得精确，而在设计多端口电路时，无法为其提供足够的信息。通常用到的基于测试结果的晶体管噪声模型由商用 CAD 工具支持，其中使用到前一章所述的噪声参数。此噪声模型包含噪声参数(F_{min}、T_{opt}和 R_n)和 S 参数。第 22 章将介绍噪声模型的确定。这种模型的一个主要限制是它仅对器件测试有效，而无可测量性。因为所有的噪声在设备输入端同时存在，它并不能准确预测多级放大器输出端的失匹效应或放大器噪声系数中的平行反馈效应。

一个灵活的基于 MESFET 节点化表示的双端口噪声模型已经研制出来[37]。获得这种噪声模型需要 4 步:

1. 在 50 Ω 系统中测试宽带范围内的 S 参数和噪声系数。典型的测试方法是使用晶圆上探针(on-wafer probe)测试 1 ~26 GHz 的 S 参数和噪声系数。
2. 将图 5.4(a)所示的 FET 等效电路模型参数与 S 参数进行拟合。任意的商用或内部软件可以用来完成此步骤。

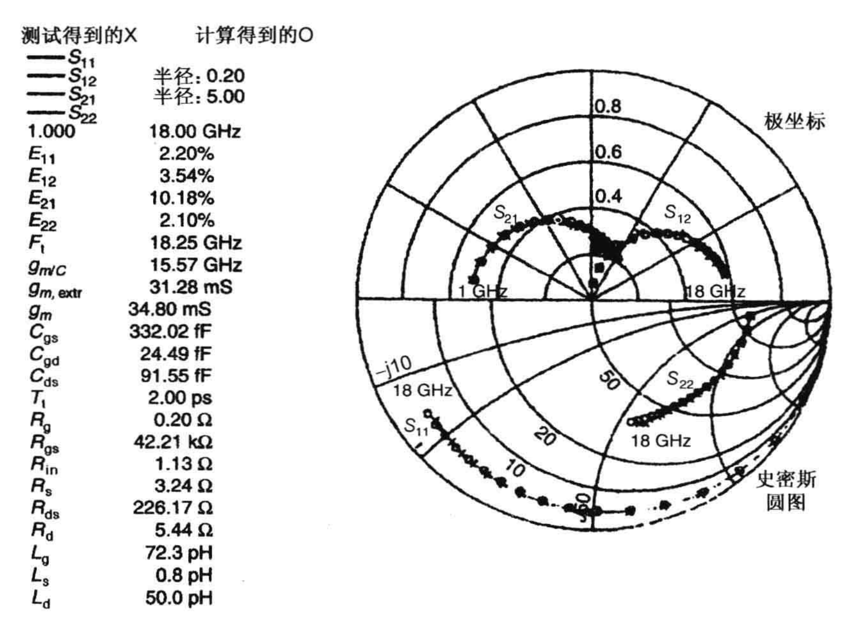


图 5.3　在 2.5 V 偏置和 50% I_{dss} 情况下，300 μm 功率 FET 的小信号 EC 模型值；R_{gs} 与 C_{gs} 并联，未在图5.2中给出

3. 选择短路电流噪声源的值(I_{shot})，以使计算出的 FET 50 Ω 噪声系数值与测试数据相匹配。在图 5.4(a)所示的 FET 等效电路噪声模型计算时，假设来自每个电阻的热噪声(约翰逊噪声)为室温下的热噪声，连同 I_{shot}(与测得的开尔文单位下的 $T_{ambient}$ 进行归一化)的常数值(频率不变量)，并且与测得的 FET S 参数和噪声系数相匹配。这里，额外噪声并入了 I_{shot} 中。I_{shot} 这一项可以解释为影响输出电阻 R_{ds} 的显著的沟道升温。等效沟道温度可以由 I_{shot} 项计算得出：

$$T_{\text{channel}} = T_{\text{ambient}}(1 + I_{\text{shot}}^2) \tag{5.1}$$

将所有的额外噪声都归入沟道是一种理论上的欺骗。因为当所有噪声都并入输入端口时，对额外噪声的分配就与无反馈电路不相关了。

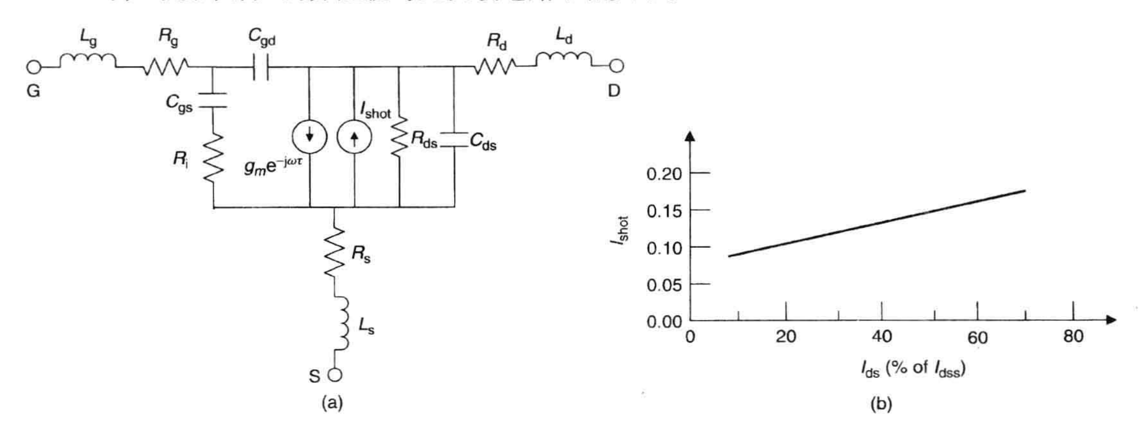


图 5.4　(a)一个 FET/pHEMT 等效电路噪声模型；(b) 300 μm 低噪声 FET 的典型 I_{shot} 随偏置电流的变化情况

4. 与晶体管端接 50 Ω 源和负载噪声参数计算得到的噪声系数相比较以后，晶体管双端口噪声模

型就可以得到验证了。对于低噪声 FET，典型的 I_{shot} 是漏源电流的函数，如图5.4(b)所示。正如所期望的，I_{shot} 随漏源电流的增大而增大。

非线性模型

CAD 工具中商用非线性模型为用于静态分析的非线性仿真提供了时-频域技术。进行非线性分析时，CAD 工具使用功率谐波平衡(HB)仿真引擎或 Volterra 功率系列方法。非线性模型基本上可以分为两大类[31]：经验黑盒模型[23,24]和基于 EC 的模型[17~20,25]。黑盒模型是以查询表中的大量数据为基础的，相对来说更精确，但是它仅能用于晶体管特性提取。EC 模型使用预先确定的解析表达式得到模型元件，这些元件的值是从较大范围工作条件下的测试数据中提取出的。EC 模型在偏置和器件尺寸不同时显得更加灵活，但是没有黑盒模型那么精确。

大量的非线性 EC 模型可见参考文献[17~22,25~28]。所有这些模型都有相同的基本结构(加入了漏极电流发生器)，如图5.5所示。通过定性分析，与测试数据一致的 EC 模型参数和共源 DC 曲线或附加上 *I-V* 曲线的 DC 曲线都是可以得到的。尽管如此，相比于测试数据，定量分析得到的模型特性还是会存在较大偏差。而这些不同模型间的偏差来源于器件表征中的问题，包括漏极电流发生器、栅源电容和栅漏电容的特性描述。大多数涉及到的模型有 Curtice、Curtice-Ettenberg、Stratz、Materka-Kacprzak 和 TOM(TriQuint Own Model)。参考文献[4]和[21]给出了这些模型的比较。

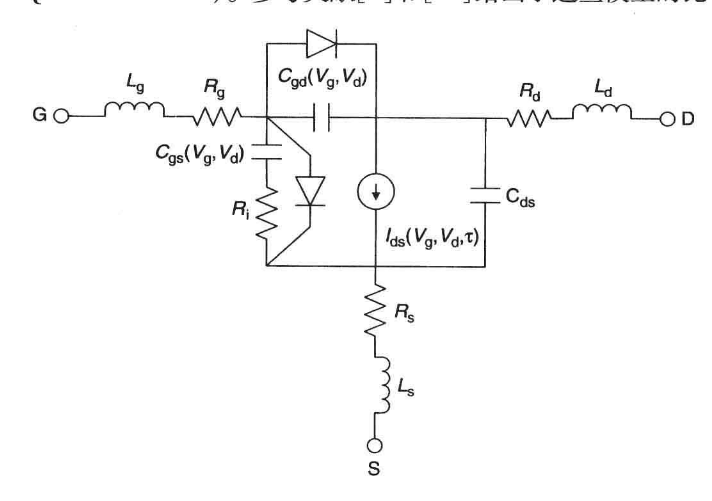


图5.5 FET/pHEMT 的非线性或依赖于电压的 EC 模型

基于测试的模型需要包括端口依赖于电压的 EC 元件，比如 $I_{ds}(g_m, R_{ds})$、C_{gs} 和 C_{gd}(见图5.5)。使用这些元件，可以准确预测有源器件的非线性特性。一般用以下式子描述 MESFET 的非线性特性：

$$I_{ds} = (A_0 + A_1 V_1 + A_2 V_1^2 + A_3 V_1^3)\tanh(\alpha V_{ds}) \tag{5.2}$$

其中

$$V_1 = V_{gs}[1 + \beta(V_{dso} - V_{ds})] \tag{5.3}$$

并且

$$C_{gs} = C_{gso} \cdot f(V_{gs}, V_{gd}) \tag{5.4}$$

$$C_{gd} = C_{gdo} \cdot g(V_{gs}, V_{gd}) \tag{5.5}$$

此处，V_{gs}、V_{gd} 和 V_{ds} 分别表示器件的栅源、栅漏和漏源电压。FET 的源常常是接地的。A_i(其中 $i=0,1,2,3$)系数和 α、β 及 V_{dso} 都是通过 DC 或附加 *I-V* 数据估计出来的。在通常的 DC 工作偏置条

件下，C_{gso}和C_{gdo}都能从测得的 S 参数中定量提取出。其中f和g都是V_{gs}和V_{gd}的函数，它们是由覆盖整个器件工作范围的 DC 偏置条件下测得的 S 参数来确定的。可以通过包含 tanh 的函数来描绘漏极电流。因为这种方法将工作范围延伸至饱和区，所以它得到了广泛的认可。大体上，非线性 EC 模型的建立需要 3 步：

1. 提取I_{ds}的系数以匹配 I-V 数据。重要的数据出现在曲线的拐点附近，击穿发生在夹断(pinch-off)位置附近。
2. 测试 S 参数，提取小信号模型参数值，并且推导栅源和栅漏电容系数，用以描述模型对栅极和漏极电压的依赖。
3. 对于 50 Ω 输入和输出端其他谐波的 1 dB 压缩点 $P_{1\,dB}$及其功率大小，进行测试和仿真数据对比，以使模型生效。利用负载牵引数据和一些类型的混合放大器测试，同样可以使非线性模型生效。仿真结果是通过谐波平衡分析方法得到的。

EC 模型的主要优势是它很容易集成到射频电路仿真器中。在线性工作(小信号)时，对接是直接的，因为整个器件和电路模型是在频域仿真的。对于非线性模型，器件模型是在时域形成的，需要使用谐波平衡法[16,22]使此模型与频域线性模型仿真器相对接。对于好的电路定义来说，从这些仿真器获得的射频性能是令人满意的，尤其是弱非线性应用，例如没有工作在剧烈饱和状态下的 A 类功放。大信号 EC 模型一般不能随变化工作条件成比例变化，这些工作条件包括频率或者偏置。随着电路非线性的增强，仿真器性能将会下降。

EC 模型的主要缺点是由模型公式简化带来的内在不精确性，这些简化包括忽略了域电容和非线性元件间的相互依赖性。在实际的器件中，所有这些非线性元件都是相互依赖的。例如，在 MESFET 中，不可能只改变器件的跨导而不影响其他元件值，例如栅源电容。EC 模型最大的限制，可能是它需要通过实验提取将要使用器件的特性。也就是说，在 CAD 模型建立以前，这个器件就要被设计、制造和提取特性。在任意的设计参数(比如栅宽或沟道不纯度)中，简单的改变要求彻底的返工(重新提取器件特性)，因为缩放技术在此太难得到应用。这限制了设计者在优化集成电路时的灵活性;而在特殊的应用场合，集成电路设计是需要对器件设计进行裁剪的。同时，发展一个精确的、完全的非线性模型来同时预测输出功率、PAE 和非线性(AM-PM、ACPR、IP3、EVM 等)是很困难的。一般情况下，对于特殊应用，非线性模型是需要微调的。为了将非线性模型扩展到高频应用，渡越时间的非线性特性也是需要精确模拟的。

关于晶体管线性和非线性模型更详尽的研究工作可以参考相关文献，这包括模型提取技术、建模和模型确认。在大多数情况下，受限的线性和非线性晶体管模型是由器件供应商给出的，包括 GaAs/SiC MMIC 供应商(TriQunit、WIN、Motorala、Tyco Electronics、GCS、Cree、Nitrox、IBM 等)或者 Si 供应商。只需要与这些卖家和供应商协商，就可以更新模型。接下来的内容将对 FET 器件、HEMT 器件、HBT 器件及 MOSFET 器件的线性和非线性模型进行主要描述，所有这些模型仅能作为示例。

5.2 MESFET 模型

这一节描述了 M/A-COM 的 GaAs MSAG MESFET 器件[39]的线性、噪声和非线性模型。一些不同的晶体管及它们的偏置条件也将讨论。此处将 GaAs MESFET 技术放在了第一位。

5.2.1 线性模型

放大器的基本设计是基于线性 EC 模型或工作偏置点覆盖 0.5 ~ 40 GHz 的小信号 S 参数。

图5.2所示的EC模型结构在大多数商用仿真器的FET模型中都是很典型的。对于低噪声设计，需要测试连同噪声参数在内的小信号S参数。对于MSAG的0.4 μm FET器件，当其应用于低噪声、线性和高PAE放大器时，V_{ds}的Q点和I_{dss}的百分比分别为3 V和25%、5 V和50%及8~10 V和25%~30%。对于功率FET，一般选择使其工作在AB类的Q点，这样可以获得最大的功能输出、PAE和线性度。

低噪声300 μm FET的S参数和噪声系数如表5.1所示。在此，$\bar{R}_n$是R_n相对于50 Ω的归一化值。对于低噪声FET来说，I_{dss}、V_p、击穿电压和f_T的典型值分别为210 mA/mm、-1 V、8 V及34 GHz。

表5.1 偏置在3 V和25% I_{dss}[a]的低噪声300 μm FET的S参数和噪声系数

(a) S参数

频率(GHz)	$\|S_{11}\|$	$\angle S_{11}$	$\|S_{21}\|$	$\angle S_{21}$	$\|S_{12}\|$	$\angle S_{12}$	$\|S_{22}\|$	$\angle S_{22}$
2.0	0.973	−27.87	4.145	159.62	0.045	72.12	0.531	−18.51
4.0	0.930	−52.59	3.762	142.17	0.082	57.51	0.499	−35.45
6.0	0.887	−73.59	3.303	127.24	0.108	45.64	0.461	−49.36
8.0	0.853	−90.65	2.890	114.84	0.125	36.05	0.428	−60.46
10.0	0.820	−103.86	2.527	104.52	0.135	27.88	0.404	−70.04
12.0	0.801	−114.46	2.228	95.85	0.141	22.56	0.390	−77.43
14.0	0.794	−123.76	1.979	87.70	0.145	17.20	0.381	−84.44
16.0	0.776	−131.55	1.779	80.54	0.147	12.11	0.376	−90.71
18.0	0.777	−137.56	1.611	74.24	0.146	8.200	0.377	−94.80

(b) 噪声参数

频率(GHz)	最小噪声系数(dB)	Γ_{opt} 幅度	Γ_{opt} 角度	$\bar{R}_n$
2.0	0.17	0.89	12.10	0.43
4.0	0.33	0.80	25.10	0.46
6.0	0.49	0.75	38.50	0.47
8.0	0.65	0.71	51.90	0.47
10.0	0.81	0.69	65.10	0.46
12.0	0.98	0.68	77.70	0.43
14.0	1.14	0.67	89.50	0.40
16.0	1.30	0.66	100.20	0.36
18.0	1.46	0.63	109.40	0.32

[a]栅栅间距=20 μm；模具厚125 μm且有两个源极接地通孔。

300 μm和625 μm功率FET的S参数和噪声系数分别如表5.2和表5.3所示。功率FET的I_{peak}、V_p、击穿电压和f_T的典型值分别为460 mA/mm、-3 V、20 V及21 GHz。功率和线性FET器件的EC模型参数分别如表5.4和表5.5所示。一个线性FET的I_{dss}、V_p、击穿电压和f_T的典型值分别为420 mA/mm、-3 V、10 V及20 GHz。两个表均包括4个FET的尺寸，参数都是在标准偏置条件下提取的。

表5.2 偏置在10 V和15% I_{dss}[a]的低噪声300 μm FET的S参数和噪声系数

(a) S参数

频率(GHz)	$\|S_{11}\|$	$\angle S_{11}$	$\|S_{21}\|$	$\angle S_{21}$	$\|S_{12}\|$	$\angle S_{12}$	$\|S_{22}\|$	$\angle S_{22}$
2.0	0.951	−25.97	2.379	158.87	0.020	74.72	0.800	−5.50
4.0	0.934	−49.63	2.221	139.89	0.037	62.96	0.783	−12.43
6.0	0.915	−71.06	2.007	123.26	0.049	53.52	0.750	−16.46
8.0	0.864	−88.42	1.776	108.54	0.058	46.97	0.757	−21.65
10.0	0.838	−102.02	1.570	95.47	0.063	39.76	0.745	−26.12
12.0	0.829	−113.24	1.140	84.27	0.067	36.84	0.736	−31.19
14.0	0.814	−122.75	1.272	75.03	0.071	35.13	0.735	−32.69
16.0	0.798	−129.95	1.130	64.93	0.072	30.53	0.755	−40.06
18.0	0.796	−136.39	1.046	55.65	0.074	27.03	0.735	−45.91

（续表）

(b) 噪声参数

频率(GHz)	最小噪声系数(dB)	Γ_{opt} 幅度	Γ_{opt} 角度	$\bar{R}_n$
2.0	0.96	0.84	14.10	1.27
4.0	1.14	0.74	28.49	1.14
6.0	1.33	0.68	42.79	1.04
8.0	1.51	0.65	56.49	0.96
10.0	1.70	0.65	69.50	0.88
12.0	1.88	0.66	81.40	0.80
14.0	2.06	0.67	91.90	0.71
16.0	2.25	0.66	100.70	0.63
18.0	2.43	0.64	107.40	0.57

[a] 栅栅间距 = 20 μm；模具厚 75 μm 且有两个源极接地通孔。

表 5.3 偏置在 10 V 和 15% I_{dss}[a] 的 625 μm 功率 FET 的 S 参数和噪声系数

(a) S 参数

频率(GHz)	$\|S_{11}\|$	$\angle S_{11}$	$\|S_{21}\|$	$\angle S_{21}$	$\|S_{12}\|$	$\angle S_{12}$	$\|S_{22}\|$	$\angle S_{22}$
2.0	0.922	−51.16	3.898	144.87	0.034	61.75	0.606	−15.61
4.0	0.894	−88.25	3.123	118.38	0.054	43.42	0.561	−28.33
6.0	0.883	−113.03	2.445	99.09	0.062	31.76	0.525	−37.12
8.0	0.854	−129.44	1.972	83.78	0.067	25.99	0.533	−45.41
10.0	0.843	−140.36	1.621	70.96	0.066	20.18	0.534	−52.74
12.0	0.848	−148.73	1.391	59.59	0.067	18.53	0.547	−61.60
14.0	0.846	−155.51	1.211	49.76	0.068	16.99	0.553	−67.84
16.0	0.842	−160.25	1.050	40.24	0.066	14.99	0.600	−75.53
18.0	0.846	−164.34	0.936	30.70	0.064	13.44	0.614	−85.09

(b) 噪声参数

频率(GHz)	最小噪声系数(dB)	Γ_{opt} 幅度	Γ_{opt} 角度	$\bar{R}_n$
2.0	0.86	0.73	30.00	0.58
4.0	1.05	0.60	56.10	0.54
6.0	1.24	0.55	78.20	0.49
8.0	1.43	0.56	96.70	0.45
10.0	1.62	0.61	111.80	0.40
12.0	1.82	0.67	123.90	0.35
14.0	2.01	0.72	133.40	0.29
16.0	2.20	0.74	140.60	0.25
18.0	2.39	0.71	145.80	0.22

[a] 栅栅间距 = 20 μm；模具厚 75 μm 且有两个源极接地通孔。

表 5.4 偏置在 9 V 和 25% I_{dss} (V_{gs} = −2 V)[a] 的功率 FET 的 EC 模型参数值

模型元件	单位	FET 尺寸 (mm) 0.3	0.625	1.0	1.8
C_{gs}	pF	0.36	0.76	1.22	2.2
C_{gd}	pF	0.02	0.04	0.063	0.09
C_{ds}	pF	0.06	0.12	0.2	0.4
g_m	mS	37	76	115	215
τ	ps	6.6	6.6	6.6	6.6
R_g	Ω	1.0	0.5	0.4	0.4
R_i	Ω	1.2	0.6	0.35	0.2
R_s	Ω	2.0	1.0	0.8	0.5
R_d	Ω	2.0	1.0	0.7	0.35
R_{ds}	Ω	355	170	110	61
L_g	nH	0.005	0.005	0.005	0.01
L_s	nH	0.01	0.02	0.02	0.02
L_d	nH	0.005	0.005	0.005	0.01

[a] 栅栅间距 = 20 μm；模具厚 75 μm 且有两个源极接地通孔。

表 5.5　偏置在 5 V 和 50% I_{dss} (V_{gs} = −1.2 V)[a]的线性 FET 器件的 EC 模型参数值

模型元件	单位	FET尺寸(mm)			
		0.15	0.3	0.45	0.6
C_{gs}	pF	0.17	0.35	0.5	0.64
C_{gd}	pF	0.013	0.026	0.039	0.055
C_{ds}	pF	0.04	0.07	0.1	0.135
g_m	mS	27	54	78	99
τ	ps	2	2	2	2
R_g	Ω	1.0	0.5	0.7	0.3
R_i	Ω	4	2	1.3	1.0
R_s	Ω	2.4	1.2	0.8	0.6
R_d	Ω	2.4	1.2	0.8	0.6
R_{ds}	Ω	450	230	150	115
L_g	nH	0.01	0.005	0.007	0.005
L_s	nH	0.005	0.01	0.01	0.02
L_d	nH	0.005	0.005	0.005	0.005

[a]栅栅间距 = 20 μm；模具厚 75 μm 且有两个源极接地通孔。

图 5.6(a)所示为测得的 3 种 FET 的 NF_{min}比较。这三种 FET 包括一个低噪声 FET(5N)、一个功率 FET(5A)和一个线性功率 FET(5G)，它们的 NF_{min}在 10 GHz 处都是偏置电流的函数。相比功率器件，低噪声器件的 NF_{min}值在更大偏置电流范围内都为常数，这是由低噪声中的闪烁噪声决定的。5N、5A 和 5G FET 的典型 I_{dss}值分别为 210、380 和 420 mA/mm。图 5.6(b)展示了晶体管(0.625 mm 功率 FET，见表 5.4)的 MSG 与隔离度之间的变化关系。在 13 GHz 以下，器件潜在不稳定(见第 17 章的稳定性分析)。图 5.6(c)说明晶体管的输入阻抗(Z_{in}或 S_{11})和输出阻抗(Z_D 或 S_{22})都是频率的函数。

对于小信号晶体管，漏极/集电极电压通常是固定。尽管联如此，对于功率晶体管，供电电压往往更低，以执行稳定性分析，并且可以降低驱动放大器级联的功耗。栅极总体尺寸为 300 μm 和 625 μm 功率 FET 依赖漏极电压的 EC 模型是可以得到的，如表 5.6 所示。栅极和源极之间的电容 C_{gs}、渡越时间τ和输出电阻 R_{ds}都会随着漏源电压 V_{ds}的增大而增大，同时栅漏电容 C_{gd}和跨导 g_m 会随 V_{ds}的增大而减小。同样，f_T 也会随 V_{ds}的增大而减小。

表 5.6　在栅极电压固定(V_{gs} = −2 V)、漏极电压变化时，功率 FET 的 EC 模型参数值[a]

(a) FET尺寸300 μm

模型元件	单位	漏源偏置电压(V)			
		3	5	8	10
C_{gs}	pF	0.37	0.39	0.40	0.42
C_{gd}	pF	0.037	0.024	0.017	0.015
C_{ds}	pF	0.09	0.085	0.08	0.08
g_m	mS	52	45	39	37
τ	ps	2.0	3.0	4.0	5.0
R_g	Ω	1.0	1.0	1.0	1.0
R_i	Ω	1.2	1.2	1.2	1.2
R_s	Ω	2.5	2.5	2.5	2.5
R_d	Ω	2.0	2.0	2.0	2.0
R_{ds}	Ω	180	270	370	390
L_g	nH	0.005	0.005	0.005	0.005
L_s	nH	0.01	0.01	0.01	0.01
L_d	nH	0.005	0.005	0.005	0.005

（续表）

模型元件	单位	(b) FET尺寸625 μm 漏源偏置电压(V) 3	5	8	10
C_{gs}	pF	0.75	0.78	0.80	0.85
C_{gd}	pF	0.076	0.047	0.035	0.032
C_{ds}	pF	0.16	0.155	0.15	0.15
g_m	mS	103	90	78	73
τ	ps	2.0	3.0	4.0	5.0
R_g	Ω	0.5	0.5	0.5	0.5
R_i	Ω	0.6	0.6	0.6	0.6
R_s	Ω	1.2	1.2	1.2	1.2
R_d	Ω	1.0	1.0	1.0	1.0
R_{ds}	Ω	90	132	170	195
L_g	nH	0.005	0.005	0.005	0.005
L_s	nH	0.015	0.015	0.015	0.015
L_d	nH	0.005	0.005	0.005	0.005

[a] 栅栅间距 = 20 μm；模具厚 75 μm 且有两个源极接地通孔。

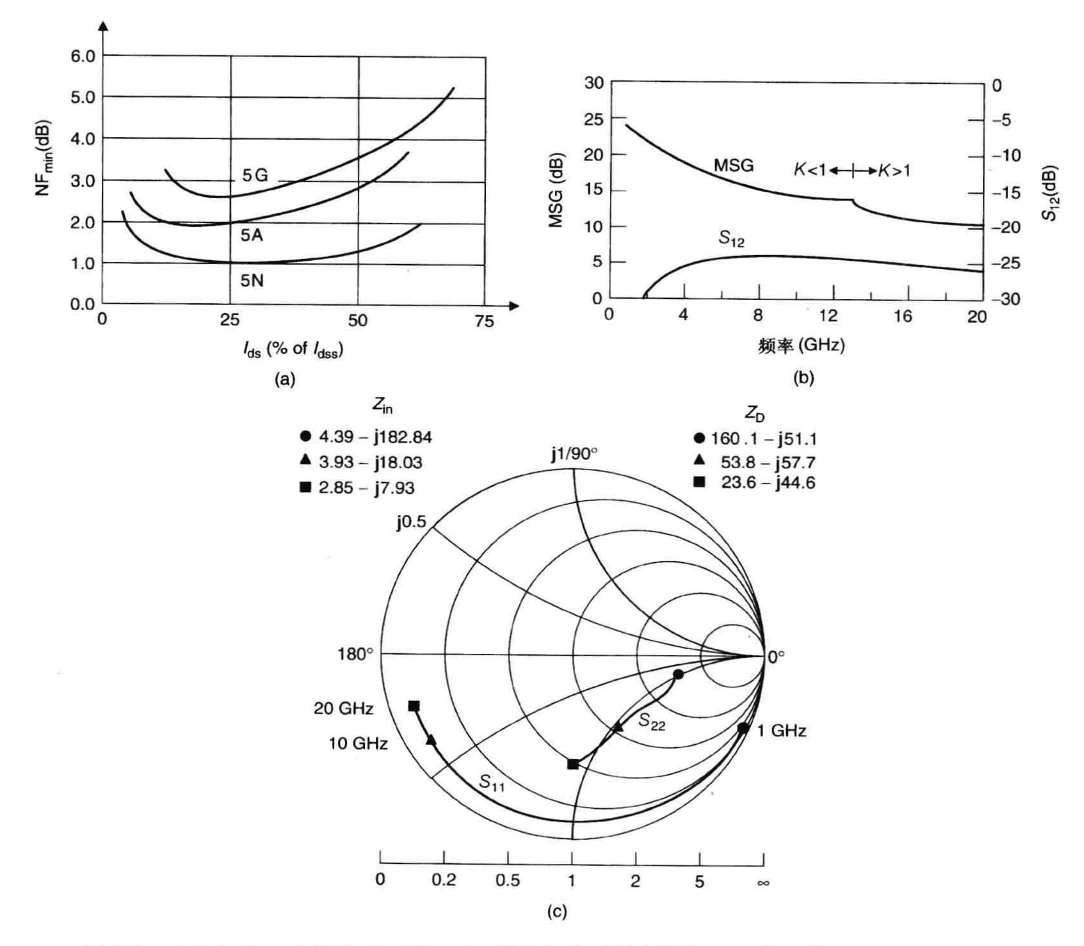


图 5.6　(a)在 $V_{ds}=3$ V 和 10 GHz 时，最佳噪声系数是漏极电流的函数；(b)在 $V_{ds}=9$ V 时，0.625 mm功率FET的稳态增益和隔离度是频率的函数；(c)在 $V_{ds}=9$ V时，0.625 mm功率FET的输入阻抗(Z_{in}或S_{11})和输出阻抗(Z_D或S_{22})是频率的函数

5.2.2 非线性模型

用以仿真工作在 Ku 波段放大器的 FET 非线性模型[40]是基于修正的 Materka 和 Kacprzak 模型[17]，该模型经过优化后可以用于精确估计输出功率和 PAE。非线性模型拥有 I-V 方程及改良的电容方程，后者已经编译到商用 CAD 工具中。使用大范围 S 参数、附加的 I-V 数据和负载牵引数据可以提取该模型的参数。名义上的偏置 Q 点在 10 V，$I_{dss}=25\%$。使用 14.5 GHz 大量混合测试结果对标准 0.625 mm FET 的非线性模型进行校验。模型的方程如下：

$$C_{gd1} = 缩放比例 \times c_{d1} \times [1 + c_{d2} \times \tanh\{c_{d3} \times (V_{gs} - V_{dg0})\}] \tag{5.6}$$

$$C_{gd2} = 缩放比例 \times c_{dd1} \times [1 - c_{dd2} \times \tanh\{c_{dd3} \times (V_{gs} - V_{dd0})\}] \tag{5.7}$$

$$C_{gs} = 缩放比例 \times c_{g1} \times [1 + c_{g2} \times \tanh\{c_{g3} \times (V_{gs} - V_{gg0})\}] \tag{5.8}$$

$$I_{ds} = 缩放比例 \times I_{pk} \times \tanh[a_0 \times (V_1 - V_{th})^{a_1 + a_2 V_1}] \times \tanh(b2 \times V_{ds}) \tag{5.9}$$

$$V_1 = V_{gs}[1 + bb \times (V_{ds0} - V_{ds})] \tag{5.10}$$

$$i_{gd} = 缩放比例 \times i_{sd} \times e^{-(V_{gd} + V_{br})/tvs} \tag{5.11a}$$

$$i_{gs} = 缩放比例 \times i_{sg} \times e^{-(V_{gs} + V_{bi})/tvd} \tag{5.11b}$$

其中 $C_{gd} = C_{gd1} + C_{gd2}$，且

$$R_g = r_g/缩放比例 \tag{5.12a}$$

$$R_{in} = r_{in}/缩放比例 \tag{5.12b}$$

$$R_s = r_s/缩放比例 \tag{5.12c}$$

$$R_d = r_d/缩放比例 \tag{5.12d}$$

$$C_{ds} = c_{ds} \times 缩放比例 \tag{5.12e}$$

$$L_g = l_g/缩放比例 \tag{5.12f}$$

$$L_s = l_s/缩放比例 \tag{5.12g}$$

$$L_d = l_d/缩放比例 \tag{5.12h}$$

在尺寸缩放情况下，器件的寄生电阻和电抗（如 R_g、L_g、L_s 和 L_d）也依赖单位栅宽和指状物的个数。表 5.7 提供了栅极总体尺寸为 0.625 mm 的功率 FET 非线性模型参数值。

表 5.7 625 μm MSAG MESFET 的非线性模型参数值[a]

$l_g = 0.0173350$	$c_{ds} = 0.1225e^{-12}$
$l_s = 0.0097140$	$c_{g1} = 0.8e \times 10^{-12}$
$l_d = 0.0000000$	$c_{g2} = 0.32$
$r_s = 0.7781$	$c_{g3} = 0.4$
$r_g = 0.100$	$c_{d1} = 0.0332e \times 10^{-12}$
$r_d = 0.0100$	$c_{d2} = 0.4$
$r_{in} = 2.3821$	$c_{d3} = 3.0$
$i_{pk} = 0.22$	$v_{dg0} = -1.8$
$a_0 = 0.1428$	$v_{dg0} = -1.8$
$a_1 = 1.6231$	$tvd = 0.05$
$a_2 = -0.0486$	$tvs = 0.05$
$b_2 = 1.4543$	$v_{gg0} = -1.4$
$v_{dso} = 10.0$	$v_{po} = -3.4854$
$bb = 0.0385$	$c_{dd1} = 0.0298e^{-12}$
$v_{bi} = 0.0$	$c_{dd2} = 0.4$
$v_{br} = 23.0$	$c_{dd3} = 1.5$
$i_{sg} = 1.0e{-14}$	$v_{dd0} = -1.8$
$i_{sd} = 1.0e{-14}$	$\tau = 5.4395$
	缩放比例 = 1

[a] 单位：电阻为 Ω，电感为 nH，电容为 F，时间为 ps，电流为 A。

表5.8是使用非线性模型计算出的12 GHz MSAG FET电气性能的概要。在器件尺寸由0.625 mm增大到2.5 mm的过程中，器件的增益和PAE大大降低了。这是因为单位宽度和源极电感值都增大了。

表5.8　使用偏置电压为10 V、12 GHz非线性模型得到的几种MSAG FET器件仿真数据

FET尺寸 (mm)	栅栅斜度 (μm)	指的数量	G_{max} (dB)	P_o (dBm)	G_A (dB)	PAE (%)
0.625	30	6	13.8	27.1	9.5	64
0.94	30	10	13.4	28.5	9.3	60
1.5	30	14	12.5	30.6	8.4	58
1.8	24	18	11.5	31.5	8.0	57
2.5	20	24	10.4	32.7	7.5	55

5.3　pHEMT模型

对于低噪声、功率和毫米波应用，pHEMT器件在设计者中是最流行的选择。在文献中可以见到其线性和非线性模型的大量数据。这一节包含了这些晶体管的线性、噪声和非线性模型的例子。

5.3.1　线性模型

pHEMT器件的线性模型可以从文献或器件供应商那里得到。偏置在2 V和10 mA的200 μm栅极总体尺寸、0.25 μm栅长低噪声pHEMT(Fujitsu #FHX13X)的S参数和噪声参数如表5.9所示。表5.10给出了两个不同源极的0.25 μm栅长、600 μm栅极总体尺寸功率pHEMT的典型EC模型参数。适合线性工作情况的0.5 μm栅长功率pHEMT线性模型已经研制出来。例如在功率回退条件下需要高PAE的场合，这种器件是很适合的。它们名义上的Q点大约为I_{dss}的10%。表5.11为300 μm和900 μm栅极总体尺寸功率pHEMT器件提供的典型的EC模型参数值。0.15 μm栅宽pHEMT器件的线性模型也是在160 μm单元基础上发展起来的[41]。对钝化的和未钝化的器件都进行了测试。器件的峰值电流为500 mA/mm，栅极-漏极击穿电压为9 V。夹断电压和工作电压分别是-0.8 V和5 V。小信号EC模型如图5.2所示，表5.12同时给出了钝化和未钝化器件的EC参数值。

表5.9　pHEMT的S参数和噪声系数

(a) S参数

频率(GHz)	$\|S_{11}\|$	$\angle S_{11}$	$\|S_{21}\|$	$\angle S_{21}$	$\|S_{12}\|$	$\angle S_{12}$	$\|S_{22}\|$	$\angle S_{22}$
0.5	0.999	−4.7	4.894	175.9	0.006	87.7	0.601	−2.3
1.0	0.995	−9.4	4.876	171.9	0.013	85.5	0.599	−4.6
2.0	0.981	−18.6	4.806	163.9	0.025	81.1	0.591	−9.2
3.0	0.958	−27.7	4.696	156.1	0.037	77.0	0.580	−13.5
4.0	0.929	−36.4	4.555	148.6	0.048	73.2	0.565	−17.7
5.0	0.895	−44.9	4.392	141.5	0.057	69.8	0.548	−21.5
6.0	0.860	−53.0	4.215	134.8	0.066	66.8	0.530	−25.0
7.0	0.823	−60.7	4.034	128.4	0.074	64.2	0.512	−28.3
8.0	0.786	−68.1	3.852	122.4	0.080	62.0	0.493	−31.3
9.0	0.751	−75.3	3.675	116.8	0.086	60.2	0.475	−34.0
10.0	0.718	−82.1	3.506	111.5	0.092	58.9	0.458	−36.6
11.0	0.687	−88.7	3.345	106.5	0.096	57.8	0.442	−39.0
12.0	0.659	−95.0	3.194	101.8	0.101	57.1	0.426	−41.3
13.0	0.633	−101.2	3.054	97.3	0.105	56.6	0.412	−43.6
14.0	0.610	−107.2	2.923	93.0	0.108	56.4	0.399	−45.8
15.0	0.590	−113.0	2.801	88.9	0.112	56.4	0.386	−47.9
16.0	0.572	−118.7	2.688	85.0	0.116	56.6	0.375	−50.1
17.0	0.556	−124.2	2.584	81.3	0.120	56.9	0.364	−52.3
18.0	0.543	−129.6	2.487	77.7	0.124	57.3	0.353	−54.6
19.0	0.532	−134.9	2.397	74.2	0.129	57.8	0.344	−56.9
20.0	0.523	−140.0	2.314	70.8	0.133	58.4	0.335	−59.4
21.0	0.516	−145.0	2.236	67.5	0.138	58.9	0.326	−62.0
22.0	0.511	−149.8	2.164	64.4	0.144	59.5	0.318	−64.7
23.0	0.507	−154.6	2.096	61.3	0.150	60.0	0.310	−67.5
24.0	0.505	−159.2	2.033	58.3	0.156	60.5	0.303	−70.5
25.0	0.504	−163.6	1.974	55.3	0.163	60.9	0.296	−73.7
26.0	0.505	−167.9	1.918	52.4	0.170	61.2	0.290	−77.1

（续表）

(b) 噪声参数

频率(GHz)	最小噪声系数(dB)	Γ_{opt} 幅度	Γ_{opt} 角度	$\bar{R}_n$
1.0	0.27	0.96	6	0.69
2.0	0.28	0.92	13	0.65
3.0	0.29	0.88	19	0.61
4.0	0.30	0.84	25	0.54
5.0	0.31	0.80	32	0.47
6.0	0.32	0.77	38	0.41
7.0	0.33	0.74	45	0.36
8.0	0.34	0.71	51	0.31
9.0	0.36	0.68	58	0.27
10.0	0.39	0.66	65	0.23
11.0	0.42	0.64	72	0.20
12.0	0.45	0.61	79	0.17
13.0	0.51	0.60	86	0.14
14.0	0.56	0.58	93	0.12
15.0	0.62	0.57	101	0.11
16.0	0.68	0.56	108	0.09
17.0	0.77	0.55	115	0.08
18.0	0.86	0.54	122	0.07
19.0	0.94	0.53	129	0.07
20.0	1.03	0.52	136	0.07
21.0	1.12	0.51	143	0.07
22.0	1.22	0.50	150	0.07
23.0	1.32	0.48	156	0.07
24.0	1.43	0.46	162	0.07
25.0	1.54	0.44	168	0.08
26.0	1.66	0.41	174	0.08

表 5.10　偏置电压为 8 V 和 25% I_{dss}时，两个 0.25 μm 栅宽和 600 μm 栅极总体尺寸的功率 pHEMT 器件的 EC 模型参数值

参数	单位	#1	#2
C_{gs}	pF	1.0	1.07
C_{gd}	pF	0.047	0.07
C_{ds}	pF	0.12	0.14
g_m	mS	178	168
τ	ps	2.0	4.0
R_g	Ω	0.8	0.8
R_i	Ω	1.5	3.2
R_s	Ω	0.5	0.8
R_d	Ω	0.5	0.6
R_{ds}	Ω	200	181
L_g	nH	0.01	0.04
L_s	nH	0.005	0.008
L_d	nH	0.01	0.04

表 5.11　偏置电压为 12 V 和 10% I_{dss}时，两个 0.5 μm 栅宽 pHEMT器件工作在线性状态时的EC模型参数值

参数	单位	0.3 mm	0.9 mm
C_{gs}	pF	0.5	1.5
C_{gd}	pF	0.032	0.096
C_{ds}	pF	0.07	0.21
g_m	mS	42	126
τ	ps	4.9	4.9
R_g	Ω	0.5	0.5
R_i	Ω	6.0	2.0
R_s	Ω	6.0	2.0
R_d	Ω	0.2	0.1
R_{ds}	Ω	900	300
L_g	nH	0.012	0.012
L_s	nH	0.005	0.01
L_d	nH	0.019	0.019

表 5.12　单元尺寸为 160 μm 的 0.15 μm 栅宽 pHEMT 器件的 EC 模型参数

参数	单位	VPA1-1未钝化器件模型	VPA1-2钝化器件模型
C_{gs}	pF	0.165996	0.142282
C_{gd}	pF	0.01222	0.017306
C_{ds}	pF	0.046298	0.046449
g_m	S	0.082643	0.074975
τ	ps	1.326755	1.199083
R_{ds}	Ω	255.8411	235.2786
R_i	Ω	2.761873	2.855210
R_g	Ω	1.016306	0.465033
R_d	Ω	0.732158	0.510000
R_s	Ω	0.500142	0.380000
L_g	nH	0.030750	0.023044
L_d	nH	0.030553	0.031925
L_s	nH	0.000399	0.002532

5.3.2　非线性模型

对于 0.15 μm 栅宽 pHEMT 器件，它的非线性模型已经发展起来[41]，如 Curtice 不对称模型（见图 5.7）。钝化和未钝化器件的模型参数值如表 5.13 所示。这两个模型的参数值都是由 60 GHz 测试数据得到的，性能测试结果和仿真结果非常一致。

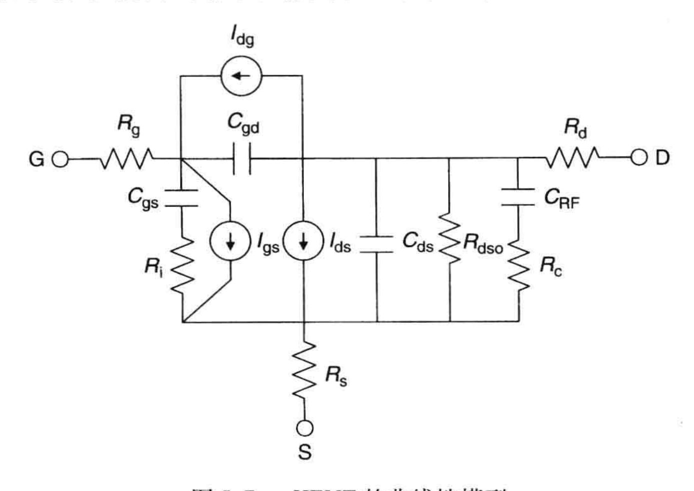


图 5.7　pHEMT 的非线性模型

表 5.13　0.15 μm 栅宽 pHEMT[a] 的非线性模型参数

(a) VPA1-1未钝化GaAs pHEMT器件模型2

A0 = 0.096068	A1 = 0.058977	A2 = − 0.041950	A3 = −0.024154	
BETA = 0.023429	GAMMA = 2.1651	C_{gs} = 0.151998	C_{gd} = 0.014300	C_{ds} = 0.045489
R_{dso} = 345.95	RIN = 2.761873	R1=140	R2= −74	RF = 48.3
TAU = 1.326755 ps	VBI = 0.76	VBR = 11	VDSO = 5.0	VDSDC = 5.0
R_c = −1050	C_{RF} = 10000	VTO = −1.4		

(b) VPA1-1钝化GaAs pHEMT器件模型2

A0 = 0.087875	A1 = 0.079742	A2 = −0.036464	A3 = −0.36464	
BETA = 0.019506	GAMMA = 2.1651	C_{gs} = 0.142282	C_{gd} = 0.017306	C_{ds} = 0.046449
R_{dso} = 219.92	RIN = 2.85521	R1 = 140	R2 = −74	RF = 48.3
TAU = 1.199083 ps	VBI = 0.76	VBR = 11	VDSO = 5.0	VDSDC = 5.0
R_c = −1050	C_{RF} = 10000	VTO = −1.4		

[a] 单元尺寸为 160 μm。单位：电阻为 Ω，电感为 nH，电容为 F，时间为 ps，电流为 A。

5.4 HBT 模型

一个 HBT 的小信号模型可以见 Bayraktaroglu 等人撰写的文章[42]，其结构如图 5.8 所示。60 μm发射极总体尺寸 npn 器件的 EC 模型参数如表 5.14 所示。发射极单元长度和斜度分别为 15 μm 和 4 μm。模型的典型偏置条件为 $V_{CE}=4$ V，$I_C=20$ mA。

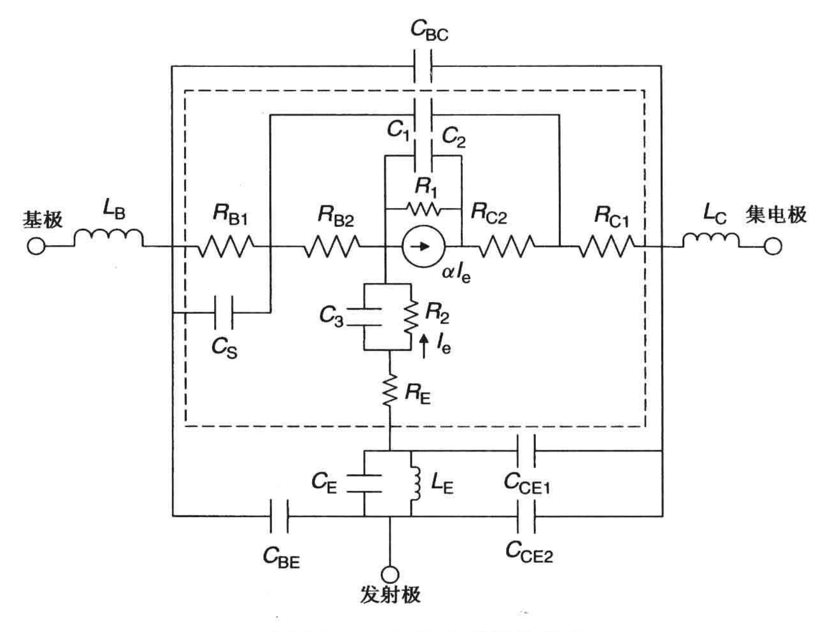


图 5.8　一个 HBT 的线性模型

表 5.14　60 μm 发射极总体尺寸 npn 的 EC 模型参数值

参数	值	参数	值
f_t	22 GHz	C_s	1.34 pF
f_{max}	40 GHz	R_{C1}	1 Ω
α_0	0.93	R_{C2}	4 Ω
τ	2 ps	R_E	8.5 Ω
f_b	65 GHz	C_{BC}	0.012 pF
C_1	0.06 pF	C_{BE}	0.022 pF
C_2	0.01 pF	C_{CE1}	0.012 pF
C_3	0.4 pF	C_{CE2}	0.06 pF
R_1	1.0×10^6 Ω	C_E	0.022 pF
R_2	10 Ω	L_B	0.165 nH
R_{B1}	17 Ω	L_E	0.032 nH
R_{B2}	27.5 Ω	L_C	0.06 nH

5.5 MOSFET 模型

MOSFET 的小信号 EC 模型与 MESFET 和 HEMT 一样，如表 5.15 所示。两种 MOSFET 器件的模型参数值摘要如表 5.15 所示。MOSFET1[43] 和 MOSFET2[44] 的栅长分别为 0.35 μm 和

0.25 μm，它们分别有 1 个和 4 个栅指。两器件的单位栅宽都为 50 μm。关于 MOSFET 模型更广泛的分析可见参考文献[45]。

表 5.15　MOSFET 器件的 EC 模型参数值

参数	单位	MOSFET1	MOSFET2
C_{gs}	pF	0.055	0.15
C_{gd}	pF	0.015	0.057
C_{ds}	pF	—	0.045
g_m	mS	9.3	29.5
τ	ps	—	—
R_g	Ω	8.4	4.1
R_i	Ω	29.6	1.0
R_s	Ω	3.1	1.1
R_d	Ω	3.1	10.6
R_{ds}	Ω	1000	305
L_g	nH	—	0.0001
L_s	nH	—	0.0174
L_d	nH	—	0.0001

图 5.9 所示为 0.4 μm 栅宽和 20 μm 单位栅宽 MOSFET 的简化 EC 模型。此模型忽略了器件电极和引线电感效应。提取得到的模型参数值的三个栅极总体尺寸分别为 200 μm、800 μm 和 2400 μm。器件的偏置电压 $V_{ds}=2.4$ V，$V_{gs}=1.2$ V。使用更多的平行指可以增大器件的尺寸。表 5.16 列出了 EC 模型参数值，数据表明参数随栅极总体尺寸变化等比例变化[46]。电容和 g_m 成正比，电阻和栅极总体尺寸成反比。

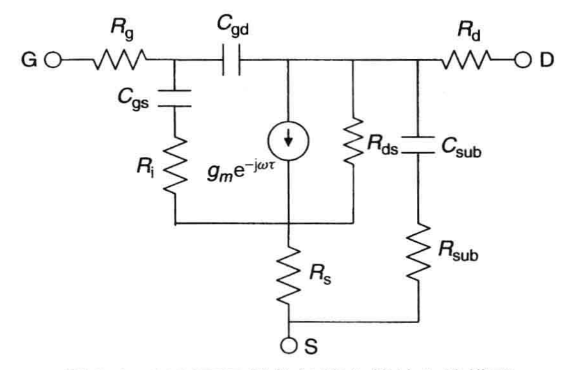


图 5.9　MOSFET 器件的简化等效电路模型

表 5.16　MOSFET 器件中成比例 EC 模型的参数

参数	单位	200 μm	800 μm	2400 μm
C_{gs}	pF	0.246	0.993	2.953
C_{gd}	pF	0.055	0.227	0.703
C_{sub}	pF	0.058	0.226	0.716
g_m	mS	42	170	513
R_g	Ω	12.7	3.3	1.3
R_i	Ω	9.9	2.7	0.8
R_s	Ω	7.8	1.9	0.6
R_d	Ω	6.5	1.8	0.7
R_{ds}	Ω	856	204	63
R_{sub}	Ω	158	82	35

5.6　BJT 模型

包括 Ebers-Moll(EM)、Gummel-Poon(GP)、垂直双极型互连模型(VBIC)、最精确模型(MEXTRAM)和高密度电流模型(HICUM)[46,47]在内的 Si 基晶体管(Si BJT 器件和 CMOS 器件，SiGe

HBT 器件)都是值得推荐的。在这些模型中，MEXTRAM 更高级一些，而HICUM是为 BJT 器件和 HBT[48] 器件共同开发的。诸如 EM 和 GP 模型在内的许多 HBT 特殊模型在基于 GaAs HBT 的电路中已经得到应用。同时，Si MOSFET 器件的许多模型也得到发展。在这些模型中，Berkeley 短沟道绝缘栅 FET(IGFET)模型(BSIM)和飞利浦公司开发的 MOS 模型及其不同版本都得到了应用。MOS 模型 11 是最流行的，其中 11 表示模型版本。在 Si 和 GaAs 二极管模型发展中使用的方法论得到小信号和大信号仿真的共同验证。好几家供应商为用户设计提供 Si BJT 和 CMOS 及 SiGe HBT 加工过程模型。

一个 Agilent/Avantek AT-60500 BJT 的小信号 EC 模型已经确立，如图4.4(见第4 章)所示。偏置在 $V_{CE}=8$ V 的晶体管，其集电极电流为 2 mA。典型的 EC 参数值为 $C_{bp}=0.055$ pF，$C_1=0.01$ pF，$C_2=0.039$ pF，$C_{ep}=0.026$ pF，$C_{be}=0.75$ pF，$R_{bc}=4.2\ \Omega$，$R_{ec}=0.66\ \Omega$，$R_1=7.5\ \Omega$，$R_2=10.3\ \Omega$，$R_e=12.9\ \Omega$，$R_c=5.0\ \Omega$，$\alpha_0=0.99$，$\tau_{ec}=6.9$ ps，以及$f_b=22.7$ GHz。

更多器件模型及其参数值请见参考文献[8]。

5.7 晶体管模型缩放

器件模型缩放概念已经应用于低噪声和功率晶体管中。器件栅极总体尺寸能通过增减单元数目或单元栅宽得到尺寸上的调整。缩放因子增大到50%时此方法仍然适用。大尺寸因此带来的阻性损耗和大相位不平衡会引起增益和功率的下降。通过适当的输入和输出馈电，并增加或减少单元的方法相对来说更加准确。

例如，一个 FET/HEMT 器件的 EC 模型参数相对 1 mm 归一化并且缩放到其他栅极总体尺寸。如果缩放因子大于2，需要对诸如 R_g、L_g、L_s 及 L_d 等缩放外在参数加倍注意。这些参数依赖于单位栅宽和指个数。当参数对 1 mm 归一化并且指个数保持不变时，对于其他尺寸的器件来说，缩放的参数之间存在这样的关系:电容、g_m、电感和 R_g 与栅极总体尺寸成正比;电阻与栅极总体尺寸成反比。当指个数也发生变化时，电容、g_m 参数与栅极总体尺寸成正比;电感、R_g 和电阻与栅极总体尺寸成反比。栅极电阻也依赖于指个数:

$$R_g^S = R_g\left(\frac{W^S}{W}\right)\left(\frac{n}{n^S}\right)^2 \tag{5.13}$$

其中 R_g、W 和 n 分别指一个 FET 模型的栅极阻抗、总体尺寸及指个数。R_g^S、W^S和 n^S分别指该 FET 模型缩放后的栅极阻抗、总体尺寸及指个数。

举个例子，将表 5.11 中 EC 模型对应 FET 的栅极总体尺寸从 900 μm 缩小到 600 μm，指个数为 8 且保持不变，仅缩小单位栅宽。使用一阶近似时，渡越时间可以认为不随栅极总体尺寸变化而变化。缩放后，这个栅极总体尺寸为 600 μm 的 FET 对应的 EC 模型参数值见表5.17。

表 5.17 栅极总体尺寸从 900 μm 缩小到 600 μm 的 FET EC 模型参数值缩放情况

$C_{gs}=\left(\frac{600}{900}\right)\times1.5$ pF/mm = 1.0 pF	$R_s=\left(\frac{900}{600}\right)\times2.0\ \Omega\cdot$mm = 3.0 Ω
$C_{gd}=\left(\frac{600}{900}\right)\times0.096$ pF/mm = 0.064 pF	$R_d=\left(\frac{900}{600}\right)\times0.1\ \Omega\cdot$mm = 0.15 Ω
$C_{ds}=\left(\frac{600}{900}\right)\times0.21$ pF/mm = 0.14 pF	$R_{ds}=\left(\frac{900}{600}\right)\times300\ \Omega\cdot$mm = 450 Ω
$g_m=\left(\frac{600}{900}\right)\times126$ mS/mm = 84 mS	$L_g=\left(\frac{600}{900}\right)\times0.012$ nH/mm = 0.008 nH
$R_g=\left(\frac{600}{900}\right)\times0.5\ \Omega\cdot$mm = 0.33 Ω	$L_s=\left(\frac{600}{900}\right)\times0.01$ nH/mm = 0.007 nH
$R_i=\left(\frac{900}{600}\right)\times2.0\ \Omega\cdot$mm = 3.0 Ω	$L_d=\left(\frac{600}{900}\right)\times0.019$ nH/mm = 0.013 nH

对于偏置在 10 V 并且工作在 AB/B 类的 GaAs 功率 FET，它的尺寸可调大信号简化 EC 近似

模型如图 5.10 所示。对于 X 波段的 FET，其各种电路元件可以近似表示为

$$R_{\mathrm{in}} = R_{\mathrm{g}} + R_{\mathrm{i}} + R_{\mathrm{S}} \approx \frac{1.5}{W} \quad (\Omega \cdot \mathrm{mm}) \tag{5.14a}$$

$$C_{\mathrm{gs}} \approx 1.2\,W \quad (\mathrm{pF/mm}) \tag{5.14b}$$

$$g_m \approx 55\,W \quad (\mathrm{mS/mm}) \tag{5.14c}$$

$$R_{\mathrm{o}} \approx \frac{110}{W} \quad (\Omega \cdot \mathrm{mm}) \tag{5.14d}$$

$$C_{\mathrm{ds}} \approx 0.2\,W \quad (\mathrm{pF/mm}) \tag{5.14e}$$

和

$$P_{1\,\mathrm{dB}} \approx 0.7\,W \quad (\mathrm{W/mm}) \tag{5.14f}$$

$$P_{\mathrm{sat}} \approx 0.8\,W \quad (\mathrm{W/mm}) \tag{5.14g}$$

其中 W 是毫米波功率 FET 的总体栅宽。例如，一个在 10 GHz 输出 2 W 功率的器件，其输入阻抗大约为 0.5 - j4 Ω，输出阻抗大约为 12.59 - j17.4 Ω。

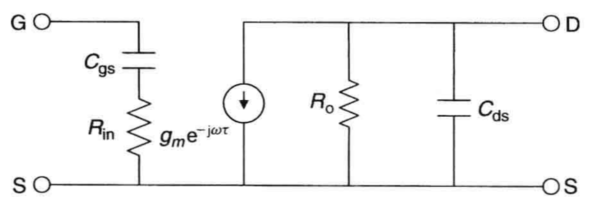


图 5.10 一个 FET 的简化大信号 EC 模型

5.8 源牵引和负载牵引数据

在设计高效率和线性功放时，设计者需要一个精确的非线性模型或精确的源牵引和负载牵引数据[49~55]。源牵引和负载牵引数据是由待测器件(device under test, DUT)在特殊应用中的最佳源和负载阻抗值，以及最佳值附近的其他阻抗性能点组成的。这些数据有利于功率放大器的匹配网络设计，而这种功率放大器可以在基频和谐波频率同时拥有合适的源和负载阻抗，从而获得最佳功率和 PAE，以及较好的 IM3/IM5 和 ACPR 性能。在理论或测试中均可以获得设计所需的晶体管阻抗。正如第 22 章所述，这些测试可以通过基片上使用 RF 探针的片上测试或者封装器件测试实现。尽管如此，对于获得源牵引数据，仍然没有简单的理论方案。

5.8.1 理论负载牵引数据

对于功率放大器，有一种简单的负载阻抗计算方法——工作电压与器件电流比(见第 8 章)。对输出功率的器件阻抗表示如图 5.11 所示。其中 R_{opt} 表示基于器件允许最大电流和电压摆动的最佳阻抗。如果用 Z_{D} 表示器件输入阻抗，那么负载阻抗可以表示为

$$Z_{\mathrm{L}} = Z_{\mathrm{D}}^{*} \tag{5.15}$$

其中星号表示复共轭值。器件阻抗能够写为

$$Z_{\mathrm{D}} = \frac{R'_{\mathrm{opt}} X_{\mathrm{C}}}{R'_{\mathrm{opt}} + X_{\mathrm{C}}} + R_{\mathrm{d}} + \mathrm{j}\omega L_{\mathrm{d}} \tag{5.16a}$$

其中

$$R'_{opt} = \frac{R_{opt}R_{ds}}{R_{opt} + R_{ds}} \quad \text{和} \quad X_C = -j/\omega C_{ds} \tag{5.16b}$$

由于米勒(Miller)效应的存在，可以使用 C'_{ds}代替式(5.16b)中的 C_{ds}以得到更精确的 X_C 值。

$$C'_{ds} = C_{ds} + C_{gd}(1 + 1/G) \tag{5.17}$$

其中 C_{gd}表示栅极和源极之间的电容，G 表示器件增益。

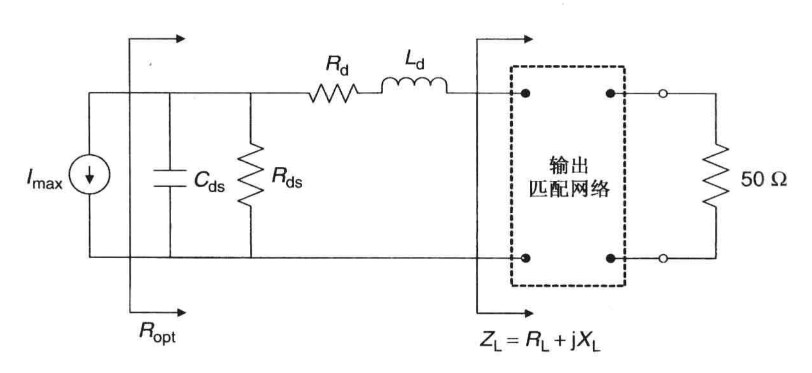


图 5.11 器件最佳阻抗表示

例 5.1 对于栅极总体尺寸为 1 mm 的功率 FET，在 V_{ds} =9 V 时，其 EC 模型参数如表 5.4 所示。当最大电流 I_{max} =0.27 A 时，计算此器件工作在 2 GHz 时的负载阻抗。器件在 2 GHz 时的功率增益为 13 dB。

解 在此，C_{gd} =0.063 pF，C_{ds} =0.2 pF，R_{ds} = 110 Ω，R_d =0.7 Ω，以及 L_d =0.005 nH。

$$\text{增益} = 13\ \text{dB} = 20$$
$$C'_{ds} = 0.2 + 0.063(1 + 1/20) = 0.266\ \text{pF}$$
$$X'_C = \frac{-j1000}{2\pi \times 2 \times 0.266} = -j299.16\ \Omega$$
$$\omega L_d = 2\pi \times 2 \times 0.005 = 0.063\ \Omega$$

使用式(5.15)和式(5.16a)，可以得到

$$Z_L = Z_D^* = 41.425 + j5.59\ \Omega$$
$$Y_L = 0.0237 - j0.0032\ \text{S}$$

当阻抗由 R_L 和 C_L 并联组成时(如图 5.17 所示)，

$$R_L = 1/0.0237 = 42.2\ \Omega$$
$$C_L = -0.0032/\omega = -0.255\ \text{pF}$$

获得负载阻抗的方法是用扩展方式评估负载牵引数据。在低频段，可以忽略负载阻抗中的电抗部分，因此负载牵引的效果很好。

接下来描述如何获得负载牵引的等值线。设最佳阻抗的实部为 R_{LO}，对于比 $-X$ dB 更低的功率，负载的大值和小值分别为 R_{LH}和 R_{LL}。将 X dB 转化为功率比($=10^{X/10}$)，R_{LH}和 R_{LL}能够表示为

$$R_{LH} = R_{LO}10^{X/10} \tag{5.18a}$$

$$R_{LL} = R_{LO}/10^{X/10} \tag{5.18b}$$

在史密斯圆图上，注意 R_{LL}常数阻抗等值线和 R_{LH}常数电导等值线，以及两者相交的部分。

X dB 等值线由两者相交的部分决定。上述方法不包括负载电抗部分引入的效应。在分析假设中，是将负载电容 C_L 引入输出匹配网络。更准确的程序如 Cripps 所述[56]。

例 5.2　在史密斯圆图上画出早先例子中得到的 Z_L。同时画出 −1 dB 和 −2 dB 的负载等值线。

解　在此

$$Z_L = 41.425 + j5.59\ \Omega \quad 和 \quad \overline{Z}_L = Z_L/50 = 0.8285 + j0.1118$$
$$Y_L = 0.0237 - j0.0032\ \mathrm{S} \quad 和 \quad \overline{Y}_L = Y_L/0.02 = 1.185 - j0.16$$

因为 Z_L 的实部比虚部大很多，在一阶近似中，虚部应该忽略。在这个例子中，

$$\overline{R}_{LH} = 0.8285 \times 10^{0.1} = 1.043 \quad (-1\ \mathrm{dB})$$
$$\overline{R}_{LL} = 0.8285 \times 10^{-0.1} = 0.658 \quad (-1\ \mathrm{dB})$$
$$\overline{R}_{LH} = 0.8285 \times 10^{0.2} = 1.313 \quad (-2\ \mathrm{dB})$$
$$\overline{R}_{LL} = 0.8285 \times 10^{-0.2} = 0.5227\ (-2\ \mathrm{dB})$$

图 5.12 所示为 Z_L 的 −1 dB 和 −2 dB 功率等值线。

除了输出功率与 PAE 以外，许多系统还要求改善 IM3/IM5 交调失真性能和 ACPR 性能。现在，一些源牵引和负载牵引技术能够在表征器件功率和 PAE 性能的同时表征器件的 ACPR 和 IM3/IM5。因此，在一些对输出功率、PAE、IP3 或 ACPR 有特殊要求的场合，有源器件的最佳源和负载条件也可以确定下来。

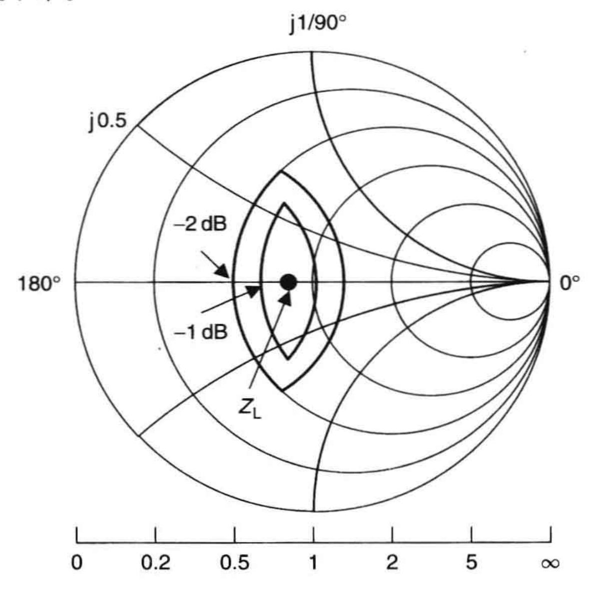


图 5.12　使用克里普斯(Cripps)方法绘制的 −1 dB 和 −2 dB 的功率等值线

5.8.2　测试功率和 PAE 的源牵引和负载牵引

源牵引和负载牵引测试始于精确测试设备的校准，以此建立待测器件工作频率处的确切参考阻抗和功率电平。为了得到器件在 3.8 GHz、8 GHz 和 12.5 GHz 的最大功率与 PAE，我们对不同尺寸的高 PAE FET 器件进行源牵引和负载牵引。对应 10 V 最佳功率和 PAE 的源阻抗与负载阻抗的平均值如下所示：

$$R_S = 6\ \Omega \cdot \text{mm} \quad 和 \quad C_S = -1.4\ \text{pF/mm}\ \text{(series)}$$
$$R_L = 59\ \Omega \cdot \text{mm} \quad 和 \quad C_L = -0.3\ \text{pF/mm}\ \text{(shunt)}$$

图5.13展示了工作在3.8 GHz、输入功率 P_{in} = 22 dBm、3.488 mm FET的负载牵引等值线（功率间隔为0.5 dB，PAE间隔为5%）。图5.14所示为 P_o 和PAE随输入功率变化的曲线，它们在最佳PAE处对应的值分别为34 dBm和62%。一般情况下，在最佳PAE匹配下的输出 R_L 的值比在最佳功率匹配下的输出 R_L 要大一些。

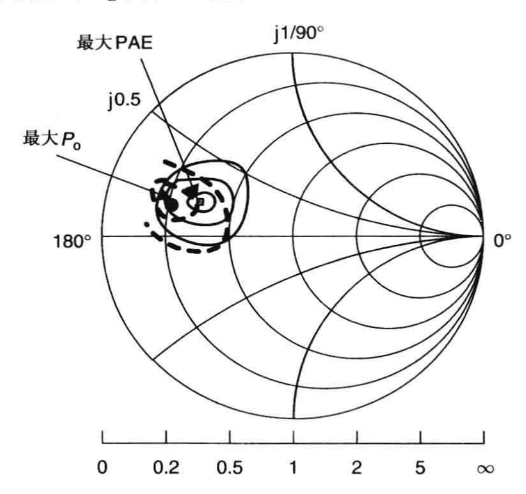


图5.13 偏置在10 V、20% I_{dss}的3.488 mm FET的负载牵引数据(f=3.8 GHz;功率间隔为0.5 dB,PAE间隔为5%)

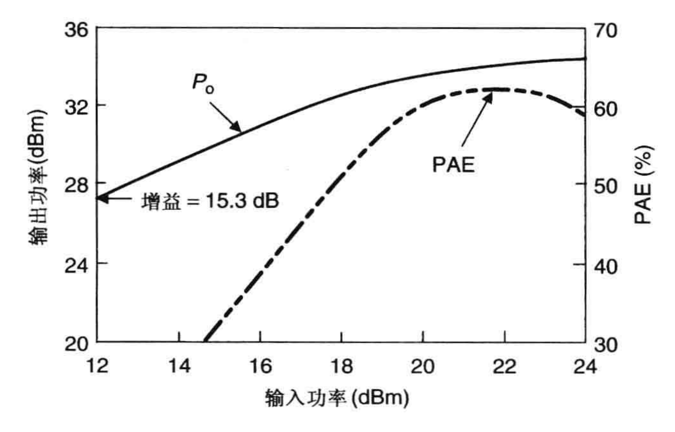


图5.14 当最佳PAE调整点偏置在10 V、20% I_{dss}及f=3.8 GHz时,输出功率和PAE随输入功率的变化情况

对于20 GHz的1.7×30 μm² HBT，我们测试了其对应于最大输出功率和最大PAE的源牵引与负载牵引数据。图5.15所示为对应不同源阻抗（功率间隔为0.1 dB，PAE间隔为0.2%）和负载阻抗（功率间隔为0.5 dB，PAE间隔为1%）的功率与PAE等值线。在 P_{in} = 10 dBm和 V_{CE} = 5 V时，输出功率和PAE的测试值分别为21.8 dBm和63.2%。最佳源阻抗值和负载阻抗值[57]分别为

$$R_S = 3.391\ \Omega \quad 和 \quad C_S = -0.034\ \text{pF}\ （串联）$$
$$R_L = 152.6\ \Omega \quad 和 \quad C_L = -0.1225\ \text{pF}\ （并联）$$

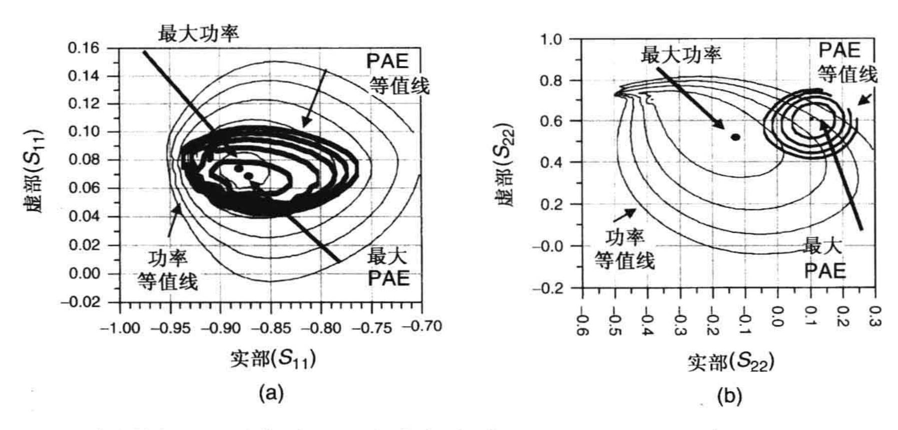


图 5.15 HBT 测试数据:(a)源牵引和(b)负载牵引(由 Northrop Grumman 公司的 A. K. Sharma 提供)

负载阻抗示例

下面的示例说明了对于各种器件的测试负载阻抗值。

器件类型	器件尺寸 (mm)	偏置 V, mA	频率 (GHz)	R_L (Ω)	C_L (pF)
MESFET	3.488	10, 200	3.8	21	−1.0
MESFET	0.625	10, 45	10	85	−0.19
MESFET	0.625	8, 50	20	72	−0.20
pHEMT	0.6	5,10	30	28.3	−0.20
HBT	0.03	5, 8.3	20	152.6	−0.123

5.8.3 测试 IP3 的源和负载阻抗

对于线性 MESFET(其 EC 模型参数如表 5.5 所示),测试了其最佳 IP3 对应的源牵引和负载牵引数据。不同尺寸和频率的几种器件得到测试。偏置 Q 点为 $V_{ds}=5$ V 和 $I_{ds}=200$ mA/mm。图 5.16 所示为 3.8 GHz、0.6 mm FET 的源牵引和负载牵引数据。源阻抗等效为电阻 R_S 和电容 C_S 的串联,负载阻抗等效为电阻 R_L 和电容 C_L 的并联,如图 5.17(b)所示。

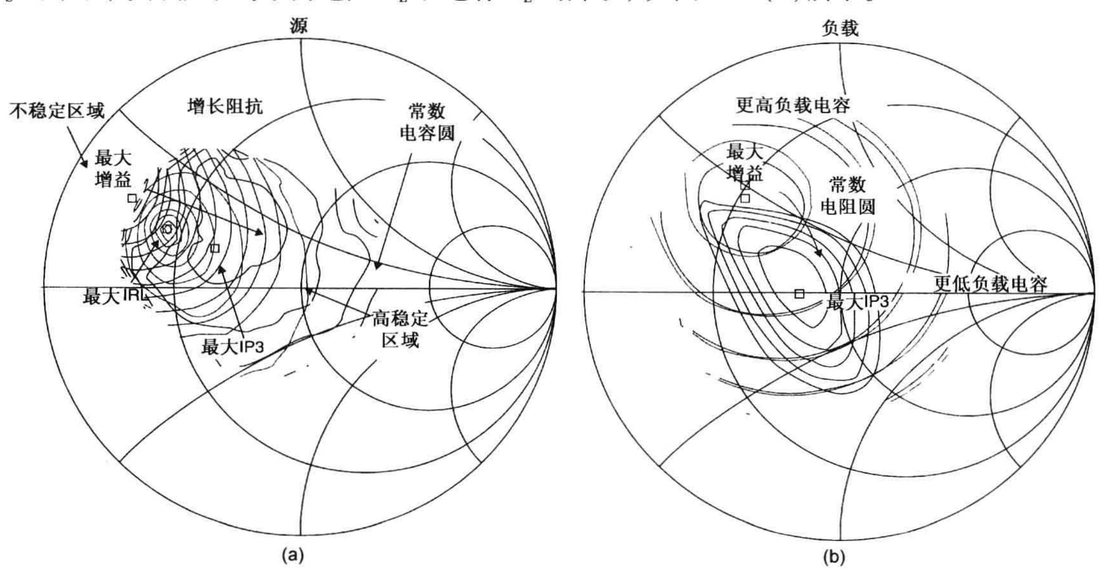


图 5.16 对偏置在 5 V、50% I_{dss}及 $f=3.8$ GHz 的 600 mm FET,其(a)源牵引数据和(b)负载牵引数据

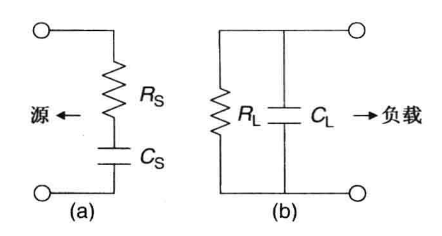


图 5.17 一个设备的最优 IP3 阻抗表述：(a)源和(b)负载

对于线性 MESFET，归一化(相对于 1 mm 器件尺寸)最佳 IP3 的源阻抗、负载阻抗和 IP3 值如下所示：

$$R_S = 12\ \Omega \cdot \text{mm} \quad 和 \quad C_S = -1.5\ \text{pF/mm}\ (串联) \tag{5.19}$$

$$R_L = 23\ \Omega \cdot \text{mm} \quad 和 \quad C_L = -0.33\ \text{pF/mm}\ (并联) \tag{5.20}$$

$$\text{IP3} = 41\text{dBm/mm} = 12.59\ \text{W/mm} \tag{5.21}$$

当 IP3 达到 43 dBm 和 15 GHz 时，此 IP3 模型仍然具有相当高的精度。

5.8.4 源和负载阻抗尺度变化

测试的源阻抗可以根据器件整体尺寸的变化进行缩放，负载阻抗也可以根据器件整体尺寸和栅极偏置电压的变化进行缩放。接下来介绍源和负载阻抗的尺度变化。

源阻抗尺度变化

对于一个源阻抗，可以由式(5.19)中阻抗 R_S 和电容 C_S 的串联来表示的高 IP3 器件。如果器件的整体尺寸需要放大到更大的值(W_g，单位为 mm)，改变尺寸后的源阻抗可以由计算得到：

$$R_S = 12/W_g\ \Omega \quad 和 \quad C_S = -1.55 \times W_g\ \text{pF}$$

负载阻抗尺度变化

例如，如果工作在 10 V 的 625 μm FET，其负载阻抗测量值等效表示为 $R_L = 90\ \Omega$ 的电阻和 $C_L = 0.19$ pF 的电容并联，那么其他尺寸 FET 的负载就可以用以下缩放公式进行计算：

$$R_L = \frac{90 \times 0.625 \times V_{ds}}{W_g \times 10}\quad \Omega \tag{5.22}$$

$$C_L = -\frac{0.19 \times W_g}{0.625}\quad \text{pF} \tag{5.23}$$

其中 W_g 是总的 FET 尺寸(mm)，V_{ds} 是工作的漏极电压(V)。一阶近似时，假设负载的电抗部分独立于漏极电压。式(5.20)中用负号表示感抗，例如，对于工作在 8 V 的 1 mm FET，R_L 和 C_L 的值分别为

$$R_L = 45\ \Omega \quad 和 \quad C_L = -0.304\ \text{pF}$$

工作电压为 6 ~ 10 V，栅极总体尺寸小于 3 mm，频率直到 20 GHz 且对 FET 的输出馈电进行对应的设计或尺度变化，利用以上尺寸缩放方法获得的负载阻抗是合理有效的。

下面，考虑前面部分描述的高 IP3 器件，我们假设用 5 V 电压供电，设计单级线性放大器，其输出 IP3 = 37 dBm (5.0 W)。使用式(5.21)可以计算出晶体管的总体尺寸如下：

$$W_g = 5.0/12.59\ \text{mm} = 0.4\ \text{mm}$$

使用式(5.20)计算的负载为

$$R_{\rm L} = 23/0.4\ \Omega = 57.5\ \Omega \quad 和 \quad C_{\rm L} = -0.33 \times 0.4\ \text{pF} = -0.132\ \text{pF}$$

5.9 依赖温度的模型

放大器的温度依赖性可以使用不同温度下 S 参数的测试数据或依靠温度的模型进行计算。许多器件模型都属于依靠温度这种类型，尤其是双极型晶体管。取决于温度的晶体管 EC 模型参数主要是 g_m 。由于放大器增益会随温度线性变化，因此 g_m 的一阶近似可以认为是温度的线性函数，也就是

$$g_{mT} = g_{m25}[(25 - T)a + 1] \tag{5.24}$$

其中 g_{mT} 和 g_{m25} 分别是温度为 T 和25°时的 g_m 值，a 是温度系数。对于5.2.1 节介绍的低噪声器件，a =0.0011，温度效应的计算可以将 g_m 视为EC 模型中的变量来进行，正如第3 章和第16 章讨论的，温度也会影响晶体管的内建电压和漏极电流。

本章描述与放大器设计相关的晶体管模型(包括 EC、源牵引和负载牵引)，讨论了器件从一个尺寸变化为另一个尺寸的模型参数缩放。本章介绍的数据将会在全书的设计例子和设计习题中使用。

参考文献

1. H. Fukui (Ed.), *Low-Noise Transistors and Amplifiers*, IEEE Press, New York, 1981.
2. P. H. Ladbrooke, *MMIC Design: GaAs FETs and HEMTs*, Artech House, Norwood, MA, 1989.
3. J. M. Golio, *Microwave MESFETs and HEMTs*, Artech House, Norwood, MA, 1991.
4. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993, Chapter 3.
5. R. Anholt, *Electrical and Thermal Characterization of MESFETs, HEMTs and HBTs*, Artech House, Norwood, MA, 1995.
6. P. J. C. Rodrigues, *Computer-Aided Analysis of Nonlinear Microwave Circuits*, Artech House, Norwood, MA, 1998.
7. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.
8. G. D. Vendelin et al., *Microwave Circuit Design Using Linear and Nonlinear Techniques*, John Wiley & Sons, Hoboken, NJ, 2005.
9. Advanced Design System, *ADS Users' Manual*, Agilent EEsof EDA, Palo Alto, CA.
10. *Microwave Office Users' Manual*, Applied Wave Research Inc., El Segundo, CA.
11. *Ansoft Designer Users' Manual*, Ansoft Corp., Pittsburgh, PA.
12. *APLAC 7.91 Users' Manual*, APLAC Solutions Corp., Espoo, Finland.
13. *LINMIC 6.2 USERS' MANUAL*, AC Microwave GmbH, Aachen, Germany.
14. *MIMICAD Users' Manual*, Optotek Ltd., Ottawa, Ontario, Canada.
15. *WaveMaker*, Barnard Microsystems Ltd., London, United Kingdom.
16. V. Rizzoli, A. Lipparini, and E. Marazzi, A General-purpose program for nonlinear microwave circuit design, *IEEE Trans. Microwave Theory Tech.*, Vol. 31, pp. 762–770, September 1983.
17. A. Materka and T. Kacprzak, Computer calculation of large-signal GaAs FET amplifier characteristics, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-33, pp. 129–135, February 1985.

18. W. R. Curtice and M. Ettenberg, A nonlinear GaAs FET model for use in the design of output circuits for power amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-33, pp. 1383–1394, December 1985.
19. D. Estreich, Nonlinear modeling for MMICs, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 93–96, 1987.
20. W. R. Curtice, GaAs MESFET modeling and nonlinear CAD, *IEEE Trans. Microwave Theory Tech.*, Vol. 36, pp. 220–230, February 1988.
21. R. J. Trew, MESFET models for microwave CAD applications, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 1, pp. 143–158, April 1991.
22. M. B. Steer, C.-R. Chang, and G. W. Rhyne, Computer-aided analysis of nonlinear microwave circuits using frequency-domain nonlinear analysis techniques: the state of the art, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 1, pp. 181–200, April 1991.
23. D. E. Root, S. Fan, and J. Meyer, Technology independent non quasi-static FET models by direct construction from automatically characterized device data, in 21st *European Microwave Conference Proceedings*, pp. 927–932, 1991.
24. F. Filicori, G. Vannini, and V. A. Monaco, A nonlinear integral model of electron devices for HB circuit analysis, *IEEE Trans. Microwave Theory Tech.*, Vol. 40, pp. 1456–1465, July 1992.
25. I. Angelov, H. Zirath, and N. Rosman, A new empirical nonlinear model for HEMT and MESFET devices, *IEEE Trans. Microwave Theory Tech.*, Vol. 40, pp. 2258–2266, December 1992.
26. G. Crupi et al., On the small signal modeling of advanced microwave FETs: a comparative study, *Int. J. RF and Microwave Computer-Aided Eng.*, Vol. 18, pp. 417–425, September 2008.
27. Special Issue on Computer-Aided Design of Nonlinear Microwave Circuits, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 6, 1996.
28. Special Issue on Optimization-Oriented Microwave Computer-Aided Design, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 7, 1997.
29. F. Bonani et al., Physics-based large-signal sensitivity analysis of microwave circuits using technological parametric sensitivity from multidimensional semiconductor device model, *IEEE Trans. Microwave Theory Tech.*, Vol. 45, pp. 846–854, 1997.
30. I. J. Bahl, Monolithic microwave integrated circuits, in *Encyclopedia of RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 3213–3238.
31. P. Colantonio, F. Giannini, and E. Limiti, Microwave power amplifiers, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2871–2905.
32. I. Bahl, G. Lewes, and J. Jorgenson, Automatic testing of MMIC wafers, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 1, pp. 77–89, January 1991.
33. R. A. Pucel et al., Signal and noise properties of gallium arsenide field-effect transistor, in *Advances in Electronic and Electron Physics*, Vol. 38, Academic Press, New York, 1975, pp. 145–265.
34. H. Fukui, Design of microwave GaAs MESFET's for broad-band low-noise amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-27, pp. 643–650, July 1979. Also see addendum, Vol. MTT-29, p. 1119, October 1981.
35. H. Fukui, The noise performance of microwave transistors, *IEEE Trans. Electron Devices*, Vol. ED-33, pp. 329–341, 1986.
36. M. S. Gupta et al., Microwave noise characterization of GaAs MESFETs: evaluation by on-wafer low-frequency output noise current, *IEEE Trans. Microwave Theory Tech.*, Vol. 35, pp. 1208–1218, December 1987.

37. D. Willems, I. Bahl, and E. Griffin, Accurate design of multi-port low noise MMICs up to 20GHz, *SPIE*, Vol. 1475, pp. 55–61, 1991.
38. J. Gao et al., A new method for pHEMT noise-parameter determination based on 50-Ω noise measurement system, *IEEE Trans. Microwave Theory Tech.*, Vol. 51, pp. 2079–2089, October 2003.
39. A. E. Geissberger, I. J. Bahl, E. L. Griffin, and R. A. Sadler, A new refractory self-aligned gate technology for GaAs microwave power FETs and MMICs, *IEEE Trans. Electron Devices*, Vol. 35, pp. 615–622, May 1988.
40. I. Bahl, Ku-band MMIC power amplifiers developed using MSAG MESFET technology, *Microwave J.*, Vol. 49, pp. 56–82, February 2006.
41. A. K. Sharma et al., A V-band high-efficiency pseudomorphic HEMT monolithic power amplifier, *IEEE Trans. Microwave Theory Tech.*, Vol. 42, pp. 2603–2609, December 1994.
42. B. Bayraktaroglu, N. Camilleri, and S. A. Lambert, Microwave performances of npn and pnp AlGaAs/GaAs heterojunction bipolar transistors, *IEEE Trans. Microwave Theory Tech.*, Vol. 36, pp. 1869–1873, December 1988.
43. A. E. Schmitz et al., A deep-submicrometer microwave/digital CMOS/SOS technology, *IEEE Electron Device Lett.*, Vol. 12, pp. 16–17, January 1991.
44. M. H. Hanes et al., MICROX^{TM}—an all-silicon technology for microwave integrated circuits, *IEEE Electron Device Lett.*, Vol. 14, pp. 219–221, 1993.
45. R. S. Gupta, M. Gupta, and M. Saxena, MOSFET Modeling, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 3278–3317.
46. A. Raghavan, N. Srirattana, and J. Laskar, *Modeling and Design Techniques for RF Power Amplifiers*, John Wiley & Sons, Hoboken, NJ, 2008.
47. P. H. Aaen, J. A. Pla, and J. Wood, *Modeling and Characterization of RF and Microwave Power FETs*, Cambridge University Press, Cambridge, UK, 2007.
48. J. McMacken et al., HBT modeling, *IEEE Microwave Mag.*, Vol. 9, pp. 48–72, April 2008.
49. R. S. Tucker and P. D. Bradley, Computer-aided error correction of large-signal load-pull measurements, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-32, pp. 296–300, March 1984.
50. B. Hughes, A. Ferrero, and A. Cognata, Accurate on-wafer power and harmonic measurements of MM-wave amplifiers and devices, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1019–1022, 1992.
51. M. Demmler, B. Hughes, and A. Cognata, A 0.5–50GHz on-wafer, intermodulation, load-pull and power measurement system, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1041–1044, 1995.
52. F. M. Ghannouchi, G. Zhao, and F. Beauregard, Simultaneous load-pull of intermodulation and output power under two-tone excitation of accurate SSPA's design, *IEEE Trans. Microwave Theory Tech.*, Vol. 42, pp. 929–934, June 1994.
53. P. Berni et al., An experimental study of the effects of harmonic loading on microwave MESFET oscillators and amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. 42, pp. 963–950, June 1994.
54. M. Nebus et al., Improvement of the active load-pull technique for the optimization of high power communication SSPAs, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 5, pp. 169–160, July 1995.
55. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
56. S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House, Norwood, MA, 1999.
57. M. V. Aust, A. K. Sharma, A. L. Gutierrez-Aitken, M. Demmler, B. Hughes, and A. Cognata, A 0.5–50GHz on-wafer, intermodulation, load-pull and power measurement system, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1041–1044, 1995.

习题

5.1 描述 EC 模型技术的优、缺点。

5.2 对于 300 μm 的低噪声晶体管，S 参数见表 5.1(a)，提取图 5.2 的 EC 模型参数值。

5.3 600 μm 栅宽器件的 EC 模型参数见表 5.5，确定 1 mm 栅宽器件的 EC 模型参数。同时，分别在 5 GHz、10 GHz、15 GHz 和 20 GHz 时，比较两种器件的增益(dB)和 K 因子。关于 K 因子的计算见第 17 章，假设两个 FET 的指个数相同。

5.4 作为一个例子，栅极外围大小为 600 μm 的 FET 或者 HEMT，偏置电压为 10 V，其负载为 85 Ω 的电阻(R_L)与 -0.2 pF 的电容(C_L)的并联组合。计算频率为 10 GHz 时的负载阻抗(Z_L)和负载导纳(Y_L)，以及偏置电压为 8 V、频率为 5 GHz 时的 Z_L 和 Y_L。

5.5 栅极外围大小为 600 μm 的器件的 EC 模型参数如表 5.5 所示，IP3 模型参数如 5.8.3 节中所述。计算输出 IP3 = 43 dBm 时所需的器件的大小及相应的 EC 参数。并计算频率为 5 GHz 时的 Z_S 和 Z_L。

5.6 讨论在放大器的设计过程中，缩放器件模型的利弊。

5.7 讨论在放大器的设计过程中，EC 模型相对 S 参数的优、缺点。

5.8 如果图 5.2 中所示的 EC 模型被置于一个 50 Ω 的源和负载阻抗之间，并且电阻、电容和电感的影响都可以忽略，证明

$$|S_{21}| = 100g_m$$

并利用 $100g_m$ 计算表 5.5 中不同大小的 FET 的 EC 模型的 S_{21} 参数(以 dB 为单位)。

第6章　匹配电路的元件

在放大器模块中，除了晶体管之外，阻抗匹配元件就是最重要的了。它们的首要功能是在工作频带内，把50 Ω的阻抗变换到期望的晶体管的输入/输出接口阻抗上，这一章将论述这些元件和它们的模型。

6.1　阻抗匹配元件

一个阻抗匹配网络通常由分布元件构成［见图6.1(a)］，或者由集总元件构成［见图6.1(b)］，或者是两者混和在一起构成[1~6]。微带线和共面波导(CPW)是微波集成电路中的基本分布元件。很多其他的无源电路，比如电桥、耦合器、巴伦和放大器中的功率合成一般都由微带传输线构成。这些元件将在第19章进行简要的介绍。为了实现紧凑的放大器电路，集总匹配网络和集总-分布匹配网络常用于实现将器件阻抗变换到50 Ω。除了以上这些元件，MEMS也可以用在功放的设计中。

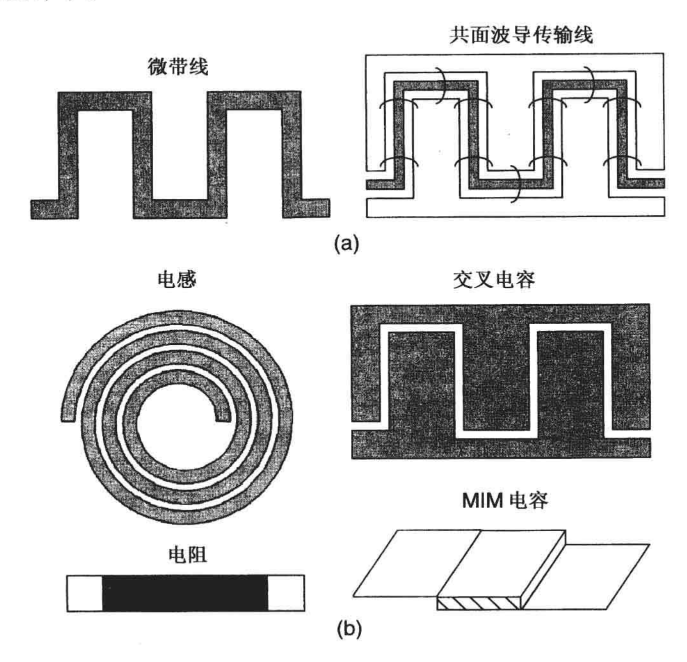


图6.1　(a)微带线和共面波导分布匹配元件；(b)电感、电阻、电容集总匹配元件

20世纪80年代到90年代期间，主要的工作就是研究准确而又全面的无源电路模型及利用CAD工具来综合它们。模型和CAD工具在RF、微波电路的成功发展(包括功放的发展)中起到了重要作用，线性模型的概览在图6.2中给出。无源元件模型的电磁兼容仿真已经出现在CAD工具中，将在第15章进行简要介绍。读者可以查阅参考文献[4]和[6]来学习无源匹配网络的全面模型设计。

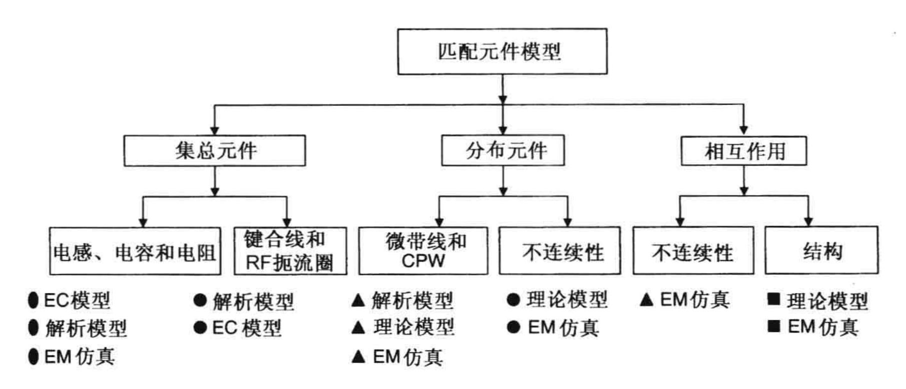


图 6.2　放大器匹配元件概览

6.2　传输线匹配元件

在 MIC 和 MMIC 中，一个原则性的要求就是构件应该是平面结构，这样传输线结构就很适合用于匹配电路。平面型的几何结构意味着元件的性能可以由信号层的尺寸来决定。微带线和共面波导是匹配网络的基本模块，其中微带线在设计元件、匹配网络和元件连接中是最重要的传输线。

6.2.1　微带线

由于微带线的准 TEM 波特性和良好的布线灵活度，所以是射频和微波电路中使用最多的传输介质。当微带线节尺寸降低到比波长短得多时，就可以将其视为集总元件。因此许多集总元件的设计基础就是基于微带结构，带有物理参数 ε_{re}的微带线横截面图展示在图 6.3 中。有效介电常数 ε_{re}的概念和电场、磁场的分布也同时给出。设计参数有导体宽度 W、厚度 t、基底介电常数 ε_r、高度 h。设计这些传输线的最重要参数就是特征阻抗(Z_0)、相对介电常数、衰减常数(α)、不连续电抗。微带线设计的完整参数信息请见参考文献[4～6]，下面将给出特征阻抗、有效介电常数、衰减常数的闭合表达式。

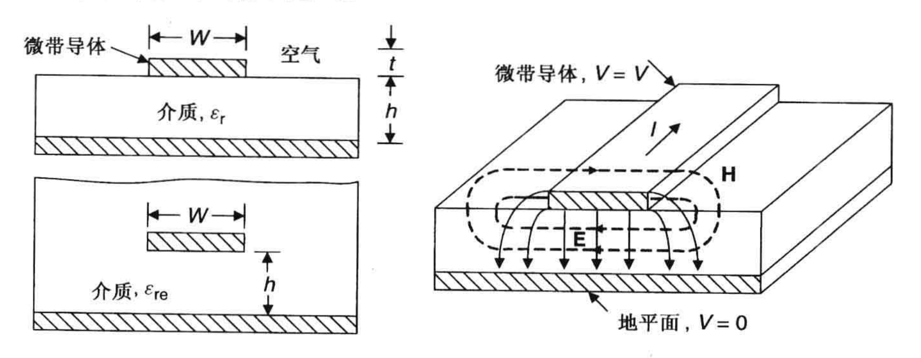


图 6.3　微带结构中的有效介电常数概念，同时也给出电场磁场分布图

特征阻抗与有效介电常数

当导体厚度 $t=0$ 时，Z_0 和 ε_{re}的闭合表达式是

$$Z_0=\frac{\eta}{2\pi\sqrt{\varepsilon_{re}}}\ln\left(\frac{8h}{W}+0.25\frac{W}{h}\right)\qquad (W/h\leqslant 1)\tag{6.1a}$$

$$Z_0=\frac{\eta}{\sqrt{\varepsilon_{\mathrm{re}}}}\left\{\frac{W}{h}+1.393+0.667\ \ln\left(\frac{W}{h}+1.444\right)\right\}^{-1}\quad(W/h\geqslant 1)\tag{6.1b}$$

当 $\eta=120\pi\,\Omega$，

$$\varepsilon_{\mathrm{re}}=\frac{\varepsilon_{\mathrm{r}}+1}{2}+\frac{\varepsilon_{\mathrm{r}}-1}{2}F(W/h)\tag{6.2}$$

$$F(W/h)=\begin{cases}(1+12h/W)^{-1/2}+0.041(1-W/h)^2 & (W/h\leqslant 1)\\(1+12h/W)^{-1/2} & (W/h\geqslant 1)\end{cases}\tag{6.3}$$

单位长度的微带线电容 C(F/单位长度)、电感 L(H/单位长度)是

$$C=\sqrt{\varepsilon_{\mathrm{re}}}/(Z_0c)\tag{6.4a}$$

$$L=Z_0\sqrt{\varepsilon_{\mathrm{re}}}/c\tag{6.4b}$$

c 是光速。低阻抗线(宽线)是电容性的，高阻抗线(窄线)是电感性的。

例 6.1　两条宽度分别是 25 μm、500 μm，长度都是 1 mm 的微带线。计算它们的电容和电感(在 250 μm 厚的氧化铝基底上，$\varepsilon_{\mathrm{r}}=9.9$)。

解　因为 $W/h=25/250=0.1$，利用式(6.2)和式(6.3)，可以得到

$$F(W/h)=0.1322,\ \varepsilon_{\mathrm{re}}=6.04,\ \sqrt{\varepsilon_{\mathrm{re}}}=2.4573$$

根据式(6.1a)，$Z_0=107\ \Omega$。

根据式(6.4a)，利用 $c=3\times10^{11}$ mm/s、电容 C(F/mm)乘以 1 mm 得到总电容 C_{t}：

$$C_{\mathrm{t}}=C\times 1\ \mathrm{mm}=2.4573/(107\times 3\times 10^{11})\ \mathrm{F}=0.077\ \mathrm{pF}$$

根据式(6.4b)，总电感 L_{t} 由电感 L(H/mm)乘以 1 mm 得到：

$$L_{\mathrm{t}}=L\times 1\ \mathrm{mm}=107\times 2.4573/(3\times 10^{11})\ \mathrm{H}=0.876\ \mathrm{nH}$$

同样，对于 $W/h=500/250=2$，

$$F(W/h)=0.378,\quad \varepsilon_{\mathrm{re}}=7.13,\quad \sqrt{\varepsilon_{\mathrm{re}}}=2.6706,\quad Z_0=33.468\ \Omega$$
$$C_t=C\times 1\ \mathrm{mm}=2.6706/(33.468\times 3\times 10^{11})\ \mathrm{F}=0.266\ \mathrm{pF}$$
$$L_{\mathrm{t}}=L\times 1\ \mathrm{mm}=33.468\times 2.6706/(3\times 10^{11})\ \mathrm{H}=0.2979\ \mathrm{nH}$$

因此宽线的电容是窄线的 3 倍，窄线的电感是宽线的 3 倍。

微带传输线的最大工作频率由以下几个因素限制，包括寄生模式的出现，更高的损耗，显著的不连续电抗效应，由于不连续性导致的辐射使得 Q 值低，色散效应，制造误差，以及工艺流程。占主导的准 TEM 模式和最低阶表面波寄生模式发生耦合的频率由下式[4]给出：

$$f_{\mathrm{T}}=\frac{150}{\pi h}\sqrt{\frac{2}{\varepsilon_{\mathrm{r}}-1}}\arctan\varepsilon_{\mathrm{r}}\tag{6.5a}$$

这里 f_{T} 的单位是 GHz，h 的单位是 mm，反正切的单位是弧度。

例 6.2　计算微带电路的最大工作频率，此微带电路设计在 25 mil 厚的氧化铝基底上，$\varepsilon_{\mathrm{r}}=9.9$。

解　微带电路的最大工作频率是当微带电路不能再支持准 TEM 波传输时得到的，由式(6.5a)给出：

$$f_{\mathrm{T}}=\frac{150}{3.1416\times 0.635}\sqrt{\frac{2}{9.9-1}}\arctan 9.9$$
$$f_{\mathrm{T}}=75.19\times 0.474\times 1.47=52.4\ \mathrm{GHz}$$

为了避免微带线高阶模式的出现，可以让微带线工作在低于第一高阶模式的截止频率，近似地由下式给出：

$$f_c = \frac{300}{\sqrt{\varepsilon_r}(2W + 0.8h)} \tag{6.5b}$$

f_c 的单位是 GHz，W 和 h 的单位是 mm，这种近似对于宽微带导体的低阻抗线是很合适的。

已经报道了几种不同类型的微带线用来提高放大器的性能，这其中包含多层微带，可以通过多层微带降低输出网络的损耗，以及使用缺陷接地结构（DGS）通过谐波阻抗提高 PAE。多层微带将在第 10 章讨论，DGS 由于高损耗和复杂的封装而未被普及。

微带损耗

微带结构中的衰减由两种损耗引起：导体损耗和介质损耗。导体损耗是由于金属带和地平面的有限阻抗引起的，介质损耗是由于基底的损耗角引起的。单位长度的导体损耗（α_c）和介质损耗（α_d）由下式给出：

$$\alpha_c = 0.072\frac{\sqrt{f}}{WZ_0} \tag{6.6a}$$

$$\alpha_d = 27.3\frac{\varepsilon_r}{\varepsilon_r - 1}\frac{\varepsilon_{re} - 1}{\sqrt{\varepsilon_{re}}}\frac{\tan\delta}{\lambda_0} \tag{6.6b}$$

这里 λ_0 是真空中的波长，f 是工作频率（单位是 GHz），$\tan\delta$ 是介质基底的损耗正切，W 是微带的宽度。式（6.6a）是一个近似，更精确的 α_c 公式见参考文献[4]。

一般情况下，对于像氧化铝、AlN、BeO 这样的介质基底，介质损耗相对于导体损耗来说很小，然而对于硅基底（用做 MMIC），这两种损耗在一个数量级上，有时候介质损耗要大于导体损耗，因为硅基是低电阻率材料。然而，高电阻率可以在 GaAs 半导体介质中获得，由于使用这种材料其介质损耗就会很小。在给定频率上总的损耗是两种损耗相加的结果：

$$\alpha_T = \alpha_c + \alpha_d \tag{6.6c}$$

表 6.1 总结了 10 GHz 时几种不同线宽和基底材料的微带特性。导体厚度 t、基底厚度 h、损耗正切 $\tan\delta$ 的值分别是 5 μm、381 μm、0.0005。

微带的不连续性

在微波电路中，分布元件之间、集总元件之间及分布元件与集总元件之间总是存在不连续性[4]。这些不连续性发生在节点处，这是由于此处磁场与电场的分布扰动所致。当两个无源元件（例如微带和导线，微带与 MIM 电容，微带与 CPW 线，串联与并联微带传输线）相连时，由于此处有不同的场结构，即使它们都支持 TEM 波或是准 TEM 波，结的不连续还会发生。如果连接处主要是磁场不同，则不连续是感性的；当主要是电场不同时，连接处的不连续是容性的。

图 6.4 中展现了典型的不连续情况，（a）开路，（b）导体间隙，（c）尺寸的逐步变化（引入了阻抗的变化），（d）弯曲部（直角或其他），（e）T 形结，（f）交叉结。多数情况下不连续一般表现为额外的电抗。不连续在电路中的表现为

- 窄带电路中的频率响应漂移
- 输入和输出电压驻波比的降低
- 宽带集成电路的增益平坦度低，高纹波
- 在多级放大器中的接口问题
- 低成品率，这是由于电路性能的降低
- 表面波和辐射耦合可能导致高增益放大器振荡

表 6.1　微带线数据

(a) $\varepsilon_r = 2.2$

W (μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
50	0.13	183.9	1.66	0.122	0.002	0.079
75	0.20	166.7	1.68	0.099	0.003	0.072
100	0.26	154.2	1.69	0.086	0.003	0.067
125	0.33	144.3	1.70	0.077	0.003	0.063
150	0.39	136.2	1.71	0.070	0.003	0.059
200	0.52	123.3	1.73	0.062	0.004	0.054
250	0.66	113.4	1.74	0.056	0.004	0.050
300	0.79	105.3	1.75	0.052	0.004	0.046
400	1.05	92.6	1.78	0.047	0.005	0.041
500	1.31	83.0	1.80	0.045	0.005	0.037
750	1.97	66.6	1.84	0.041	0.007	0.030
1000	2.62	55.9	1.87	0.039	0.008	0.025
1500	3.94	42.6	1.92	0.037	0.011	0.020
2000	5.25	34.5	1.96	0.036	0.014	0.016
3000	7.87	25.2	2.00	0.035	0.019	0.012
4000	10.50	19.8	2.04	0.035	0.024	0.009

(b) $\varepsilon_r = 4.3$

W (μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
25	0.07	164.6	2.75	0.214	0.003	0.091
50	0.13	142.2	2.82	0.159	0.004	0.080
75	0.20	128.5	2.86	0.130	0.004	0.072
100	0.26	118.6	2.89	0.112	0.005	0.067
125	0.33	110.9	2.92	0.100	0.005	0.063
150	0.39	104.5	2.95	0.092	0.005	0.060
200	0.52	94.4	2.99	0.081	0.006	0.054
250	0.66	86.6	3.03	0.074	0.007	0.050
300	0.79	80.3	3.07	0.069	0.007	0.047
400	1.05	70.4	3.13	0.064	0.008	0.042
500	1.31	63.0	3.19	0.061	0.009	0.038
750	1.97	50.2	3.31	0.057	0.012	0.030
1000	2.62	42.0	3.41	0.054	0.015	0.026
1500	3.94	31.8	3.55	0.052	0.020	0.020
2000	5.25	25.7	3.65	0.051	0.025	0.016

(c) $\varepsilon_r = 6.7$

W (μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
10	0.03	159.4	3.87	0.377	0.004	0.105
25	0.07	136.8	4.02	0.258	0.005	0.091
50	0.13	118.0	4.14	0.192	0.006	0.080
75	0.20	106.5	4.21	0.157	0.006	0.073
100	0.26	98.2	4.27	0.136	0.007	0.068
125	0.33	91.7	4.33	0.122	0.008	0.064
150	0.39	86.4	4.37	0.112	0.008	0.060
200	0.52	78.0	4.45	0.099	0.009	0.055
250	0.66	71.5	4.52	0.091	0.010	0.051
300	0.79	66.2	4.58	0.085	0.011	0.047
400	1.05	58.0	4.70	0.079	0.012	0.042
500	1.31	51.8	4.81	0.076	0.014	0.038
750	1.97	41.3	5.02	0.071	0.018	0.031
1000	2.62	34.4	5.19	0.068	0.022	0.026
1500	3.94	26.0	5.45	0.065	0.030	0.020
2000	5.25	21.0	5.63	0.064	0.038	0.017

（续表）

(d) $\varepsilon_r = 9.9$

W (μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
10	0.03	134.6	5.50	0.447	0.006	0.105
25	0.07	115.3	5.73	0.307	0.007	0.092
50	0.13	99.3	5.92	0.229	0.008	0.080
75	0.20	89.5	6.04	0.187	0.009	0.073
100	0.26	82.5	6.14	0.162	0.010	0.068
125	0.33	77.1	6.22	0.146	0.011	0.064
150	0.39	72.6	6.29	0.134	0.012	0.061
200	0.52	65.5	6.42	0.118	0.013	0.055
250	0.66	60.0	6.53	0.108	0.014	0.051
300	0.79	55.6	6.63	0.101	0.015	0.048
400	1.05	48.7	6.83	0.096	0.018	0.042
500	1.31	43.5	7.00	0.093	0.020	0.038
750	1.97	34.6	7.35	0.087	0.026	0.031
1000	2.62	28.8	7.62	0.084	0.032	0.027
1500	3.94	21.7	8.03	0.080	0.043	0.021
2000	5.25	17.5	8.32	0.079	0.055	0.017

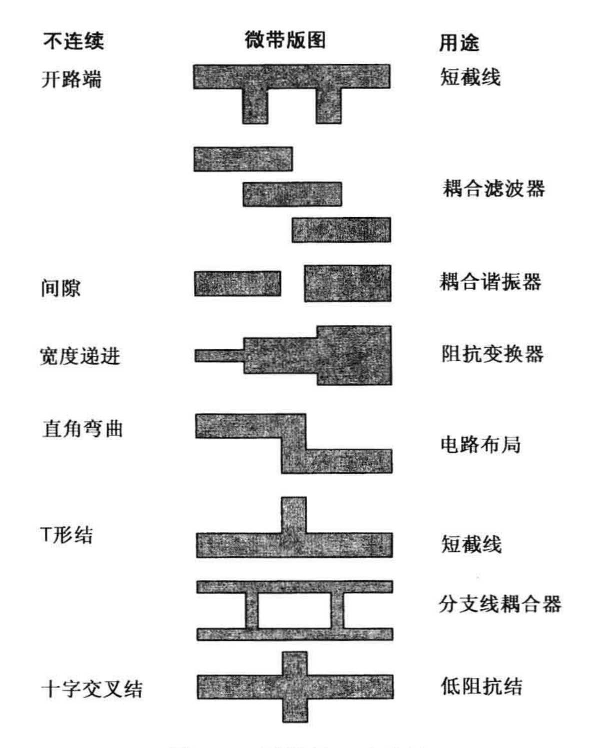


图 6.4　微带的不连续性

在高频时，不连续的影响变得越来越明显，对于不连续的情况，要么在设计时就仔细考虑，要么在最后的设计阶段进行补偿。要全面理解电路中不连续的存在对微波电路性能的要求。图 6.5(a)给出了广泛使用的针对不连续的补偿技术。一般来说，补偿不连续可以提高电路性能，同时也能提高带宽。经常使用的是“去角”技术，这种技术通过移除不连续地方的部分微带导体来使不连续电抗最小。不连续的影响也可以用高阻抗线来降低，如图 6.5(b)所示。高阻抗线(70 ~ 90 Ω)和宽的微带线(阻抗为 20 ~ 40 Ω)相比不连续性小，易于实现紧凑的匹配网络。

如图 6.6 所示，在不连续处的相互干扰效应，是由于一个不连续处到另一个不连续处的场干扰引起的。这种两个不连续处的相互干扰影响了不连续阻抗的隔离，必须通过 EM 仿真来准确地确定。带有潜在耦合作用的两个不连续点，其最小距离是 $2W$ 或 $2h$，或是更高。对于厚介质基底(大于等于 100 μm 的 GaAs 或大于等于 250 μm 的氧化铝基底)的 T 形结或交叉结，EM 仿真器一般用来准确预测它们的性能。

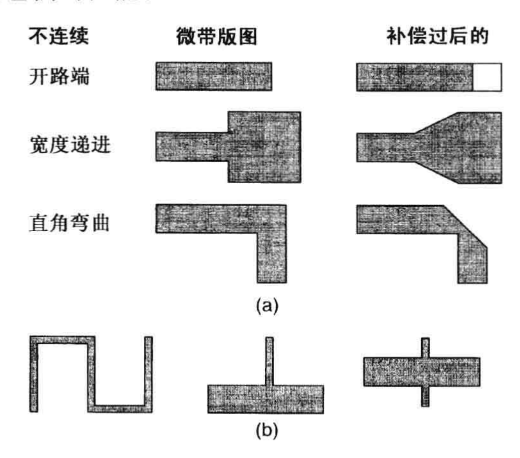


图 6.5　(a)不连续性的补偿；(b)使用高阻抗线结的低不连续性电抗结构

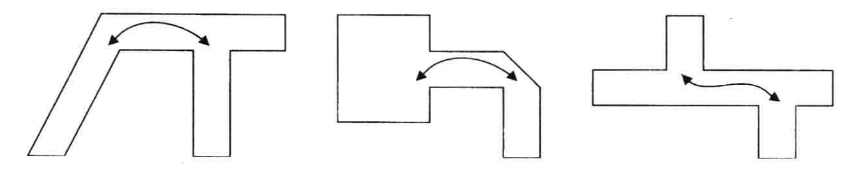


图 6.6　不连续性的相互作用，箭头指示出结的不连续性

耦合作用

在 MMIC 电路中，各匹配网络元件高密度集成表贴在一起，会产生局部的信号不连续性。当两个匹配元件靠得很近时就会产生耦合，这种现象可以用 EM 仿真来观察。对于四分之一波长左右及以上的长线，线之间的距离必须大于 $3W$(线宽)或 $3h$(介质板厚度)，为了降低耦合作用，其值越大越好。对于十分之一波长左右的短线，线间距离达到 $1W$ 或是 $1h$ 就比较合适了。

6.2.2　共面线

共面波导(CPW)与共面线(CPS)用在 MIC 和 MMIC 设计中。它们的横截面图展示在图 6.7 中,并且支持准 TEM 波。其 Z_0 与 ε_{re} 的表达式见表 6.2，$k' = (1-k^2)^{1/2}$，

$$\frac{K(k)}{K'(k)} = \frac{1}{\pi}\ln\left\{2\frac{1+\sqrt{k}}{1-\sqrt{k}}\right\}, \qquad 0.707 \leqslant k \leqslant 1$$
$$= \frac{\pi}{\ln\left[2\frac{1+\sqrt{k'}}{1-\sqrt{k'}}\right]}, \qquad 0 \leqslant k \leqslant 0.707 \tag{6.7}$$

CPW 与 CPS 没有微带线那么常见。然而在倒装法电容中只用 CPW，毫米波频率上也常使用 CPW。

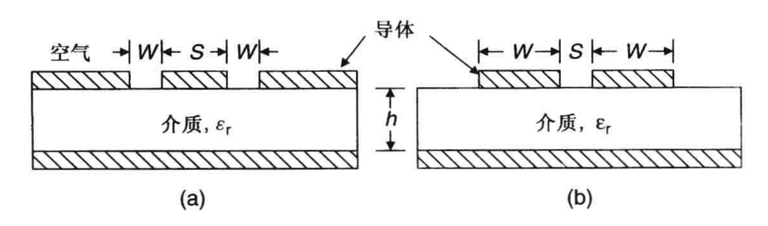


图 6.7　(a)共面波导(CPW)；(b)共面线(CPS)

表 6.2　共面线特征阻抗与相对介电常数的表达式

结构	特性阻抗(Ω)	相对介电常数
共面波导	$Z_0 = \dfrac{30\pi}{\sqrt{\varepsilon_{re}}}\dfrac{K(k')}{K(k)}$	$\varepsilon_{re} = 1 + \dfrac{\varepsilon_r - 1}{2}\dfrac{K(k')K(k_1)}{K(k)K(k_1')}$
共面线	$Z_0 = \dfrac{120\pi}{\sqrt{\varepsilon_{re}}}\dfrac{K(k)}{K(k')}$	$\varepsilon_{re} = 1 + \dfrac{\varepsilon_r - 1}{2}\dfrac{K(k')K(k_1)}{K(k)K(k_1')}$
	$k = \dfrac{a}{b},\quad a = \dfrac{S}{2},\quad b = \dfrac{S}{2} + W$	$k_1 = \dfrac{\sinh(\pi a/2h)}{\sinh(\pi b/2h)}$

6.3　集总元件

微波电路中的集总元件定义为器件的尺寸比它的工作波长短得多的无源元件，这样器件输入/输出之间的相位变化很小。一般情况下，器件尺寸小于波长的1/20。用在 RF 与微波上的集总元件设计都遵循上面的规则。三个基本的集总元件是电容、电感、电阻。图 6.8 展示了基本的微带电感和电容。集总的电感变压器和巴伦在很多电路中也很常见。

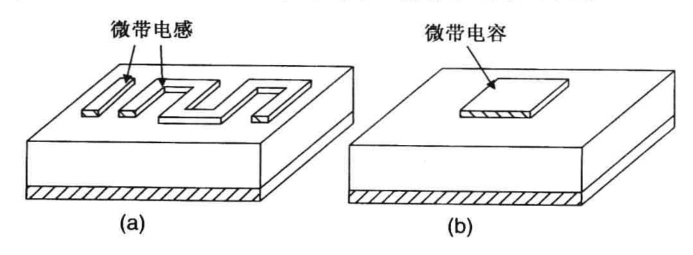


图 6.8　(a)微带电感；(b)微带电容

在射频中，集总的分立螺线电感、MIM 电容和薄膜电阻广泛应用在匹配网络中。同时，分立螺线电感用做偏置扼流圈取决于工作频率和电流处理能力。集总元件电路的 Q 值比分布元件电路低，但是它们有更小的体积、更低的功耗和更大的带宽。这些在 MMIC 和宽带混合 MIC 电路中更合适，这些应用场合对于体积的要求是第一位的。大阻抗变换器可以通过集总元件很简单地实现。因此对于那些低阻抗高功率器件，可以很容易地用集总元件匹配网络匹配到 50 Ω。在低频(低于 C 波段)利用集总电感和电容设计的放大器，比用微带或是 CPW 设计的放大器的体积更小。

6.3.1　电容

射频和微波电容可分为三类:微带[见图 6.8(b)]、金属-绝缘体-金属(MIM)和交叉指型，如图 6.9 所示。一段短的开路微带节可以用做低容值(单位面积的容值小于 0.2 pF，取决于基底的厚度)的集总电容。MIM 电容利用多层工艺制造，因为在金属层之间夹着薄的介质层可以提供大的容值(在单片 GaAs 基底上每单位面积上是 0.1 ~ 0.5 pF)。交叉指型电容用在中等容

值(0.1 ~0.5 pF)和高 Q 值的场合。微带和交叉指型结构使用普通的 MIC 技术制造。关于这种元件的详细处理技术可以参阅参考文献[6]。MIM 电容一般是分布型的，将在下面的内容中介绍。

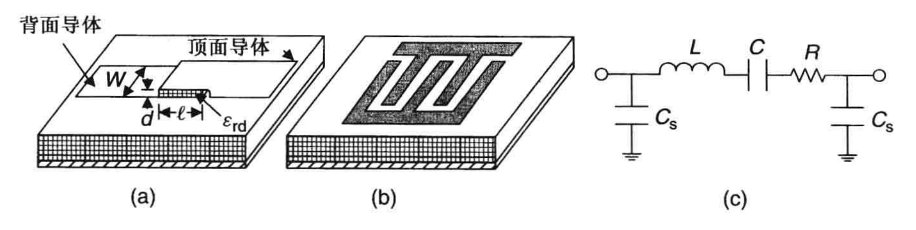


图 6.9　(a) MIM 电容；(b) 集成电容；(c) 等效电路

MIM 电容结构可能有两个和更多的导体。由两个导体组成的电容(见图 6.9)，其容值 C 由下式确定：

$$C = \varepsilon_0 \varepsilon_{rd} \frac{A}{d} = \varepsilon_0 \varepsilon_{rd} \frac{W \times \ell}{d} \tag{6.8}$$

这里 W 和 ℓ 分别是平面的宽度和长度，ε_{rd}是电容介质膜的介电常数，ε_0 是真空中的介电常数。上面的公式不包括边缘场效应，式(6.8)可以改用常用单位表示，如下所示：

$$C = 0.2249\varepsilon_{rd} \frac{W \times \ell}{d} \quad \text{(pF)}, \quad W、\ell \text{ 和 } d \text{ 的单位为英寸} \tag{6.9a}$$

$$C = 8.85 \times 10^{-3} \varepsilon_{rd} \frac{W \times \ell}{d} \quad \text{(pF)}, \quad W、\ell \text{ 和 } d \text{ 的单位为毫米} \tag{6.9b}$$

$$C = 8.85 \times 10^{-6} \varepsilon_{rd} \frac{W \times \ell}{d} \quad \text{(pF)}, \quad W、\ell \text{ 和 } d \text{ 的单位为微米} \tag{6.9c}$$

电容的单位是法拉(F)，根据电容值的大小，还有微法(μF,10^{-6} F)、纳法(nF 或 10^{-9} F)、皮法(pF,10^{-12} F)，以及其他更小的单位如飞法(fF,10^{-15} F)。

6.3.2　电感

平面电感可以分为二维和三维结构。二维电感包括高阻抗线节、环形和螺线形。螺线形分为圆形、方形、六边形、八边形，图 6.10 和图 6.11 列出了这些结构，它们的集总元件等效电路模型在图 6.12 给出。三维电感由多层二维电感螺线组成。短路($Z_L = 0$)节传输线($\gamma\ell \ll 1$)的输入阻抗由下式给出：

$$Z_{in} = Z_0 \tanh(\gamma\ell) \approx Z_0 \gamma\ell = R + j\omega L \tag{6.10}$$

因此短路短节传输线可以看做是一个电感和一个电阻 R 的串联，如图 6.12 所示。电阻 R 代表导体损耗，在铜或是金的短路节传输线中这个电阻可以忽略。

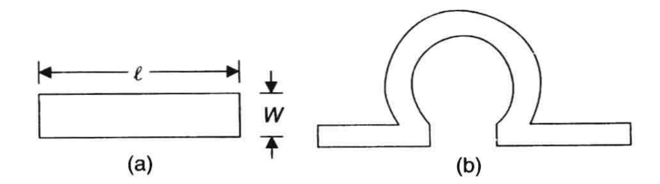


图 6.10　(a) 线形微带电感；(b) 环形微带电感

参考文献[5]和[6]中给出了微带节、圆环和圆螺线的电感 L、电阻 R 和寄生电容的近似表达式。

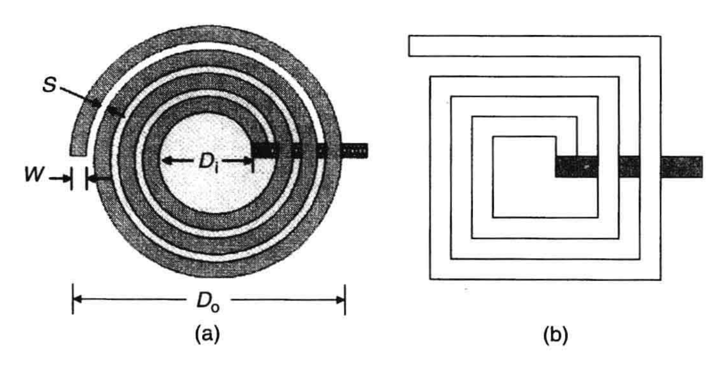


图 6.11 (a)圆螺线形电感；(b)方形盘绕电感

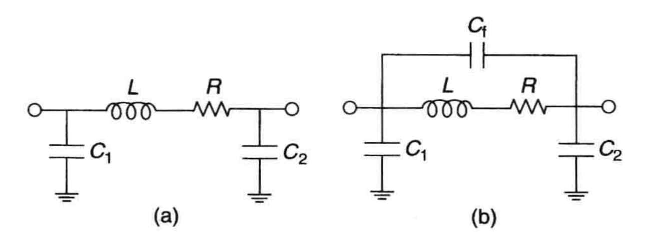


图 6.12 电感的等效电路：(a)微带型；(b)环形或螺线形

微带节

$$L(\text{nH}) = 2\times10^{-4}\ell\left[\ln\left(\frac{\ell}{W+t}\right)+1.193+\frac{W+t}{3\ell}\right]\cdot K_{\mathrm{g}} \tag{6.11}$$

$$R(\Omega) = \frac{K R_{\mathrm{s}}\ell}{2(W+t)} \tag{6.12a}$$

$$C_1(\text{pF}) = 16.67\times10^{-4}\ell\sqrt{\varepsilon_{\mathrm{re}}}/Z_0 \tag{6.12b}$$

所有的单位都是 μm，且

$$K_{\mathrm{g}} = 0.57-0.145\ln\frac{W}{h},\quad \frac{W}{h}>0.05 \tag{6.13}$$

$$K = 1.4+0.217\ln\left(\frac{W}{5t}\right),\quad 5<\frac{W}{t}<100\quad(\text{微带型}) \tag{6.14}$$

$$K = 1+0.333\left(1+\frac{S}{W}\right)^{-1.7}\quad(\text{螺线形}) \tag{6.15}$$

K_{g} 表示由地平面带来的影响，如果地平面拉近，这个值就降低。K 是修正因子，代表了电流在导体拐角处的阻塞。W、t、h、ℓ 和 R_{s} 是线宽、线的厚度、基底的厚度、短截线的长度和导体单位面积的表面电阻。微带的参数 Z_0 和 $\varepsilon_{\mathrm{re}}$的计算见 6.2.1 节。

圆环

$$L(\text{nH}) = 1.257\times10^{-3}a\left[\ln\left(\frac{a}{W+t}\right)+0.078\right]\cdot K_{\mathrm{g}} \tag{6.16a}$$

$$R(\Omega) = \frac{K R_{\mathrm{s}}}{W+t}\pi a \tag{6.16b}$$

$$C_1(\text{pF}) = 33.33 \times 10^{-4}\pi a\sqrt{\varepsilon_{\text{re}}}/Z_0 \tag{6.16c}$$

这里 a 是圆环的平均半径。

圆螺线

$$L(\text{nH}) = 0.03937\frac{a^2n^2}{8a+11c}\cdot K_g \tag{6.17}$$

$$a = \frac{D_o + D_i}{4}, \qquad c = \frac{D_o - D_i}{2} \tag{6.18}$$

$$R(\Omega) = \frac{K\pi a n R_s}{W} \tag{6.19a}$$

$$C_1 = C_2(\text{pF}) = 3.5 \times 10^{-5}D_o + 0.06 \tag{6.19b}$$

这里 n 是圈数，D_i 是电感的内直径，D_o 是电感的外直径，S 是圈与圈之间的间隔，所有直径的单位是 μm，可以通过使 $S < W$ 和 $S \ll h$，让地平面对电感值的影响降到最小。

例6.3　一个三圈的螺线电感印制在 250 μm 厚的氧化铝基底上($\varepsilon_r = 9.9$)。线宽 W 是 25 μm，圈与圈之间的间隔 S 是 25 μm，螺线的内直径是 200 μm。如果螺线是金构成的、5 μm 厚，试计算在 4 GHz 时的电感值、谐振频率和 Q 值。

解

$$\begin{aligned}
R_s &= 1/(\sigma t) = 1/(4.1 \times 10^7 \times 5 \times 10^{-6}) = 0.004\,88\ \Omega/\square \\
W/h &= 0.1 \\
D_o &= D_i + 2nW + (2n-1)S = 200 + 150 + 125 = 475\ \mu\text{m} \\
a &= (475 + 200)/4 = 168.75\ \mu\text{m} \\
c &= (475 - 200)/2 = 137.5\ \mu\text{m}
\end{aligned}$$

从式(6.13)和式(6.15)得到

$$\begin{aligned}
K_g &= 0.57 - 0.145\ln(0.1) = 0.904 \\
K &= 1 + 0.333(1+1)^{-1.7} = 1.1
\end{aligned}$$

从式(6.17)我们发现

$$\begin{aligned}
L(\text{nH}) &= 0.039\,37 \times 168.75^2 \times 9 \times 0.904/(8 \times 168.75 + 11 \times 137.5) = 3.19 \\
C_t &= C_1 + C_2 = 2 \times [3.5 \times 10^{-5} \times 168.75 + 0.06] = 0.122\ \text{pF} \\
R &= 1.1 \times \pi \times 168.75 \times 3 \times 0.004\,88/25 = 0.3415\ \Omega \\
Q &= \omega L/R = 2\pi \times 4 \times 10^9 \times 3.19 \times 10^{-9}/0.3415 = 235 \\
f_0 &= \frac{1}{2\pi\sqrt{LC_t}} = \frac{1}{2\pi\sqrt{3.19 \times 10^{-9} \times 0.122 \times 10^{-12}}}\text{Hz} = 8.06\ \text{GHz}
\end{aligned}$$

对于任意形状的电感，其值的一般表达式已经在参考文献[7]和[8]中报道了，如下所示：

$$L = \frac{\mu_0 n^2 D_{\text{av}} c_1}{2}[\ln(c_2/\chi) + c_3\chi + c_4\chi^2] \tag{6.20}$$

不同结构的系数 c_i 列在表 6.3 中，χ 是填充比，D_{av} 是电感的平均尺寸，它们的表达式如下：

$$\chi = \frac{D_o - D_i}{D_o + D_i} \tag{6.21a}$$

$$D_{\text{av}} = \frac{1}{2}(D_o + D_i) \tag{6.21b}$$

表 6.3 一般电感公式的系数[7,8]

电感结构	c_1	c_2	c_3	c_4
方形	1.27	2.07	0.18	0.13
六边形	1.09	2.23	0.00	0.17
八角形	1.07	2.29	0.00	0.19
圆形	1.00	2.46	0.00	0.20

PCB 电感

多层 PCB 技术很合适实现高电感值的电感(适合于 1 ~ 2 GHz 的应用)，这些电感(50 ~ 200 nH)可以承受 3 ~ 5 A 的电流，应用在 100 ~ 200 MHz 时，其 Q 值可以在 100 左右。

6.3.3 电阻

前面已经讨论过，短路传输线在导体为低阻抗时可以看成是电感，然而当换成薄的损耗导体，例如 NiCr(典型的表面电阻约等于 50 Ω/□，而金是 0.005 Ω/□)或者氮化钨电阻性材料 WN(典型的表面电阻约等于 10 Ω/□)时，电阻部分成为主导，此时忽略寄生电感、寄生电容的微带节可以看成是一个电阻。图 6.13(a)显示了微带电阻的结构。

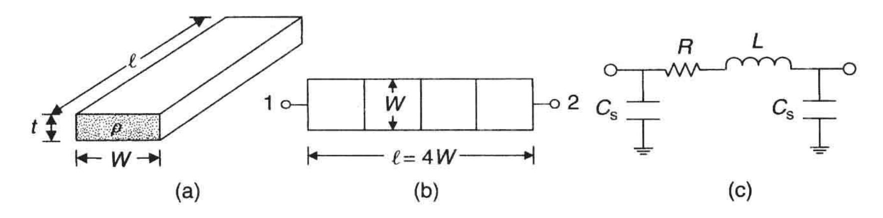


图 6.13 (a)平面电阻的几何图；(b)根据面电阻计算电阻；(c)等效电路

基于电阻材料特性和其尺寸的平面电阻的阻值 R 展示在图 6.13(a)中，如下所示：

$$R = \rho\frac{\ell}{A} = \rho\frac{\ell}{Wt} = \frac{\ell}{\sigma Wt} \tag{6.22a}$$

ρ 是材料的体电阻率，单位是 Ω · m；σ 是体电导率，单位是 S/m；ℓ 是沿电流方向的电阻长度；W 是宽度；t 是厚度；A 是横截面积。电阻也可以用阻性薄膜(给定厚度 t)的片电阻 R_s(Ω/□)来计算，如下所示：

$$R = R_s\frac{\ell}{W}, \quad 其中 \quad R_s = \frac{\rho}{t} = \frac{1}{\sigma t} \tag{6.22b}$$

对于给定的材料 R_s，电阻值可以通过长度和宽度来计算。例如，一个宽度为 20 μm、长度为 1000 μm 的电阻的电阻值是一个宽度为 50 μm、长度为 1000 μm 的电阻的 2.5 倍。因此增加电阻值的关键是在给定长度情况下，将敷金属方块数量变得尽可能多。例如图 6.13(b)展示了在端口 1 和端口 2 之间有四个方块，如果 R_s 值是 10(Ω/□)，则总电阻是 40 Ω。

例 6.4 一个薄膜电阻印制在氧化铝介质基底上。薄膜的体电阻率是 5×10^{-6} Ω · m。如果电阻宽度 W 是 20 μm，厚度 t 是 0.1 μm，计算 250 Ω 的电阻长度。

解 这里，$R_s = \rho/t = 5\times10^{-6}/(0.1\times10^{-6}) = 50$ Ω/□，由式(6.21b)，可得

$$\ell = R\frac{W}{R_s} = \frac{250\times20}{50} = 100\ \mu\text{m}$$

表 6.4 比较了微带与集总元件。微带是低损耗的，很适合用在高性能放大器中；而集总元件尺寸紧凑，适合用在高阻抗变化和宽带放大器中。

表 6.4　分布与集总匹配元件的比较

	微带	集总元件
主要优点	1. 优良的特性和设计灵活性	1. 变换高阻抗比的能力
	2. 低损耗和高性能	2. 由于尺寸小，可以最小化互扰
	3. 对于高效率应用有良好的谐波调节能力	3. 尺寸紧凑
主要缺点	1. 元件之间的互扰大，封装设计的不连续性	1. 低 Q 值，有限的直流功率承载能力
	2. 尺寸大	2. 由于低 Q 值，功放输出端的性能变低(P_o,PAE)

集总元件直接耦合

低成本的 RF 与微波放大器要求更高的集成度，在更小的电路中实现更多功能。换句话说，就是将 RF/微波电路集成到很小的尺寸，以降低面积和成本。当集总元件相互之间离得很近时，其中一个器件的部分功率就会耦合到另外一个器件上。功率耦合量是结构的物理尺寸、传播模式、工作频率、元件之间距离的函数。在前面的那些结构中，两个元件之间的电磁耦合是一直存在的。

各种集总元件之间的耦合在参考文献[9]中进行了仔细的研究，例如电感和电感之间、电感和电容之间、电感和通孔之间。对于 50 Ω 电抗、相距 20 μm，在 75 μm GaAs 基底上的电感之间的耦合小于 1%。所以集总元件在射频混合或是单片电路中相距 20 μm 或大于 $h/4$(高 K 介质)是安全的。

6.4　键合线电感

很多射频与微波电路和子系统都会用键合线来连接元件，例如集总元件、平面传输线、晶体管、IC。这些线的直径是 0.5 ~ 2 mil，长度相对于工作波长来说很短。键合线可以用包含电感和串联电阻的简单公式准确表征。对于一阶近似，键合线的寄生电容可以忽略不计。

6.4.1　单线

在混合 MIC 中，键合线用于连接有源和无源元件，在 MMIC 中，键合线用于连接 MMIC 芯片和其他电路。真空电感 L(单位为 nH)可以用线直径 d 和线长 ℓ(单位为 μm)来表示：

$$L = 2\times10^{-4}\ell\left[\ln\left\{\frac{2\ell}{d}+\sqrt{1+\left(\frac{2\ell}{d}\right)^2}\right\}+\frac{d}{2\ell}-\sqrt{1+\left(\frac{d}{2\ell}\right)^2}+C\right] \tag{6.23}$$

频率依赖校正因子 C 是线直径和材料趋肤深度 δ 的函数：

$$C = 0.25\tanh(4\delta/d) \tag{6.24a}$$

$$\delta = \frac{1}{\sqrt{\pi\sigma f\mu_0}} \tag{6.24b}$$

σ 是材料的电导率。对于金，$\delta=2.486f^{-0.5}$，频率 f 的单位是 GHz。当 δ/d 很小时，$C=\delta/d$。

对于 ℓ 远远大于 d 的情况，有

$$L = 2\times10^{-4}\ell\left(\ln\frac{4\ell}{d}+0.5\frac{d}{\ell}-1+C\right) \tag{6.25a}$$

线电阻 R(单位为 Ω)是

$$R = \frac{R_s\ell}{\pi d} \tag{6.25b}$$

R_s 是表面电阻(单位为 Ω/□)。考虑到趋肤深度，式(6.25b)可以写成

$$R = \frac{4\ell}{\pi\sigma d^2}\left[0.25\frac{d}{\delta} + 0.2654\right] \tag{6.25c}$$

6.4.2　地平面效应

地平面对线电感值的影响可以通过公式计算。如果线离地面的高度是 h，如图 6.14(a)所示，则线的镜像距离线是 $2h$。线和它的镜像产生一个互感 L_{mg}。由于镜像线的电流与键合线的电流反向，键合线的有效电感是

$$L_e = L - L_{mg} \tag{6.26a}$$

$$L_{mg} = 2\times10^{-4}\ell\left[\ln\left\{\frac{\ell}{2h} + \sqrt{1+\left(\frac{\ell}{2h}\right)^2}\right\} + \frac{2h}{\ell} - \sqrt{1+\left(\frac{2h}{\ell}\right)^2} + C\right] \tag{6.26b}$$

由式(6.23)和式(6.26)得到

$$L_e = 2\times10^{-4}\ell\left[\ln\frac{4h}{d} + \ln\left(\frac{\ell+\sqrt{\ell^2+d^2/4}}{\ell+\sqrt{\ell^2+4h^2}}\right) + \sqrt{1+\frac{4h^2}{\ell^2}} - \sqrt{1+\frac{d^2}{4\ell^2}} - 2\frac{h}{\ell} + \frac{d}{2\ell}\right] \tag{6.27}$$

这里 L_e 的单位是 nH，ℓ、h、d 的单位是 μm。

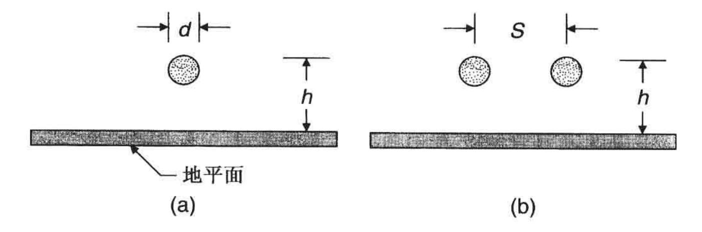


图 6.14　(a)地平面上的单线；(b)地平面上的双线

6.4.3　多路线

很多应用中要求使用多路线(例如大电流)，或是降低线的电感，或是提高线的可靠性。例如，将两条线并行放置在地平面上，两条线的中心相距为 S[见图 6.14(b)]，则总的电感是

$$L_{ep} = (L_e + L_m)/2 \tag{6.28}$$

这里两条线所流过的电流是同方向的，因此互感与自感直接相加。这种情况下 L_m 由下式给出：

$$L_m = 2\times10^{-4}\ell\left[\ln\left\{\frac{\ell}{S} + \sqrt{1+\left(\frac{\ell}{S}\right)^2}\right\} - \sqrt{1+\left(\frac{S}{\ell}\right)^2} + \frac{S}{\ell}\right] \tag{6.29}$$

当 $2h = S$ 和 $C = 0$ 时，式(6.29b)和式(6.28)一样。可以利用同样的处理过程来计算多路线的互感。

表 6.5 列出了 1 mil 直径的金线的电感。到目前为止，我们处理了高于地面的统一高度放置的水平线。然而实际情况是，很多线是弯曲的，不是水平的，线之间也不是平行的，在这种情况下，可以使用 S 和 h 的平均值。还要考虑到线的并联电感。

多路线的电感一般由于并联而降低，如图表 6.5 所示，多路线的电感取决于线之间的距离。当两条线的距离很大时，整体电感只有单条线的一半。当两条线的距离是线直径的 4 ~ 6 倍时，网络的电感只是单条线的 $1/\sqrt{2}$ 倍，当有 n 条线时，其电感大约只有单条线的 $1/\sqrt{n}$ 倍。

表 6.5 1 mil 直径的金线电感

长度(mil)	线数	环高(mil)	线间距(mil)	电感值 (nH)
19	1	7	—	0.28
34	1	—	—	0.49
45	1	—	—	0.67
34	2	—	2	0.39
34	2	—	6	0.31
34	2	—	15	0.27
45	2	—	2	0.54
45	2	—	6	0.44
45	2	—	15	0.37
45	3	—	2	0.46
45	3	—	6	0.34
45	3	—	15	0.26
57	2	20	—	0.93
57	3	20	—	0.73
57	9	20	—	0.43
57	13	20	—	0.38
93	2	20	—	1.22
93	8	20	—	0.60
93	12	20	—	0.40
93	14	20	—	0.42

如果测量时不小心，从测量的 S 参数得到的键合线电感模型，其值可能比实际值小，可以用图 6.15 解释。一个简单的键合线模型展示在图 6.15(a)中。串联电感可以分成两个，如图 6.15(b)所示。串联电感 L_2 和并联电容 C_s 等效为一个 50 Ω 线，也就是

$$Z_0 = \sqrt{L_2/C_s} = 50\ \Omega \tag{6.30}$$

如图 6.15(c)所示。因此，在去嵌入时，电感的一部分就吸收到去嵌入阻抗里，从而降低了串联电感值。为了获得准确的模型，必须仔细比较模型与测量得到的 S 参数的幅度和相位。而且通过测量 SRF，可以去嵌入来得到并联电容 C_s。SRF 是

$$f_{\text{res}} = \frac{1}{2\pi\sqrt{LC_s}} \tag{6.31}$$

例如，两个 30 mil 长的线，$L \approx 0.4$ nH，$C_s = 0.06$ pF，SRF = 32.49 GHz。

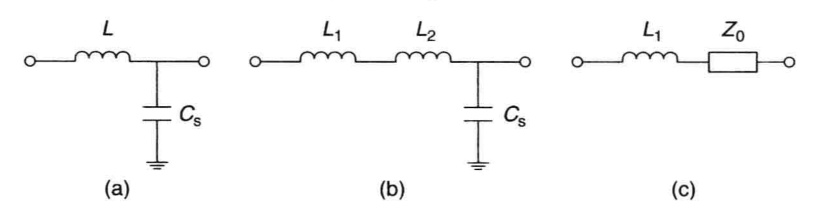


图 6.15 键合线的简化模型

6.4.4 线允许的最大电流

由于线固有电阻的存在，当大电流流过线时存在一个最大允许电流。这个最大电流称为熔断电流，由于金属疲劳，在最大电流出现时线将熔化或燃烧起来。影响熔断机制的因素是熔断点温度、电阻率、热导率和电阻的温度系数。熔断电流的公式是

$$I_{\mathrm{f}} = Kd^{1.5} \tag{6.32}$$

K 依赖线的材料和周围的环境，d 是线直径。粗线的电流承载能力比细线大。当线直径的单位是 mm 时，则 I_{f} 的单位是 A；金、铜、铝线的 K 值分别是 183、80、59.2。对于 1 mil 直径的线，金、铜、铝线的 I_{f} 值分别是 0.74 A、0.32 A、0.24 A。最大的安全使用电流是熔断电流的一半。例如，如果需要 1 A 的电流，则需要三条 1 mil 的金线。当把线放在导热材料(例如 Si 和 GaAs)上时，熔断电流要比上面的更大。长线的熔断时间要比短线长，因为有更多的热传导区域。

6.5 宽带电感

工作在 10 MHz～3 GHz 的宽带放大器需要一个高电感值(6～10 μH)的 RF 扼流圈，以免扼流圈在带内谐振。然而，由于常见的螺线形结构电感(电感值在 50 nH～10 μH)的并联谐振频率很低，因此限制了宽带应用。为了在 10 MHz～3 GHz 得到射频扼流[10]，Piconics 公司[1]的锥形电感可以同时提供 RF 微波频率上的高电感以产生扼流作用，以及较大的无谐振带宽。图 6.16展示了一个锥形 SMT 电感。锥形电感的无谐振带宽为 10 MHz～40 GHz，电感值为 0.5～8 μH，最多可以承受 1 A 的电流。表 6.6 列出了常用的商用锥形电感。

表 6.6 Piconics 公司锥形电感的选择

电感模型	频率(GHz)	L (μH)	$I_{\max}$ (mA)
CC21T36K240G5	0.01~36	0.531	1000
CC45TH47K240G5	0.01~40	0.84	100
CC50T44K240G5	0.01~20	4.7	250
CC75T36K240G5	0.01~32	6.5	800
CC75T38K240G5	0.01~37	6.93	430
CC82T44K240G5	0.01~36	5.87	230
CC110T47K240G5	0.01~40	8	100

在锥形电感线圈中，使用高导磁系数的铁氧体材料可以实现大电感值。谐振频率通过利用锥形结构降低匝间电容来提高。图 6.12(b)中给出了典型的锥形电感的等效电路。电感的有效带宽由它的主要电感和次要的并联、串联寄生电容决定。第一个限制是由于网络反馈电容 C_{f}，它跨接在线圈电感两端，如图 6.12(b)所示。第二个限制是由于并联电容 C_1、C_2，是由线圈和焊盘与地之间产生的。并联线圈电感 C_{f} 将与主电感谐振，决定着第一个并联谐振频率(PRF)。高于并联谐振频率时，该电感将成为电容，不能用于调谐电感和扼流圈：

$$\mathrm{PRF} = \frac{1}{2\pi\sqrt{C_{\mathrm{f}}L}} \quad 和 \quad Q = \frac{\omega L}{R} \tag{6.33}$$

当频率高于 PRF 时，电感就有其他的谐振模式，图 6.12(b)的模型就不能仿真这种情况。标准的 SMT(表面封装技术)电感的电感值、电流承载能力、Q 值(耗散损耗)和装配要求的范围都很大。当使用 SMT 电感时，主要的折中就是电感值和可用带宽。一个简化的 CC75T36K240G5 的去嵌入的 6 GHz 模型见参考文献[10]，引线焊接在 FR-4 基底上。模型的值是 $L = 6.6$ μH，$R = 0.8$ Ω，$C_{\mathrm{f}} = 0.000\,07$ pF，$C_1 = 0.1$ pF，$C_2 = 0.1$ pF。测量的 10 MHz 时的 Q 值和 PRF 分别是 518 GHz 和 7.4 GHz。FR-4 基底降低了电感的 PRF。

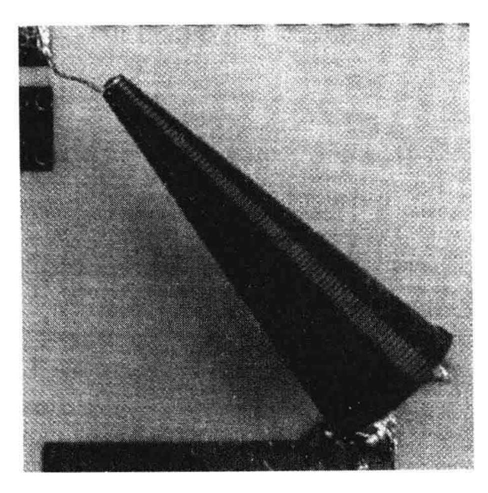


图 6.16　Piconics 公司的锥形电感。这个电感长 400 mil，能承受800 mA的电流，谐振频率大于32 GHz

锥形电感结构增加了电感的超宽带特性，内嵌的铁氧体材料增加了总电感。然而，在微波毫米波上使用锥形电感时要小心装配。对于电感的高阻抗高频端，其线圈直径很小。为了不引入封装的寄生电抗，以及不影响谐振性能，电感线必须小心地连接到焊盘上。同时电感必须离基底足够高，以避免产生匝间反馈电容和并联电容，从而降低 PRF。锥形结构结合精确的低寄生电容装配，可以使这些电感的有效带宽达到 10 MHz ~ 40 GHz。锥形电感突破了标准的 SMT 电感的带宽限制。

这一章介绍了基本的匹配元件和用于放大器匹配设计的模型。匹配网络的设计将在下一章介绍。

参考文献

1. M. Caulton and H. Sobol, Microwave integrated circuit technology—a survey, *IEEE J. Solid-State Circuits*, Vol. SC-5, pp. 292–303, December 1970.
2. H. Sobol, Applications of integrated circuit technology to microwave frequencies, *Proc. IEEE*, Vol. 59, pp. 1200–1211, August 1971.
3. H. Sobol, Technology and design of hybrid integrated circuits, *Solid State Technol.*, Vol. 13, pp. 49–57, February 1970.
4. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
5. I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 2.
6. I. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
7. S. S. Mohan et al., Simple accurate expressions for planar spiral inductances, *IEEE J. Solid-State Circuits*, Vol. 34, pp. 1419–1424, October 1999.
8. R. L. Bunch, D. I. Sanderson, and S. Raman, Quality factor and inductance in differential IC implementations, *IEEE Microwave Mag.*, Vol. 3, pp. 82–92, June 2002.
9. I. J. Bahl, Coupling effects between lumped elements, *IEEE Microwave Mag.*, Vol. 2, pp. 73–79, September 2001.
10. T. A. Winslow, Conical inductors for broadband applications, *IEEE Microwave Mag.*, Vol. 6, pp. 68–72, March 2005.
11. Piconics, Inc., 26 Cummings Rd., Tyngsboro, MA 01879.

习题

6.1 10 GHz 时一个特征阻抗 20 Ω 的微带线，端接负载是微波放大器的输出阻抗，由 0.05 S 的电导和 1 pF 的电容并联。在设计频率上线长是 $\lambda/8$。计算输入反射系数和负载反射系数。如果介电常数是 2.5，计算线长。

6.2 $\varepsilon_r=10$，$W=1$ mm，$h=0.6$ mm，频率是 10 GHz。这里金线是 6 μm 厚，计算微带的 Z_0、β、α 参数，同时计算一个 $\lambda/2$ 谐振器的 Q 值。

6.3 一个特征阻抗 Z_{01} 的微带线接到一个特征阻抗更大(Z_{02})的微带线上。如果不连续电抗用一个串联电感表示(jX)，请确定这个不连续结的 S 参数。

6.4 一个宽度 $W=1$ mm、特征阻抗为 50 Ω 的微带线。介质板的介电常数 $\varepsilon_r=10$。计算辐射产生的限制频率。当工作在这个频率上时有必要修正散射参数吗?

6.5 因为微带线上只有准 TEM 波，从基本的无耗线理论推导出单位长度的电感 L 和单位长度的电容 C，确定习题 6.4 中的 L、C 和单位长度延迟。

$$L=\frac{Z_0}{v}=\frac{Z_0\sqrt{\varepsilon_{re}}}{c}$$
$$C=\frac{1}{Z_0 v}=\frac{\sqrt{\varepsilon_{re}}}{Z_0 c}$$

其中：

Z_0 是微带线的特征阻抗；

v 是微带线中的波速；

c 是 3×10^8 m/s，真空中的光速；

ε_{re}是有效介电常数。

6.6 晶体管通过 1 mil 的金线偏置，如果供电电流是 1 A，确定线的数量。如果线都是并联的、30 mil 长，线之间间隔 5 mil，离地高度是 25 mil，确定线的电感。

6.7 一个工作在 4 ~ 6 GHz 的放大器，通过 1 mil 的键合线偏置，作为扼流圈使用(见第 18 章)。当系统阻抗是 50 Ω 时，确定线的长度，使得用回波损耗表示的负载效应大于 20 dB。

6.8 计算 2 GHz 上 500 μm 宽的 $\lambda/4$ 线的长度，介质基底是 FR-4，$\varepsilon_r=4$，$h=250$ μm，确定总电感和总电容。当介质板厚度增加一倍时，确定对长度、阻抗、电容和电感的影响。

6.9 当习题 6.8 中的介质板换成 $\varepsilon_r=9.9$ 时，再次计算习题 6.8 中的问题。指出哪条线有最大的电感和最大的电容。

6.10 一个片上功率器件需要用金线连到偏置上。器件的最大额定电流是 5 A。确定当安全工作时需要的金线数量。如果线是 40 mil 长，计算它们的总电感。

第 7 章 阻抗匹配技术

阻抗变换和匹配是放大器设计的一个重要环节。在感兴趣的频带上，阻抗匹配对于实现最优的噪声系数、增益、功率和 PAE 性能起到关键作用，阻抗匹配可以高效地将信号从信号源传到器件，或是从器件传到负载，或是在两个器件之间传递，有各种各样的匹配网络[1~11]可以实现以上目的。在选择匹配网络的时候，需要考虑的要素主要有(a)带宽、(b)频率响应、(c)复杂度、(d)易于实现性。匹配网络的实现性依赖于制造技术，例如印制电路板、混合电路、内匹配或是单片集成电路。本章将讨论窄带和宽带匹配网络。本章的讨论是一般性的，应用的时候需要适当参考一些详细的技术说明。

7.1 单端口和双端口网络

通常情况下，阻抗变换问题很自然地从单端口网络开始考虑：一个复阻抗或实阻抗负载 Z_L 匹配到实源阻抗 Z_S，如图 7.1(a)所示。Bobe[12]和 Fano 的结论[13]：复阻抗负载的理想匹配网络是一个带通滤波器，这个滤波器在频带边缘很陡，我们将在 7.3 节详细地讨论这个问题。低通和高通滤波器设计也可以用做匹配网络。低通滤波器结构可以为电感和电阻串联、电容和电导并联的微波负载提供相对较宽的阻抗匹配。高通滤波器结构可以为电容和电阻串联、电感和电导并联的微波负载提供阻抗匹配。但是由于内在的一些缺点，与低通和高通的应用相比，带通就受到了限制。

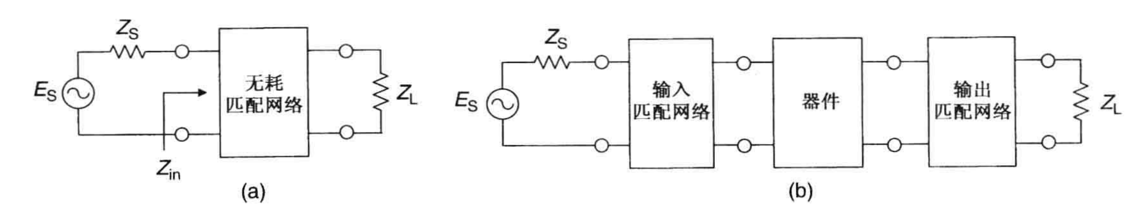


图 7.1 (a)单端口阻抗匹配网络；(b)双端口阻抗匹配网络

更一般的匹配网络设计是建立在第 2 章的网络基础上。使用双端口(输入和输出)Y、Z 或 S 矩阵代替晶体管。根据有源电路双端口网络的匹配网络，其设计的复杂度在一些情况下必然增加，原因在于：输入与输出电路通过器件进行耦合。例如，为一个放大器设计输入匹配网络要受到输出匹配网络[见图 7.1(b)]的影响，反之亦然，主要是由于器件的隔离度有限。当设计一个有实际意义的匹配网络时，其晶体管参数必须在实际工作条件下测量。需要阻抗匹配的有源器件或是微波网络，其特性可以用一系列的参数来完整表达，这些参数是在网络终端测量的，而不考虑已知网络的内部情况。尽管有些特殊的器件有多个端口，但可以看成是其他端口接已知负载，只有输入和输出端口的双端口网络。例如，用双端口网络表示三端 FET，可以把栅极看做输入，把漏极看做输出，源极就假设为 RF 和 DC 的地。

这一章我们将用单端口网络来讨论窄带和宽带匹配技术。为了简单起见，我们使用无耗匹配元件。本章设计的无耗匹配网络有集总参数的网络、分布参数的网络，或者前两者结合的网络。由于变换器在本质上是互易的，因此反变换也是有效的。

7.2 窄带匹配技术

这一节中，我们将用例子讨论窄带匹配网络，带宽是一段反射系数可以接受(根据设计目标的不同而不同，一般是0.33)的频带。匹配网络只有设计在期望的频率范围上才算是完美的，这个相对带宽一般为10% ~20%，不超过40%。

7.2.1 集总元件匹配技术

一般给RF和微波电路设计匹配网络，是为了在要求的频带上实现特定的电性能。为了实现紧凑的电路，集总元件匹配网络用来把晶体管的阻抗变换到50 Ω。在RF电路中，集总元件经常用在匹配网络中，处理这些元件的方法在前面的章节已经讨论了。对于大阻抗变换比，可以很容易地用集总元件实现。因此低阻抗的高功率晶体管可以很容易地用集总元件匹配。本节讨论各种用做匹配网络的电感-电容(LC)结构。

阻抗可以用并联的电阻和电抗来表示，也可以用串联的电阻和电抗来表示，如图7.2所示。因此，可以用下面的公式把并联网络变换成串联网络：

$$R_S = R_P X_P^2/(R_P^2 + X_P^2) \tag{7.1a}$$

$$X_S = X_P R_P^2/(R_P^2 + X_P^2) \tag{7.1b}$$

同样，用下面的公式可以把串联网络变换成并联网络：

$$R_P = (R_S^2 + X_S^2)/R_S \tag{7.2a}$$

$$X_P = (R_S^2 + X_S^2)/X_S \tag{7.2b}$$

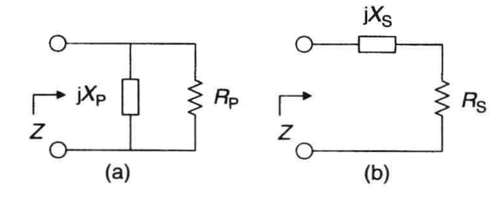


图7.2 单端口阻抗匹配网络结构:(a)并联;(b)串联

L形网络

电感和电容组成的L形结构在匹配网络中使用广泛。图7.3给出了8种可能的结构。阻抗变换的范围取决于电感和电容的值。重新整理式(7.1a)或式(7.2a)，我们有

$$\frac{R_P}{R_S} = 1 + Q^2 \tag{7.3a}$$

其中

$$Q = X_S/R_S \quad 或 \quad R_P/X_P \quad 或 \quad [R_P/R_S - 1]^{1/2} \tag{7.3b}$$

在图7.2中，对于给定的Z，两个电路等效，$R_P > R_S$。当电抗X_S串联电阻R_S的网络变换到等效的并联结构上时，电阻增加了$1+Q^2$倍。反之，当电抗X_P并联电阻R_P的网络变化到等效的串联结构时，电阻降低。网络变化的这些性质被用在设计L形匹配网络中，可以把阻抗变大或是变小。

这里举例说明如何利用上面的性质，把实源阻抗R_S'变换到实负载阻抗R_L'，这里$R_L' < R_S'$。

选用的匹配网络如图 7.4 所示。将 R'_S 与 C'_S 像图 7.2(a)中一样并联($R_P = R'_S$, $X_P = 1/\omega C'_S$)，将 L'_S 与 R'_L 像图 7.2(b)中一样串联($R_S = R'_L$, $X_S = \omega L'_S$)，由式(7.3)得到

$$Q = \omega L'_S / R'_L \text{ 或 } R'_S \omega C'_S \tag{7.4a}$$

$$C'_S = \frac{Q}{\omega R'_S} \tag{7.4b}$$

$$L'_S = Q R'_L / \omega \tag{7.4c}$$

$$Q = [R'_S / R'_L - 1]^{1/2} \tag{7.4d}$$

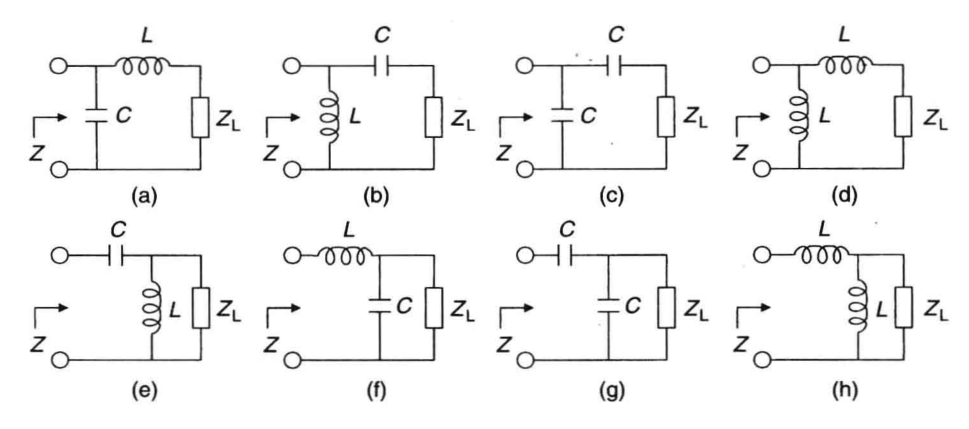


图 7.3　L 形阻抗匹配拓扑

例 7.1　设计一个匹配网络，在 10 GHz 的时候，把 50 Ω 的源阻抗变换到 10 Ω 的负载阻抗。

解　参考图 7.4，得到

$$R'_S = 50\ \Omega,\ R'_L = 10\ \Omega,\ Q = [50/10 - 1]^{1/2} = 2,\ \omega = 2\pi \times 10 \times 10^9 = 6.283 \times 10^{10}\ \text{rad/s}$$

由式(7.4b)得到

$$C'_S = \frac{2}{6.283 \times 10^{10} \times 50} F = 0.637\ \text{pF}$$

由式(7.4c)得到

$$L'_S = 2 \times 10 / (6.283 \times 10^{10}) H = 0.318\ \text{nH}$$

图 7.5 中给出两个基本的 L 形匹配网络的电路，这两个图中包含纯电抗元件，串联电抗元件和并联电纳元件的阻抗用 jX 和 jB 表示。上面结构的匹配区在图 7.6 中给出。图中的灰色区域是相应电路拓扑不能匹配的区域[11]。考虑一个设计问题：将复阻抗负载 $Z_L(=R_L + jX_L)$ 变换到实阻抗 $Z_{in}(=Z_0)$。

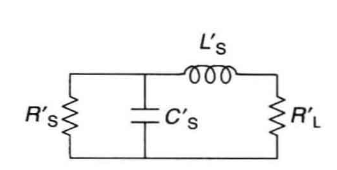


图 7.4　L 形阻抗匹配拓扑

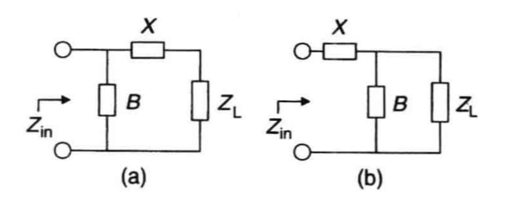


图 7.5　基于集总元件的阻抗匹配拓扑

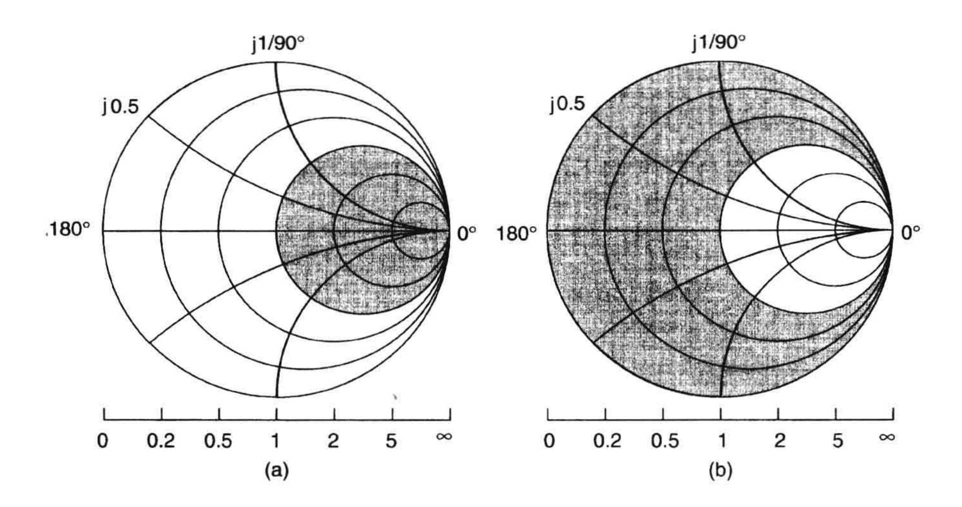


图 7.6 不能匹配的负载显示成灰色：(a)对于图 7.5(a)；(b)对于图 7.5(b)

当 $R_L < Z_{in}$时，使用图 7.5(a)电路图，可得

$$Z_{in} = Z_0 = \left[jB + \frac{1}{R_L + j(X + X_L)} \right]^{-1} \tag{7.5}$$

实部与虚部分别相等，得到

$$X = \pm\sqrt{R_L(Z_0 - R_L)} - X_L \tag{7.6a}$$

$$B = \pm\frac{\sqrt{(Z_0 - R_L)/R_L}}{Z_0} \tag{7.6b}$$

正、负号说明有两个可能的结果，正电抗对应电感，负电抗对应电容。正电纳对应电容，负电纳对应电感。

如果 $R_L > Z_{in}$，使用图 7.5(b)所示电路，可得

$$Z_{in} = Z_0 = jX + \frac{1}{jB + (R_L + jX_L)^{-1}} \tag{7.7}$$

实部与虚部分别相等，得到

$$B = \frac{X_L \pm \sqrt{R_L/Z_0}\sqrt{R_L^2 + X_L^2 - Z_0 R_L}}{R_L^2 + X_L^2} \tag{7.8}$$

$$X = \frac{1}{B} + \frac{X_L Z_0}{R_L} - \frac{Z_0}{B R_L} \tag{7.9}$$

同样，这里也有两个结果。一旦 X 和 B 的值确定，就可以计算出在设计频率时需要的电容、电感值。上面的设计方程在中心频率的一个窄带频率(10% ~20%)上有效。

例 7.2 考虑一个器件，其负载阻抗(Z_L)可用一个电阻和一个电容并联代替，对于一个工作在 10 GHz 的 625 μm 的器件，值分别是 90 Ω 和 −0.19 pF。设计一个 LC 匹配网络，使之在 5 GHz 时匹配到 $Z_{in} = Z_0 = 50\ \Omega$。

解 利用式(7.1)得

$$Z_L = R_L + jX_L = 90\ \Omega || -0.19\ \text{pF} = 69.84 + j37.52\ \Omega$$

由于 $R_L > Z_{in} = 50\ \Omega$，所以使用图 7.5(b) 的结构，由式(7.8)和式(7.9)得到

$$B = \omega C = \frac{37.52 \pm 1.1819\sqrt{69.84^2 + 37.52^2 - 50 \times 69.84}}{69.84^2 + 37.52^2} = 0.0159\ \text{S}$$

$$C = \frac{0.0159 \times 1000}{2\pi \times 5}\ \text{pF} = 0.506\ \text{pF}$$

$$X = \omega L = \frac{1}{0.0159} + \frac{37.52 \times 50}{69.84} - \frac{50}{0.0159 \times 69.84} = 44.72\ \Omega$$

$$L = \frac{44.72}{2\pi \times 5}\ \text{nH} = 1.42\ \text{nH}$$

当回波损耗 >20 dB 或 $\rho_m < 0.1$ 时的相对带宽是 34%。

T 形和π形网络

为了实现更大的带宽和更大的阻抗变化，匹配网络就需要更多的元件。集总元件构成的 T 形和π形应用很常见。这种结构可以很容易用背靠背的 L 形网络来理解。图 7.7 给出了 T 形匹配结构。在 L 形基础上加上一个元件，可以让设计者更有效地控制整个频带上的响应，并且可以使用更多的实际电路元件。对于 T 形网络，图 7.7 中给出了电路结构，电路元件值在相应电路图的下面给出。

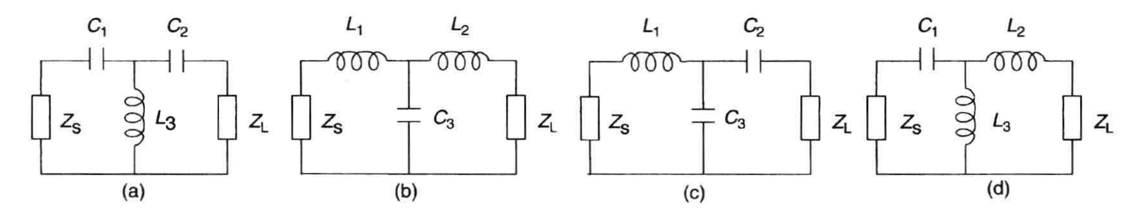


图 7.7　T 形阻抗匹配结构

对于图 7.7(a)，

$$C_1 = (\omega_0 Z_S \sqrt{N-1})^{-1} \tag{7.10a}$$

$$C_2 = (\omega_0 Z_L \sqrt{N/M-1})^{-1} \tag{7.10b}$$

$$L_3 = N Z_S / [\omega_0(\sqrt{N-1} + \sqrt{N/M-1})] \tag{7.10c}$$

对于图 7.7(b)，

$$L_1 = (Z_S \sqrt{N-1})/\omega_0 \tag{7.11a}$$

$$L_2 = (Z_L \sqrt{N/M-1})/\omega_0 \tag{7.11b}$$

$$C_3 = [(\sqrt{N-1} + \sqrt{N/M-1})]/(\omega_0 N Z_S) \tag{7.11c}$$

对于图 7.7(c)，

$$L_1 = (Z_S \sqrt{N-1})/\omega_0 \tag{7.12a}$$

$$C_2 = (\omega_0 Z_L \sqrt{N/M-1})^{-1} \tag{7.12b}$$

$$C_3 = [(\sqrt{N-1} - \sqrt{N/M-1})]/(\omega_0 N Z_S) \tag{7.12c}$$

对于图 7.7(d)，

$$C_1 = (\omega_0 Z_S \sqrt{N-1})^{-1} \tag{7.13a}$$

$$L_2 = (Z_L \sqrt{N/M-1})/\omega_0 \tag{7.13b}$$

$$L_3 = NZ_S/[\omega_0(\sqrt{N-1}-\sqrt{N/M-1})] \tag{7.13c}$$

这里

$$M = \frac{Z_L}{Z_S} > 1 \quad 和 \quad N > M \tag{7.14}$$

M 是阻抗变换比，N 是变量。通过合理地选择 N，可以在带宽与可实现的电路元件值之间做出折中。

当 N/M 约等于 1 时，网络的带宽最大，图 7.7(a)和图 7.7(d)的响应是一样的，在高频段的带宽增加。另外，图 7.7(b)和图 7.7(c)的响应是一样的，在低频段的带宽增加。这种趋势在 N/M 更高时也是有效的。然而，当 N/M 约等于 1 时，C_2 的值变得很大，L_2 的值变得很小。

例 7.3 当 $Z_S = 10\ \Omega$、$Z_L = 50\ \Omega$、$N/M = 1.05$、设计频率在 10 GHz 时，计算图 7.7 中各电路图的元件的值。在 8 ~ 12 GHz 时，比较这些匹配网络负载端口的反射情况。

解 这里

$$M = Z_L/Z_S = 5$$

利用式(7.10) ~ 式(7.14)计算的元件值为

(a) $C_1 = 0.722$ pF, $C_2 = 1.424$ pF, $L_3 = 0.366$ nH
(b) $L_1 = 0.328$ nH, $L_2 = 0.178$ nH, $C_3 = 0.693$ pF
(c) $L_1 = 0.328$ nH, $C_2 = 1.424$ pF, $C_3 = 0.557$ pF
(d) $C_1 = 0.772$ pF, $L_2 = 0.178$ nH, $L_3 = 0.455$ nH

随频率变化，反射系数的大小画在图 7.8 中。

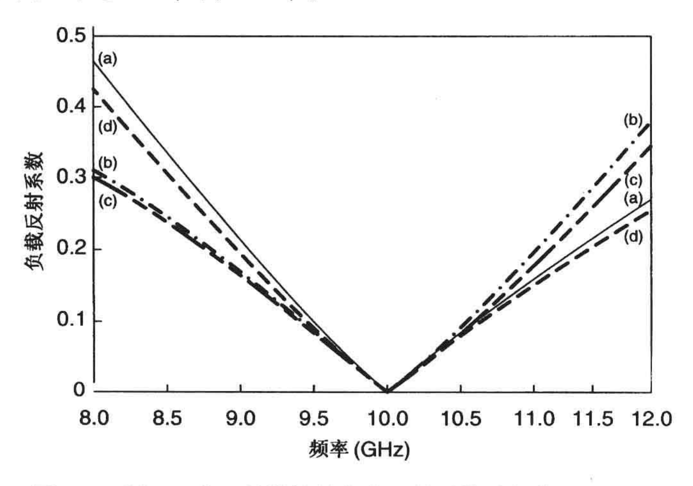


图 7.8 例 7.3 中 4 种结构的负载反射系数随频率变化的情况

7.2.2 传输线匹配技术

本节将讨论用传输线设计窄带和宽带匹配网络。一个标准的传输线，比如微带线可以用做串联传输线，也可以用做开路节和短路节，或是一个 λ/4 阻抗变换器。

λ/4 变换器

最重要的阻抗匹配网络就是 λ/4 变换器，用来把一个实阻抗变换为另一个实阻抗。图 7.9 中无耗网络的输入阻抗是

$$Z_{in} = Z_m \frac{Z_L + jZ_m \tan\theta}{Z_m + jZ_L \tan\theta} = Z_0 \frac{1+\Gamma}{1-\Gamma} \tag{7.15}$$

这里，Z_m 是传输线的特征阻抗，$\theta = \beta l$，Γ 是反射系数。

当 $Z_{in} = R_S = Z_0$、$\theta = \pi/2$ 时，

$$Z_0 = \frac{Z_m^2}{Z_L} \tag{7.16}$$

图 7.9　λ/4 传输线阻抗变换器

如果 Z_m 选择为 $\sqrt{Z_0 Z_L}$，则在中心频率处，Z_L 就被匹配到 Z_0，此时传输线的长度是 $(\lambda/4 + n\lambda/2)$。对于 TEM 传输线，$\theta = \pi f/(2f_0)$，f_0 是 $\theta = \pi/2$ 时的频率。这种情况下，相对带宽可以表示为

$$\frac{\Delta f}{f_0} = 2\left(1 - \frac{f}{f_0}\right) = 2\left(1 - \frac{2}{\pi}\theta_m\right) \tag{7.17a}$$

$$\theta_m = \arccos\left(\frac{2\Gamma_m}{\sqrt{1-\Gamma_m^2}} \frac{\sqrt{Z_0 Z_L}}{Z_L - Z_0}\right) \tag{7.17b}$$

Γ_m 是所要求的带宽中最大的反射系数。相对带宽 FBW（或简称 BW）定义为

$$\text{BW} = \frac{\Delta f}{f_0} \tag{7.18a}$$

$$\Delta f = f_2 - f_1, \quad f_0 = \sqrt{f_1 f_2} \tag{7.18b}$$

其中 f_1 和 f_2 分别是频带的下边带和频带的上边带。

例 7.4　利用 λ/4 微带线把 100 Ω 的负载变换到 50 Ω。请计算需要的特征阻抗，物理长度，当最大容忍反射系数分别是 0.1 和 0.2 时的带宽。频率是 10 GHz，基底的介质常数是 $\varepsilon_{re} = 6.25$。

解　使用式(7.16)有

$$Z_m = \sqrt{100 \times 50} = 70.7\ \Omega$$
$$\ell = \frac{\lambda}{4} = \frac{\lambda_0}{4\sqrt{\varepsilon_{re}}} = \frac{3 \times 10^{10}}{4 \times 10 \times 10^9 \times \sqrt{6.25}}\ \text{cm} = 3\ \text{mm}$$

根据式(7.17)，当 $\Gamma_m = 0.1$ 时，相对带宽是

$$\text{BW} = 2 - \frac{4}{\pi}\arccos\left[\frac{2 \times 0.1}{\sqrt{1 - 0.1^2}} \frac{70.7}{50}\right] = 0.37 \text{ 或 } 37\%$$

当 $\Gamma_m = 0.2$ 时，

$$\text{BW} = 2 - \frac{4}{\pi}\arccos\left[\frac{2 \times 0.2}{\sqrt{1 - 0.2^2}} \frac{70.7}{50}\right] = 0.78 \text{ 或 } 78\%$$

因此当反射系数增加一倍时，BW 增加近一倍。

串联单支节变换器

最简单的匹配网络就是用一段特征阻抗为 Z_m、电长度为 θ 的串联传输线将复阻抗 $Z_L = R_L + jX_L$ 变换成实阻抗 $Z_S = R_S$，如图 7.10(a)所示。这里式(7.15)可写成

$$R_S = Z_{in} = Z_m \frac{R_L + j(X_L + Z_m \tan\theta)}{Z_m - X_L \tan\theta + jR_L \tan\theta} \tag{7.19}$$

实部和虚部分别相等，得到

$$R_S(Z_m - X_L \tan\theta) = Z_m R_L \tag{7.20a}$$

$$R_S R_L \tan\theta = Z_m(X_L + Z_m \tan\theta) \tag{7.20b}$$

$$Z_m = \frac{\sqrt{R_S R_L - (R_L^2 + X_L^2)}}{1 - R_L/R_S} \tag{7.21a}$$

$$\tan\theta = \frac{\sqrt{(1 - R_L/R_S)[R_S R_L - (R_L^2 + X_L^2)]}}{X_L} \tag{7.21b}$$

这是一种窄带匹配技术，其应用受到限制，因为只有使 Z_m 为实数的阻抗才能匹配[见式(7.21a)]。

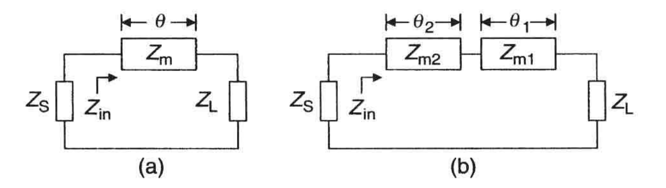


图 7.10 串联传输线阻抗匹配：(a)单支节；(b)双支节

实际的设计中，变换器的特征阻抗受到所选传输线种类的限制。例如，使用的微带线和带状线的阻抗值一般在 20 ~ 100 Ω 之间。从式(7.21)中的限制可得：其可变换的阻抗只占到史密斯圆图的 22% 左右[7]。利用图 7.10(b)所示的两个传输线串联，可以提高这个范围。第一节把负载阻抗变化到可匹配的区域，第二节把阻抗变换到源阻抗。使用特征阻抗在 20 ~ 100 Ω 之间的这种双线结构，可以把能变换的负载阻抗区域提高到 75%（史密斯圆图中）。

当 $\theta = \lambda/8 = 45°$时，

$$Z_m = |Z_L| = [R_L^2 + X_L^2]^{1/2} \tag{7.22a}$$

$$R_S = \frac{Z_m R_L}{Z_m - X_L} \tag{7.22b}$$

因此 $\lambda/8$ 传输线可以把复阻抗变换到实阻抗[见式(7.22b)]。

$\lambda/4$ 和 $\lambda/8$ 变换器

复阻抗(Z_L)可以通过两节传输线变换到实阻抗(R_S)，如图 7.11 所示。这里，45°的传输线将复阻抗变换到一个实阻抗，然后 $\lambda/4$ 传输线将这个中间实阻抗变换到阻抗 R_S。

第一节(45°)的特征阻抗等于终端阻抗的模值：

$$Z'_m = \sqrt{R_L^2 + X_L^2} \tag{7.23a}$$

$$R'_S = \frac{Z'_m R_L}{Z'_m - X_L} \tag{7.23b}$$

图 7.11 两节传输线阻抗变换网络

最后一节(90°)的特征阻抗是

$$Z_m = \sqrt{\frac{R_S R_L Z'_m}{Z'_m - X_L}} \tag{7.23c}$$

例 7.5 考虑一个 1.25 mm 的器件，其负载阻抗 Z_L 等效为 36 Ω 电阻与 −0.38 pF 的电容并联，工作在 8 V，用 $\lambda/4$ 传输线和 $\lambda/8$ 传输线串联结构匹配到 50 Ω。

在最大反射系数是0.1、15 mil 的氧化铝介质、工作频率为5～10 GHz 的情况下，确定传输线的特征阻抗、物理长度和带宽。

解　负载阻抗值是

$$Z_L = 30.39 + \mathrm{j}\,13.06\ \Omega, \quad 5\ \mathrm{GHz}$$
$$= 20.7 + \mathrm{j}\,17.8\ \Omega, \quad 10\ \mathrm{GHz}$$

5 GHz 时，对于 $\lambda/8$ 传输线，使用式(7.23a)得

$$Z'_m = \sqrt{30.39^2 + 13.06^2} = 33.08\ \Omega$$
$$R'_S = \frac{33.08 \times 30.39}{33.08 - 13.06} = 50.2\ \Omega$$

由于从 $\lambda/8$ 传输线看进去的阻抗很接近 50 Ω，所以就没有必要使用 $\lambda/4$ 传输线了。使用 CAD 工具，带宽、线宽和线长分别是67%、30.3 mil、108.3 mil。

10 GHz 时，使用式(7.23a)得

$$Z'_m = \sqrt{20.7^2 + 17.8^2} = 27.3\ \Omega$$
$$R'_S = \frac{27.3 \times 20.7}{27.3 - 17.8} = 59.49\ \Omega$$

对于 $\lambda/4$ 传输线，使用式(7.23c)得

$$Z_m = \sqrt{50 \times 59.49} = 54.54\ \Omega$$

使用 CAD 工具，计算得到的带宽是34%，得到 $\lambda/8$ 传输线的线宽和线长分别是41 mil、53 mil；得到 $\lambda/4$ 传输线的线宽和线长分别是11.8 mil、115 mil。由于负载中的电抗部分，当工作频率提升两倍时，变换器的带宽就变为一半了。

复阻抗到复阻抗的变换器

放大器的级间匹配需要复阻抗到复阻抗的变换器，可以用本节讨论的方法来实现。考虑图7.9。将式(7.15)中的 Z_{in} 用源阻抗 $Z_S = R_S + \mathrm{j}X_S$ 的共轭替换，就获得了这个变换器的设计方程：

$$Z_m = \left(\frac{R_S|Z_L|^2 - R_L|Z_S|^2}{R_L - R_S}\right)^{1/2} \qquad (7.24a)$$

$$\tan\theta = \frac{Z_m(R_L - R_S)}{R_L X_S - R_S X_L} \qquad (7.24b)$$

图7.12　三节传输线阻抗变换网络

这里 $Z_S^2 = R_S^2 + X_S^2$ 和 $Z_L^2 = R_L^2 + X_L^2$。复阻抗到复阻抗的三节变换器和图7.11很相似，展示在图7.12中。

支节匹配

单支节或多支节用来匹配源与有源器件输入端口、有源器件输出端口与负载之间的复阻抗。双支节匹配电路用在单支节不能使用的地方。开路节和短路节的放置位置和长度可以很容易用史密斯圆图计算[11]。

单支节匹配

由于支节匹配问题中包含传输线的并联结构，所以设计电路时用导纳比用阻抗方便。在一个单支节匹配电路中，为了最大功率传输，支节与终端线的总阻抗要与源导纳匹配。例如在图7.13中，支节放在AA处：

$$Y_{AA} = Y_0 = Y_S + Y_D \qquad (7.25)$$

Y_S 是支节(开路节或短路节)的导纳，长度是 ℓ_2；Y_D 是负载变换到 AA 处的导纳。Y_S 与 Y_D 的表达式是

$$Y_S = -jY_{02}\cot\theta_2 \quad (\text{短路节}) \tag{7.26a}$$

$$= jY_{02}\tan\theta_2 \quad (\text{开路节}) \tag{7.26b}$$

$$Y_D = Y_{01}\frac{Y_L + jY_{01}\tan\theta_1}{Y_{01} + jY_L\tan\theta_1} = G_D + jB_D \tag{7.27}$$

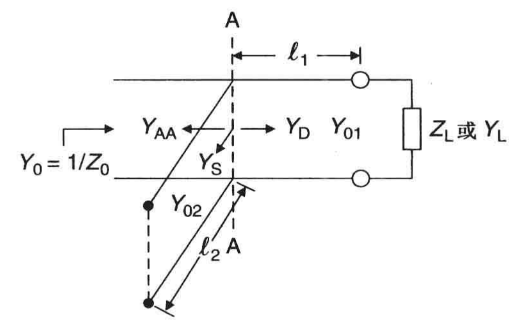


图 7.13　单支节阻抗匹配问题

$\theta_i = \beta\ell_i = (2\pi/\lambda)\ell_i (i = 1,2)$，$\lambda$ 是波导波长。在匹配条件下，

$$Y_0 = G_D \tag{7.28a}$$

$$Y_S + B_D = 0 \tag{7.28b}$$

由这些方程可以解出 ℓ_1、ℓ_2、Y_{01}、Y_{02}。一般来说，长度小于 $\lambda/4$。当 $Y_{01} = Y_0$时，ℓ_1、ℓ_2 的表达式是

$$\ell_1 = \frac{1}{\beta}\arctan\left[\frac{X_L \pm [R_L\{(Z_0 - R_L)^2 + X_L^2\}/Z_0]^{1/2}}{R_L - Z_0}\right] \tag{7.29}$$

$$\ell_2 = \frac{1}{\beta}\text{arccot}\left[\frac{Z_{02}[R_L^2 tt - (Z_0 - X_L tt)(X_L + Z_0 tt)]}{Z_0[R_L^2 + (X_L + Z_0 tt)^2]}\right] \tag{7.30}$$

其中 $tt = \tan\theta_1$。

双支节匹配

双支节匹配网络包含两个支节(更喜欢用短路节，因为制作理想的短路要比理想的开路更容易)相互并联，它们之间的长度固定(见图 7.14)。支节之间的长度一般是 1/8、3/8、5/8 个波长。支节的阻抗、长度和放置点距负载的位置都是可调节的，用来达到完美匹配。在图 7.14中，

$$Y_{BB} = Y_{S2} + Y_{D2} = Y_0 \tag{7.31}$$

Y_{BB}是第 2 个支节左面的总导纳，Y_{S2}是第 2 个支节的导纳，Y_{D2}是 AA 点的导纳 Y_{AA}($= Y_{S1} + Y_{D1}$)变换到 BB 处的导纳，Y_{S1}是第 1 个支节的导纳，Y_{D1}是负载变换到 AA 面的导纳。解决双支节匹配问题没有一个确定的步骤。可以从任意选择的第一支节的位置(到负载的长度)开始，通过反复迭代进行设计。

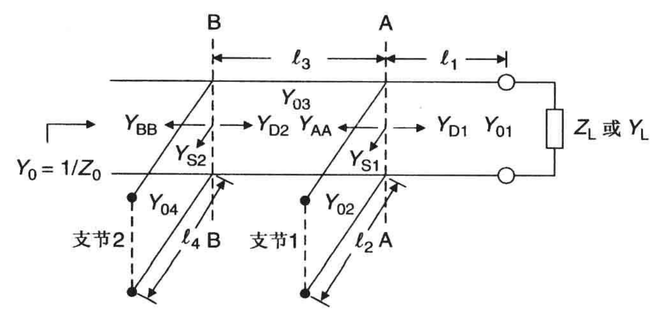


图 7.14　双支节阻抗匹配问题

图 7.15 展示了一个 $\lambda/4$ 双支节变换器。支节的电长度是

$$\theta_1 = \arctan[-b_L \mp \sqrt{g_L(1-g_L)}] \quad (7.32a)$$

$$\theta_2 = \mp\arctan[(1-g_L)/g_L] \quad (7.32b)$$

这里 $R_S = Z_m$ 和 $g_L + jb_L = Z_m/Z_L$。

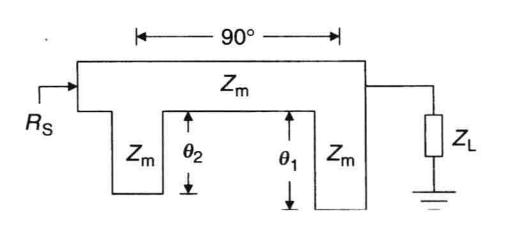


图 7.15 简单的双支节匹配网络

例 7.6 将负载阻抗 $Z_L = 25 + j25\ \Omega$ 变换到 25 Ω。设计一个包含 50 Ω 特征阻抗的开路节与 $\lambda/4$ 变换器的匹配网络。如果将负载变换到 50 Ω 的系统阻抗，还需要 $\lambda/4$ 变换器吗？使用附录 F 的史密斯圆图设计这个匹配网络。

解 归一化的负载(相对于 50 Ω)阻抗是 $Z'_L = (25 + j25)/50 = 0.5 + j0.5$，位于史密斯圆图的 A 点，如图 7.16(a)所示。画等反射系数圆，使其通过点 A 和点 B。点 B 距点 A 有 $\lambda/2$，代表了一个归一化的导纳 $Y'_L = 1 - j1$。需要一个 +1 的归一化电纳来抵消归一化负载的 −1 电纳。+1 的电纳通过开路节获得。开路节的长度 ℓ_1 是 0.125λ。连上这个支节，归一化的负载导纳就变成 1，去归一化之后就是 50 Ω。因此，如果只要匹配到 50 Ω，一个支节就足够了。50 Ω 的负载阻抗可以通过 $\lambda/4$ 变换器变到 25 Ω，变换器的特征阻抗是 $Z_{0T} = \sqrt{50 \times 25} = 35.35\ \Omega$，$\ell_2 = 0.25\lambda$，图 7.16(b)展示了该匹配电路。

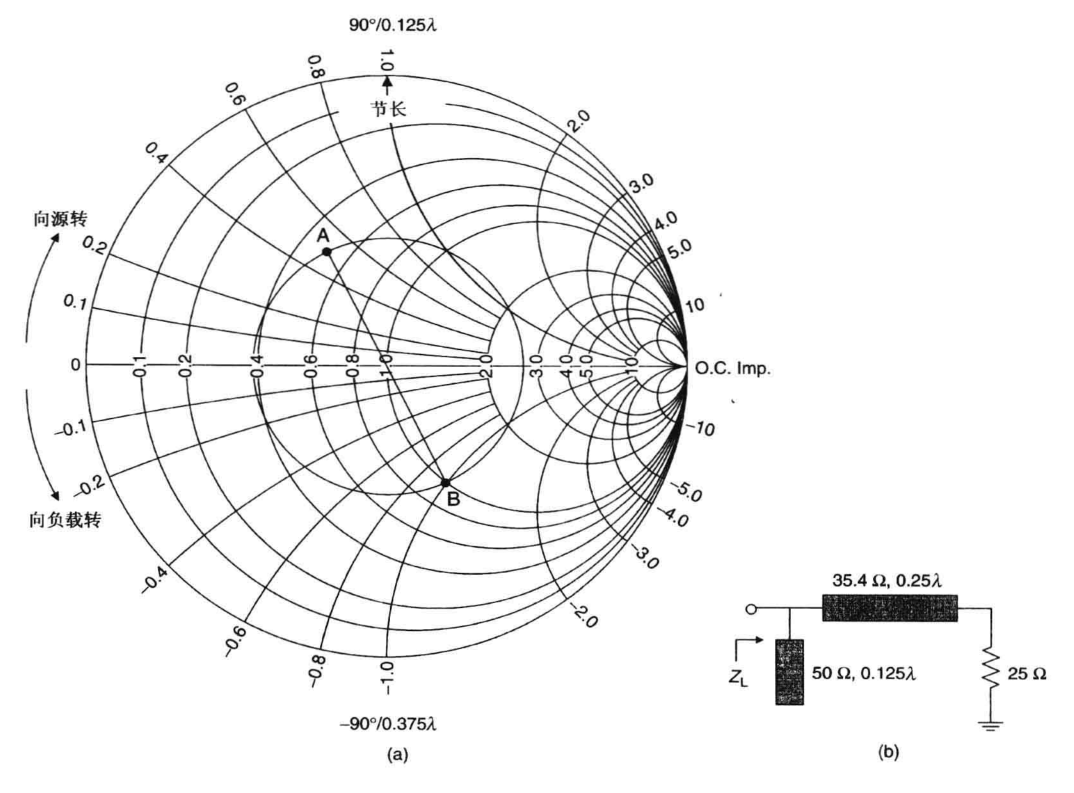


图 7.16 (a)负载匹配的史密斯圆图解答；(b)匹配网络的电路图

7.3 宽带匹配技术

前面的章节阐述了窄带匹配技术。这些技术在单频点上提供了完美的阻抗匹配，在设计频带范围上提供了可以接受的反射系数。传统上，带宽可以通过级联多节 7.2 节描述的阻抗变换器而得到扩展。在多节变换器中，阻抗被逐步匹配。常用的宽带匹配技术将在本节阐述。

7.3.1 增益-带宽限制

在设计宽带匹配网络之前，必须知道最大能获得多少带宽。这个就需要 Bode-Fano 准则[12,13]，该理论告诉我们，在给定负载类型时，通过调整相关电路的匹配网络，理论上能获得理想的最小反射系数。Bode-Fano 准则给出了理想情况下可以获得的最优解，即使现实中也许不能实现。这个最优解很重要，因为它给设计者提供一个指标上限，而且给实际的设计提供了一个比较的基准。

一般来说，有源器件的输入和输出阻抗可以用集总元件来近似。例如晶体管的输入和输出阻抗可以用 4 种类型来近似，如图 7.17 所示。其实只有图 7.17(a) 和图 7.17(c) 这两类，图 7.17(b) 和图 7.17(d) 分别是图 7.17(a) 和图 7.17(c) 的变形。

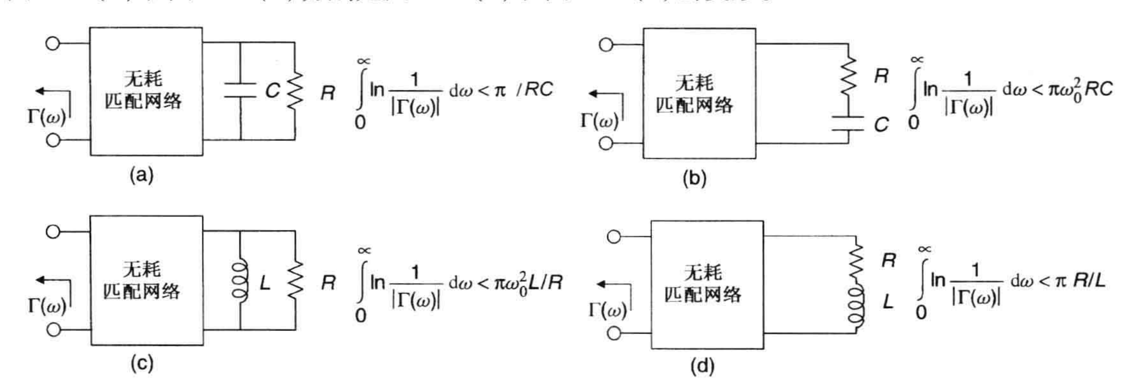


图 7.17 RC 和 RL 型负载的 Bode-Fano 限制：(a) 并联 RC；(b) 串联 RC；(c) 并联 RL；(d) 串联 RL

对于图 7.17 所示的简单情况，Bode[12] 首先推导出了匹配网络的基本限制。著名的 Bode-Fano 准则（增益-带宽限制）如下：

$$\int_0^\infty \ln\left|\frac{1}{\Gamma}\right| d\omega \leqslant \frac{\pi}{RC}$$

Γ 是匹配网络的输入反射系数。如果 Γ_m 是最小的反射系数，而且在想要的带宽（ω_a 到 ω_b）里是常数，其他地方的 Γ 是 1（见图 7.18），则最佳反射系数可以通过下式得到：

$$\int_{w_a}^{w_b} \ln\left|\frac{1}{\Gamma}\right| d\omega = \frac{\pi}{RC} = (\omega_b - \omega_a)\ln\left|\frac{1}{\Gamma_m}\right| \tag{7.33a}$$

$$\Gamma_m = e^{-\pi Q_C/Q_L} \tag{7.33b}$$

这里 Q_C 和 Q_L 分别是电路品质因数和负载品质因数，表达式如下：

$$Q_C = \frac{\omega_0}{\Delta\omega},\quad \Delta\omega = \omega_b - \omega_a,\quad \mathrm{BW} = 1/Q_C \tag{7.34a}$$

$$Q_L = \omega_0 RC \tag{7.34b}$$

$$\omega_0 = \sqrt{\omega_a\omega_b} \tag{7.34c}$$

$$Q_L \mathrm{BW} = \frac{\pi}{\ln(1/\Gamma_m)} \tag{7.34d}$$

如果 Q_L 定义得合适，则对于其他负载，式(7.34d)也成立。

从式(7.33b)可以推出如下结论：

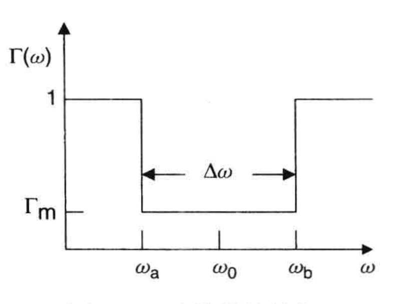


图 7.18　变换器的最优反射系数响应

1. 对于给定的负载，带宽和反射系数的比是固定的，因此带宽的增加只能以反射系数为代价。
2. 通带内反射系数 Γ_m 不可能是零，除非带宽 $\Delta\omega = 0$。所以完美匹配(反射系数等于 0)只能在有限的频率点实现。
3. 对于给定的回波损耗，Q_L 越低则带宽越宽，反之亦然。在这里，相对低的电抗被吸收进匹配网络中。
4. 根据式(7.33)和式(7.34)，$\Delta\omega$ 或 $1/\Gamma_m$ 随着 R 或 C 的增加而降低。因此高 Q_L 的负载比低 Q_L 的负载更难匹配。高 Q_C/Q_L 比将导致低 Γ_m 值。
5. 当 $C=0$ 时，则 Q_L 和 Γ_m 都等于 0。理论上，无限节的多节变换器有无限的带宽，然而在实际中多到 4 ~ 5 节就变得不太可能了。
6. 当 $R=\infty$时，Q_L 和 Γ_m 变成无限大。因此电抗性负载不可能用无耗网络匹配。

Bode-Fano 分析的基本情形是将一个复阻抗变换到一个实阻抗，这个实阻抗可能不是 50 Ω。假设这个实阻抗可以通过额外的匹配网络变换到 50 Ω 的源阻抗，如图 7.19(a)所示。使用无耗 n 极点可调匹配网络，负载 Q 带宽项(Q_LBW)与反射系数 Γ 的简化关系由 Lopez[14~16]给出：

$$Q_L \mathrm{BW} = \frac{1}{b_n \sinh\left[\frac{1}{a_n}\ln\left(\frac{1}{\Gamma}\right)\right] + \frac{1-b_n}{a_n}\ln\left(\frac{1}{\Gamma}\right)} \tag{7.35a}$$

系数 a_n 和 b_n 由 Lopez 在参考文献[15]中给出，复制在表 7.1 中。对于不同的 n，上式变成

单节调谐匹配

$$Q_L \mathrm{BW} = \frac{2\Gamma}{1-\Gamma^2} \quad n=1 \tag{7.35b}$$

双节调谐匹配

$$Q_L \mathrm{BW} = \frac{2\sqrt{\Gamma}}{1-\Gamma} \quad n=2 \tag{7.35c}$$

无限节调谐匹配

$$Q_L \mathrm{BW} = \frac{\pi}{\ln(1/\Gamma)} \quad n=\infty \tag{7.35d}$$

式(7.34d)和式(7.35d)是一样的。表 7.2 给出了当 $n=1$、2、3、∞和两个 VSWR 值时 Q_LBW 项的值，Q_LBW 项是有限的，即使有无限个匹配元件也是如此。当 VSWR = 1.2、$n=\infty$时，Q_LBW 项是 1.31。如果 $Q_L=1$，相对带宽(fractional bandwidth)是 1.31，稍微大于一个倍频程。图 7.19(b)展示了对于不同的可调匹配网络，Q_LBW 项与回波损耗的关系。

当给定器件 Q 值和回波损耗时，Bode-Fano 准则给出了带宽的绝对限制。这里使用了几个假设，包括匹配网络是理想的，额外需要一个变换器将实阻抗变换到 50 Ω，通过电抗吸收滤波节来完成负载阻抗变换，实际中可达到的带宽低于准则给出的带宽。

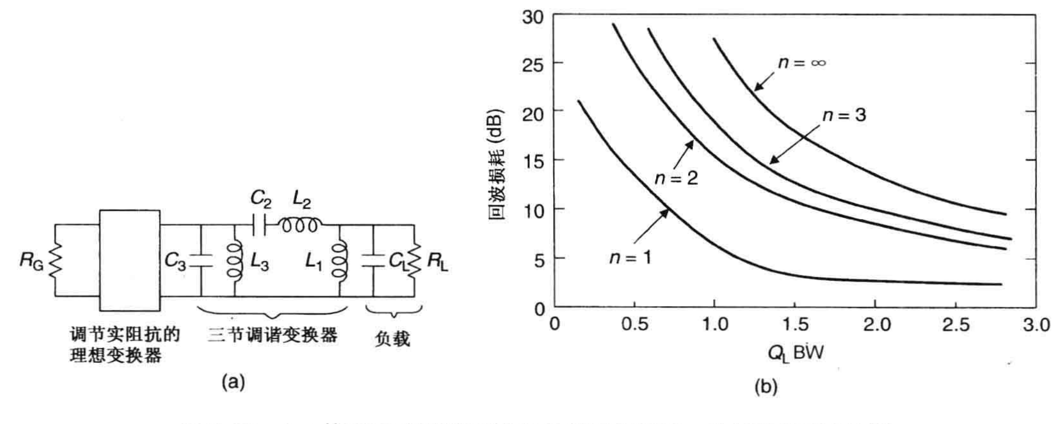


图 7.19 (a)使用三节调谐网络的负载匹配网络；(b)对于不同的调谐式匹配网络，Q_L BW乘积项与回波损耗的变化关系

表 7.1 不同的 n 时，a_n 和 b_n 的值

n	a_n	b_n
1	1	1
2	2	1
3	2.413	0.678
4	2.628	0.474
5	2.755	0.347
6	2.838	0.264
7	2.896	0.209
8	2.937	0.160
∞	π	0

表 7.2 对于两个 VSWR 值，Q_LBW 乘积项的值

匹配	VSWR = 1.2	VSWR = 2
单节调谐，$n=1$	0.183	0.750
双节调谐，$n=2$	0.663	1.732
三节调谐，$n=3$	0.901	2.146
无限节调谐，$n=\infty$	1.310	2.860

例 7.7 考虑一个 1 mm 栅宽的晶体管，负载等效电路是 56 Ω 电阻和 −0.32 pF 电容并联。器件被匹配到 50 Ω。如果这个器件尺寸增加到 4 倍，即负载变成 14 Ω、−1.28 pF，比较在 10 GHz 时，哪个器件的宽带性能更好？

解 对于器件 1，根据式(7.34b)有

$$Q_L = 2\pi f R_L|C_L| = 2\times 3.1416\times 10\times 10^9\times 56\times 0.32\times 10^{-12} = 1.1259$$
$$Q_L\,\text{BW} = Q_L\Delta f/f_0 = 0.1259\Delta f$$

对于器件 2，有

$$Q_L = 2\pi f R_L|C_L| = 2\times 3.1416\times 10\times 10^9\times 14\times 1.28\times 10^{-12} = 1.1259$$
$$Q_L\,\text{BW} = Q_L\Delta f/f_0 = 0.1259\Delta f$$

因此这两个器件有相同的 Q_LBW 项，根据 Bode-Fano 准则，对于特定的回波损耗，两个晶体管有相同的带宽 Δf。使用多节调谐匹配电路，电抗性吸收带宽也是一样的。然而从 56 Ω 变换到50 Ω，比 14 Ω 变换到 50 Ω 要简单。因此实际中大尺寸的晶体管比小尺寸的晶体管的带宽要小。

7.3.2 集总元件宽带匹配技术

宽带网络可以用常规的滤波器网络理论或是级联 L 形网络综合实现。后面这种方法的分析将在本节阐述。

考虑一个 n 节 L 形匹配网络，如图 7.20 所示。这里 $R_S > R_L$，R_1，R_2，…，R_{n-1}是虚拟电阻，它们的值在 R_S 与 R_L 之间。这些电阻不在电路中，只是用来将 7.2.1 节介绍的分析方法扩展到 n 节拓扑。阻抗变换一步步地执行，从 R_S 到 R_1，R_2，…，最终到 R_L。当相邻电阻比相等时，可以得到最优化带宽：

$$\frac{R_S}{R_1} = \frac{R_1}{R_2}\cdots = \frac{R_{n-1}}{R_L} \tag{7.36}$$

$$R_1 = (R_S R_2)^{1/2} \tag{7.37a}$$

$$R_2 = (R_1 R_3)^{1/2}$$
$$\vdots \tag{7.37b}$$
$$R_{n-1} = (R_{n-2} R_L)^{1/2}$$

例如，对于三节变换器，

$$R_1 = R_S^{2/3}\ R_L^{1/3} \tag{7.38a}$$

$$R_2 = R_S^{1/3}\ R_L^{2/3} \tag{7.38b}$$

利用下面的公式可以算出 C、L 的值：

$$C_1 = \frac{Q_1}{\omega R_S},\quad C_2 = \frac{Q_2}{\omega R_1},\quad C_3 = \frac{Q_3}{\omega R_2}\cdots \tag{7.39}$$

$$L_1 = Q_1 R_1/\omega,\quad L_2 = Q_2 R_2/\omega,\quad \cdots,\quad L_n = Q_n R_L/\omega \tag{7.40}$$

这里

$$Q_1 = [R_S/R_1 - 1]^{1/2},\quad Q_2 = [R_1/R_2 - 1]^{1/2},\quad \cdots,\quad Q_n = [R_{n-1}/R_L - 1]^{1/2} \tag{7.41}$$

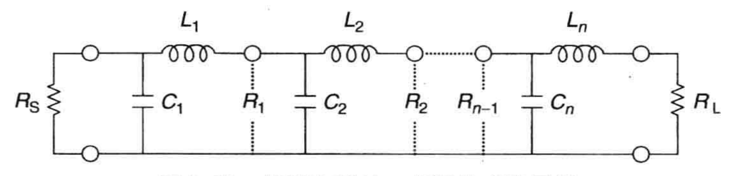


图7.20 使用L形的 n 节阻抗变换网络

例7.8 将器件的输入阻抗变换到50 Ω，输入阻抗等效为2.5 Ω与1.0 pF的串联。工作频率是10 GHz，综合该网络并确定网络的元件值。

解 这个例子将50 Ω 变换到2.5 Ω与 -1.0 pF的串联阻抗上，这里

$$Z_{\text{in}}^* = R_{\text{in}} + \mathrm{j}X_{\text{in}} = 2.5 - \mathrm{j}\frac{1000}{-1 \times 2\pi \times 10} = 2.5 + \mathrm{j}15.9\ \Omega$$

如图7.21所示，有两种方法可以用来实现阻抗变换器。

对于图7.21(a)，

$$Z_{\text{m}}' = \sqrt{R_{\text{in}}^2 + X_{\text{in}}^2} = \sqrt{2.5^2 + 15.9^2} = 16.1\ \Omega$$
$$R_S' = \frac{Z_{\text{m}}' R_{\text{in}}}{Z_{\text{m}}' - X_{\text{in}}} = \frac{16.1 \times 2.5}{16.1 - 15.9} = 201.3\ \Omega$$

201.3 Ω的阻抗可以通过三节变换器变换到 $R_S = 50\ \Omega$。使用式(7.38)有

$$R_1 = 201.3^{2/3}\ 50^{1/3} = 126.5\ \Omega$$
$$R_2 = 201.3^{1/3}\ 50^{2/3} = 79.5\ \Omega$$
$$Q_1 = \left[\frac{201.3}{126.5} - 1\right]^{1/2} = 0.769 = Q_2 = Q_3$$
$$\omega = 2\pi f = 62.83 \times 10^9\quad \text{rad/s}$$

下面我们计算 L、C 的值：

$$C_1 = \frac{Q_1}{\omega R_S'} = \frac{0.769 \times 10^3}{62.83 \times 201.3}\ \text{pF} = 0.061\ \text{pF}$$
$$C_2 = \frac{Q_2}{\omega R_1} = 0.0968\ \text{pF},\quad C_3 = \frac{Q_3}{\omega R_2} = 0.154\ \text{pF}$$
$$L_1 = Q_1 R_1/\omega = 1.548\ \text{nH},\quad L_2 = Q_2 R_2/\omega = 0.973\ \text{nH},\quad L_3 = Q_3 R_S/\omega = 0.612\ \text{nH}$$

使用 CAD 工具，计算得到的带宽是26%。对于15 mil 厚的氧化铝介质上的 $\lambda/8$ 微带线，计算得到的宽度是85 mil，长度是50.8 mil。

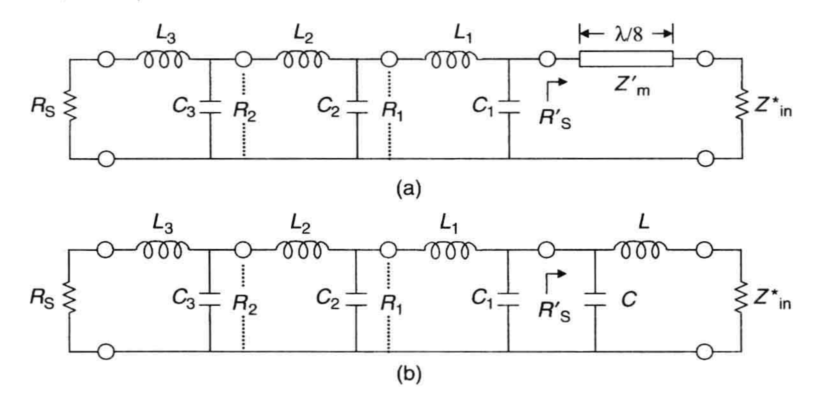


图7.21 四节阻抗变换器

下面考虑图7.21(b)的电路。使用式(7.6)可以得到第一个 L 形元件值：

$$X = \omega L = \pm\sqrt{R_{\text{in}}(R'_{\text{S}} - R_{\text{in}})} - X_{\text{in}}$$

$$B = \omega C = \pm\frac{\sqrt{(R'_{\text{S}} - R_{\text{in}})/R_{\text{in}}}}{R'_{\text{S}}}$$

假设 $R'_{\text{S}} = 150\ \Omega$，选取正值，我们有

$$\omega L = \sqrt{2.5(150 - 2.5)} - 15.9 = 3.3029\ \Omega, \quad L = 0.0526\ \text{nH}$$

$$\omega C = \frac{\sqrt{(150 - 2.5)/2.5}}{150} = 0.0512\ \text{S}, \quad C = 0.815\ \text{pF}$$

和上面的方法一样，可以计算出将150 Ω 变换到50 Ω 的三节变换器的元件值：

$$R_1 = 104.06\ \Omega, \quad R_2 = 72.1\ \Omega$$
$$Q_1 = Q_2 = Q_3 = 0.664$$
$$C_1 = 0.0705\ \text{pF}, \quad C_2 = 0.102\ \text{pF}, \quad C_3 = 0.1467\ \text{pF}$$
$$L_1 = 1.1\ \text{nH}, \quad L_2 = 0.762\ \text{nH}, \quad L_3 = 0.5287\ \text{nH}$$

使用 CAD 工具，计算得到的带宽是33%，比前面的例子高出27%。

7.3.3 传输线宽带匹配网络

多节 $\lambda/4$ 阻抗变换器常用来实现宽带匹配。匹配网络输入端的反射系数是每一个阻抗不连续面的反射叠加。对于小反射，可以近似写成

$$\Gamma = |\Gamma_1| + |\Gamma_2|\,\text{e}^{-\text{j}2\theta} + |\Gamma_3|\,\text{e}^{-\text{j}4\theta} \cdots |\Gamma_{N+1}|\,\text{e}^{-2\text{j}N\theta} \tag{7.42}$$

Γ_i 是 N 节变换器的第 i 个不连续处的一阶反射，如图7.22(a)所示。对于一个对称节($|\Gamma_i| = |\Gamma_{N+2-i}|$)，式(7.42)可以简化成

$$\Gamma = 2\text{e}^{-\text{j}N\theta}[\rho_1 \cos N\theta + \rho_2 \cos (N-2)\theta + \cdots + A] \tag{7.43}$$

这里

$$\rho_i = |\Gamma_i| = \left|\frac{Z_{i+1} - Z_i}{Z_{i+1} + Z_i}\right| \quad \text{或} \quad \frac{Z_{i+1}}{Z_i} = \frac{1 + \rho_i}{1 - \rho_i} \tag{7.44}$$

$$A = \begin{cases} \rho_{(N+1)/2}\cos\theta, & N \text{ 为奇数} \\ \frac{1}{2}\rho_{(N/2)+1}, & N \text{ 为偶数} \end{cases} \tag{7.45}$$

对于给定的输入和输出阻抗比与带宽，如果按照参考文献[1～10]选择反射系数 ρ_i 与 N 阶切比雪夫(Chebyshev)型或是二项式型中的相应项成比例，可以达到最小的带内 VSWR。下面将简要介绍这些方法。

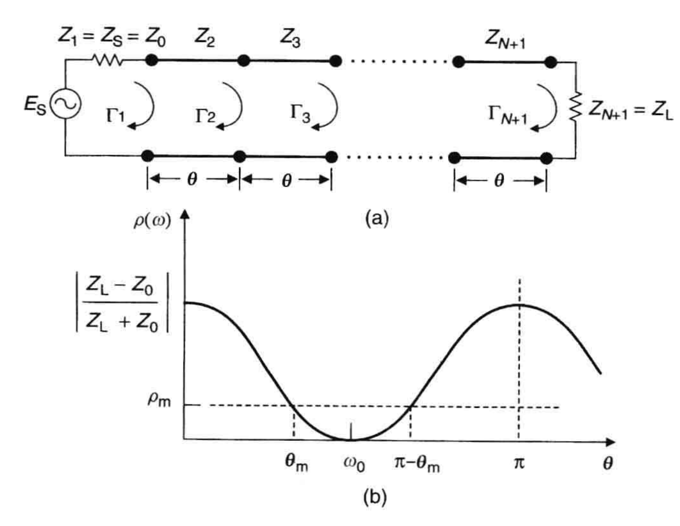


图 7.22　(a) N 节 $\lambda/4$ 阻抗变换器；(b)二项式变换器的反射系数

二项式变换器

二项式变换器可以获得最大带内平坦度，二项式变换器的最大带内平坦特性展现在图 7.22(b)中。假设带内可容忍的最大反射系数是 ρ_m。变换器的长度是带内中心频率的 $\lambda/4$。参数 θ_m[见图 7.22(b)]是

$$\theta_m = \arccos\left|\frac{2\rho_m}{\ln(Z_L/Z_0)}\right|^{1/N} \tag{7.46}$$

在传输线的情况下，$\theta = \pi f/2f_0$，则相对带宽为

$$\frac{\Delta f}{f_0} = \frac{2(f_0 - f_m)}{f_0} = 2 - \frac{4}{\pi}\arccos\left|\frac{2\rho_m}{\ln(Z_L/Z_0)}\right|^{1/N} \tag{7.47}$$

且 $\theta_m = \pi f_m/2f_0$ 。注意式(7.46)的解，选择 $\theta_m < \pi/2$ 。最大带外反射系数发生在 $\theta = 0$ 和π时，并表示为

$$\rho_{max} = \left|\frac{Z_L - Z_0}{Z_L + Z_0}\right| \tag{7.48}$$

图 7.23 展示了一个四节 $\lambda/4$ 阻抗变换器。表 7.3 列出了二节、三节、四节的阻抗数据[1, 8]。表中所列数据基于 $Z_L/Z_0 > 1$ 。对于 $Z_L/Z_0 < 1$，Z_0/Z_L 的值应该从 Z_1 等于负载开始计算。

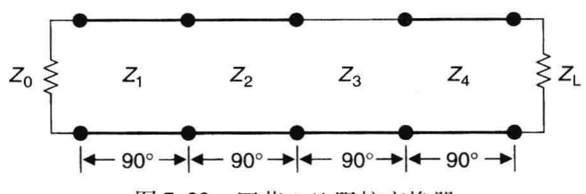


图 7.23　四节 $\lambda/4$ 阻抗变换器

表 7.3 二项式变换器设计数据

Z_L/Z_0	N = 2		N = 3			N = 4			
	Z_1/Z_0	Z_2/Z_0	Z_1/Z_0	Z_2/Z_0	Z_3/Z_0	Z_1/Z_0	Z_2/Z_0	Z_3/Z_0	Z_4/Z_0
1.0	1.0000	1.0000	1.0000	1.0000	1.0000	1.0000	1.0000	1.0000	1.0000
1.5	1.1067	1.3554	1.0520	1.2247	1.4259	1.0257	1.1351	1.3215	1.4624
2.0	1.1892	1.6818	1.0907	1.4142	1.8337	1.0444	1.2421	1.6102	1.9150
3.0	1.3161	2.2795	1.1479	1.7321	2.6135	1.0718	1.4105	2.1269	2.7990
4.0	1.4142	2.8285	1.1707	2.0000	3.3594	1.0919	1.5442	2.5903	3.6633
6.0	1.5651	3.8336	1.2544	2.4495	4.7832	1.1215	1.7553	3.4182	5.3500
8.0	1.6818	4.7568	1.3022	2.8284	6.1434	1.1436	1.9232	4.1597	6.9955
10.0	1.7783	5.6233	1.3409	3.1623	7.4577	1.1613	2.0651	4.8424	8.6110

对于二节二项式变换器，

$$Z_1 = Z_L^{1/4} Z_0^{3/4} \tag{7.49a}$$

$$Z_2 = Z_L^{3/4} Z_0^{1/4} \tag{7.49b}$$

例 7.9 设计一个二节二项式变换器，将 $Z_L = 10\ \Omega$ 变换到 $Z_0 = 50\ \Omega$。当 $\rho_m = 0.2$ 时，确定最大相对带宽，当中心频率是 10 GHz 时确定频率范围。当基底是 15 mil 的氧化铝（$\varepsilon_r = 9.9$）介质时，确定其物理尺寸。

解 这里

$$\frac{\Delta f}{f_0} = 2 - \frac{4}{\pi}\arccos\left|\frac{2\rho_m}{\ln(Z_L/Z_0)}\right|^{1/N} = 2 - \frac{4}{\pi}\arccos\left|\frac{2x0.2}{\ln(10/50)}\right|^{1/2} = 0.6645$$

因此相对带宽是 0.6645 或是 66.45%。

从式(7.18)有

$$f_2 - f_1 = 0.6645 f_0$$
$$f_2 f_1 = f_0^2$$

解出 f_1 和 f_2，得

$$f_1 = 7.215\ \text{GHz} \quad 和 \quad f_2 = 13.86\ \text{GHz}$$

从式(7.49)有

$$Z_1 = Z_L^{1/4} Z_0^{3/4} = 33.44\ \Omega$$
$$Z_2 = Z_L^{3/4} Z_0^{1/4} = 14.95\ \Omega$$

选用微带作为传输介质。物理尺寸是

$$33.44\ \Omega, \quad W_1 = 0.76\ \text{mm}, \quad \varepsilon_{re1} = 7.35, \quad \ell_1 = 2.77\ \text{mm}$$
$$14.95\ \Omega, \quad W_2 = 2.3\ \text{mm}, \quad \varepsilon_{re2} = 8.5, \quad \ell_2 = 2.57\ \text{mm}$$

低阻抗线的 ε_{re} 较高，$\lambda/4$ 传输线比高阻抗线短一点。

切比雪夫变换器

在切比雪夫变换器中，通带内 ρ 从 0 到 ρ_m 周期性变化。因此这个变换器有等波纹特性，如图 7.24 所示。这种变换器比二项式变换器带宽大得多。

三节切比雪夫 $\lambda/4$ 变换器的设计数据见表 7.4[8]。从其他文献[1]可以得到更多的扩展表格。

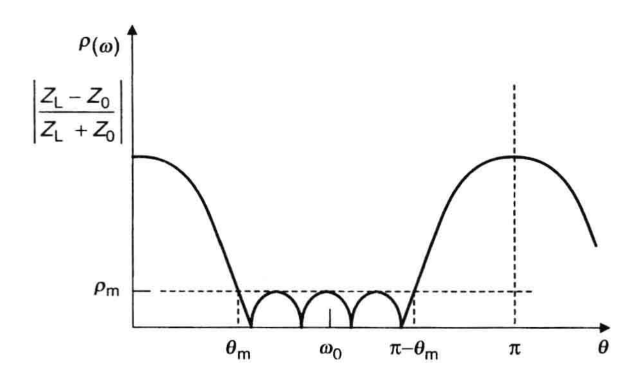


图 7.24　切比雪夫变换器的反射系数响应

表 7.4　切比雪夫变换器的设计数据[a]

Z_L/Z_0	$\Delta f/f_0=0.2$		$\Delta f/f_0=0.4$		$\Delta f/f_0=0.6$	
	Z_1/Z_0	k^2	Z_1/Z_0	k^2	Z_1/Z_0	k^2
2	1.092 47	1.19×10^{-7}	1.099 08	7.98×10^{-6}	1.1083	9.57×10^{-5}
4	1.194 74	5.35×10^{-7}	1.207 46	3.55×10^{-5}	1.230 87	4.31×10^{-4}
10	1.349	1.92×10^{-7}	1.374 82	1.28×10^{-4}	1.4232	1.55×10^{-3}
20	1.483 59	4.29×10^{-7}	1.523 71	2.85×10^{-4}	1.600 23	3.45×10^{-3}
100	1.874 11	2.33×10^{-6}	1.975	1.55×10^{-3}	2.179 28	1.87×10^{-2}

[a]注意 $Z_2=\sqrt{Z_LZ_0}$；$Z_3=Z_LZ_0/Z_1$。

使用表 7.4，对于给定的 Z_L/Z_0、k^2 和带宽，节的阻抗就确定下来。带内容忍数 k^2 与最大可容忍的带内纹波 ρ_m 的关系如下：

$$\rho_m=\left(\frac{k^2}{1+k^2}\right)^{1/2} \tag{7.50}$$

渐变传输线

另外一种实现宽带变换器的方法是利用渐变线，这种渐变线的特征阻抗随着纵向距离而变化，如图 7.25 所示。一些用来实现阻抗匹配的渐变线有线性、指数型和切比雪夫型[8,17,18]。渐变线的长度一般大于 $\lambda/2$。它们是阻抗匹配有效的解决方案。

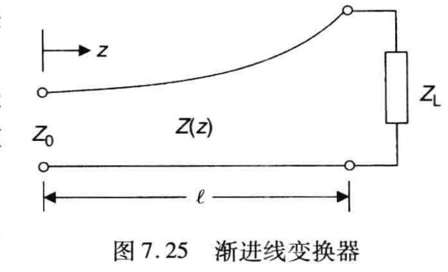


图 7.25　渐进线变换器

在感兴趣的最低频率处，渐变线变换器的综合已经完成，因为反射系数的微分随着频率降低得很快。指数型渐变线的长度是[18]

$$\ell=\frac{\lambda}{\rho_m}\frac{\ln(\bar{Z}_L)}{4\pi} \tag{7.51}$$

ρ_m 是最大反射系数，$\bar{Z}_L(=Z_L/Z_0)$ 是负载的归一化值，λ 是感兴趣的最低频率的波导波长。随长度参数 z 变化的归一化阻抗是

$$\bar{Z}(z)=e^{(z/\ell)\ln\bar{Z}_L} \tag{7.52}$$

设计线性和切比雪夫型的渐变传输线变换器见参考文献[8]和[18]。

例 7.10　设计一个指数型 TEM 线渐变器，将 50 Ω 的源匹配到 100 Ω 的负载，最大的反射系数 $\rho_m=0.1$，感兴趣的频率是 4 GHz。

解　从式(7.51)得

$$\ell = \frac{\lambda}{0.1} \cdot \frac{\ln(2)}{4\pi} = 0.55\lambda$$

$\overline{Z}(z) = e^{1.26z/\lambda}$，当 z/ℓ 取0、1/8、1/4、1/2、3/4和1时，相应的特征阻抗是50 Ω、54.5 Ω、59.5 Ω、70.7 Ω、84.1 Ω和100 Ω。

假设有效介电常数是6.25，有

$$\lambda = \frac{30}{4} \times \frac{1}{\sqrt{6.25}} = 3\ \text{cm}$$
$$\ell = 1.65\ \text{cm}$$

7.3.4　巴伦型宽带匹配技术

传输线变换器(TLT)经常用在RF和低微波频段的多倍频阻抗匹配中，TLT使用直线或是盘绕的耦合传输线[19]。这种变换器可以使用任何多层制造技术设计，例如印制电路板、LTCC、HTCC、单片硅或GaAs集成电路。图7.26展示了4∶1的阻抗变换器($Z_S = 4Z_L$)，其中 Z_S 是源阻抗，Z_L 是负载阻抗。这里传输线A、B不是电磁耦合的，它们的长度(L)一般是 $\lambda/4$。这个结构中每条线的特征阻抗都是 Z_0。如果线之间相互耦合，例如边耦合微带线，展示在图7.27中(顶视图)，则当两个导体之间耦合增加时，带宽增加、传输线长度降低。在不对称的宽边耦合微带线中，耦合系数很大，展示在图7.28中(侧视图)。因此这种结构的带宽更大，尺寸更小。这时线长(L)一般是 $\lambda/8$。当端口1和端口2对换时，这时就变成1∶4的TLT。

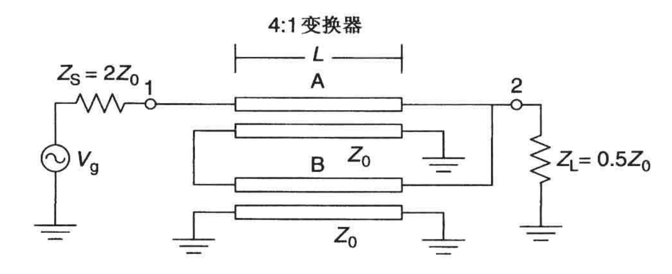


图7.26　使用两个非耦合线(A和B)的阻抗匹配网络

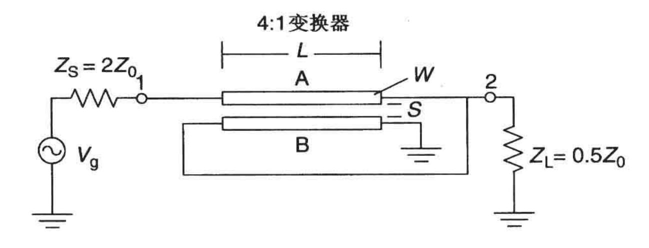


图7.27　使用边耦合微带线的阻抗变换器，地平面没有显示

由于介质和导体都是多层的，因此常规的电路仿真器很难准确地设计不对称宽边耦合TLT。然而可以用电磁仿真器进行准确的设计。我们用Sonnet软件的“em™”设计了一个50～12.5 Ω的(4∶1)不对称宽边耦合TLT[19]。表7.5给出了这个阻抗变换器的介质参数，导体的长是L，宽是W，将这个变换器的特性和另外三种变换器进行比较，另外三种变换器分别是单支节 $\lambda/4$ 微带线、不耦合的TLT、边耦合TLT。图7.29和图7.30展示了随频率变化的反射系数和传输系数。表7.6总结了带宽性能。这里，端口1端接50 Ω，端口2端接12.5 Ω。在这四种变换器中，宽边耦合TLT

的带宽最大，长度最短。表7.6比较了三种回波损耗情况下(10 dB、15 dB、20 dB)的四种变换器的带宽特性。由回波损耗来定义变换器的带宽，就是回波损耗等于或大于一个给定值的频率范围。相对带宽(FBW)定义在式(7.18a)中。使用不对称宽边耦合微带TLT设计的这个50～12.5 Ω的变换器表现出独一无二的性能：最大的带宽、最小的尺寸。这里尽管是实阻抗变换到实阻抗，但可以用在复阻抗到实阻抗的变换中，反之亦然。也可以用在复阻抗到复阻抗的变换中。

表7.5　宽带阻抗变换器的介质参数

介质，$\varepsilon_r = 12.9$
介质厚度，$h = 75\ \mu m$
聚酰亚胺，$\varepsilon_{rd} = 3.2$
聚酰亚胺厚度，$d = 7\ \mu m$
金线厚度，$t = 4.5\ \mu m$

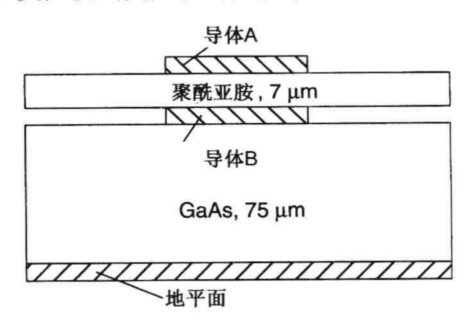


图7.28　不对称宽边耦合微带线

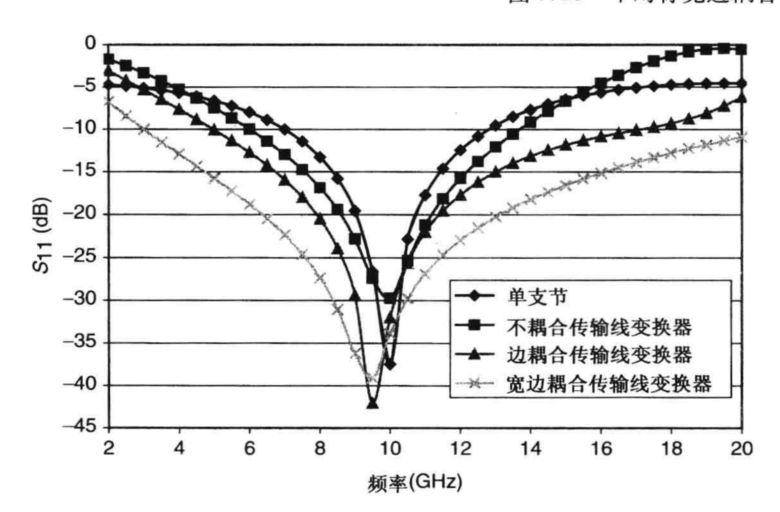


图7.29　四种类型的4:1变换器的反射系数响应，$Z_S = 50\ \Omega$

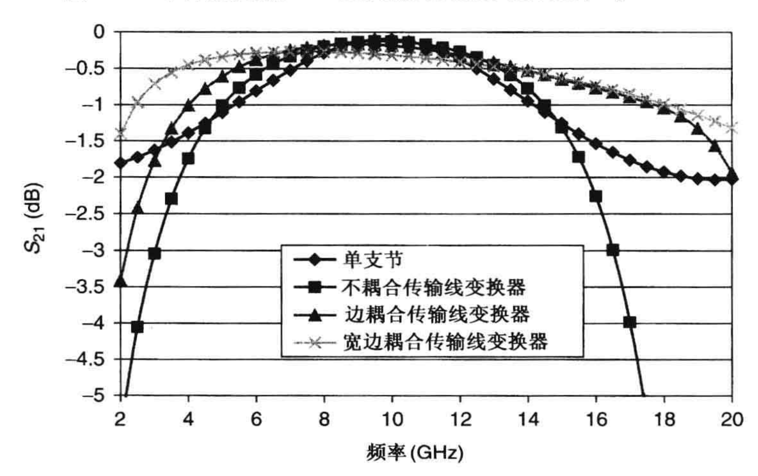


图7.30　四种类型的4:1变换器的传输系数响应，$Z_S = 50\ \Omega$

表 7.6 几种 4:1 阻抗变换器的宽带性能比较：50 ~ 12.5 Ω

结构	性能		
	回波损耗(dB)	f_0(GHz)	FBW(%)
单支节 $W = 190\ \mu m, L = 2500\ \mu m$	20	9.86	16.1
	15	9.77	31.3
	10	9.47	61.3
不耦合传输线变换器 $W = 200\ \mu m, L = 2500\ \mu m$	20	9.81	26.4
	15	9.61	47.9
	10	9.07	83.8
边耦合传输线变换器 $W = 130\ \mu m, S = 20\ \mu m, L = 2300\ \mu m$	20	9.50	36.8
	15	9.35	67.0
	10	9.25	130.9
宽边耦合传输线变换器 $W = 20\ \mu m, d = 7\ \mu m, L = 1400\ \mu m$	20	9.13	72.6
	15	8.74	130.0
	10	8.01	227.5

这些变换器的尺寸还可以通过将线折成圆形而进一步降低，因为线宽相对于线长来说很窄。通过将两个 4:1 变换器级联，可以在宽带上实现 50 Ω 到 3.1 Ω 的变换。对一个变换器来说，选择合适的结构参数对最低损耗、期望带宽内的阻抗变换很重要。下面将讨论这些参数。

在保持其他参数不变的情况下，改变聚酰亚胺厚度来研究聚酰亚胺厚度 d 对宽带 TLT 的影响。微带线线宽是 30 μm，长度是 1400 μm。图 7.31 展示了随聚酰亚胺厚度变化(宽边耦合导体的间距)，4:1 变换器的最大 FBW 和相应的源阻抗变化。注意到当耦合变强时，带宽变大，输入阻抗变低。

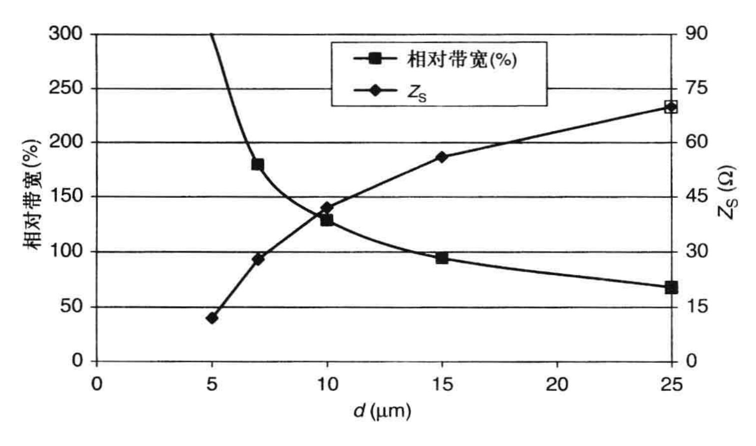


图 7.31 随聚酰亚胺厚度变化，4:1 变换器的最大相对带宽和源阻抗

下面我们讨论微带线线宽对于将要匹配的源阻抗和相应带宽的影响。介质参数见表 7.5。线长是 1400 μm。表 7.7 给出了不同宽度下 4:1 变换器的相对带宽。这里 Z_S(见图 7.26)是源阻抗，W 是微带线线宽。当线宽降低(特征阻抗增加)时带宽降低。在这个将 50 Ω 变换到 12.5 Ω 的例子中，需要的线宽是 15 μm(即特征阻抗是 74 Ω)，得到的相对带宽是 130%。

图 7.32 给出了当微带线线宽是 20 μm、40 μm 和 60 μm 时，4:1 变换器的相对带宽随源阻抗变化的函数。对于每个微带线线宽，都有一个最大的 FBW 值，而在其他源阻抗时，FBW 都将降低。

TLT 技术的优势就是它有紧凑的尺寸、低损耗和宽带。当变换器成为有源电路的一部分时，在变换器与地之间需要一个隔直电容。高功率 TLT 设计见参考文献[19]。

表 7.7　最大带宽随着几种 TLT 线宽变化的情况，Z_S 是源阻抗，负载阻抗 $Z_L = Z_S/4$[a]

线宽 W(μm)	Z_S(Ω)	频率范围(GHz)	中心频率 f_0(GHz)	相对带宽 FBW(%)
10	60	7 ~ 21	12.1	115.5
20	40	5 ~ 20	10.0	150.0
40	23	3.5 ~ 20	8.37	197.2
60	16	3.0 ~ 20	7.75	219.5
80	12	2.5 ~ 20	7.07	247.5
100	10.5	2.1 ~ 20	6.48	276.2
120	8.0	2.0 ~ 20	6.32	284.6

[a] $R_L = 15$ dB。

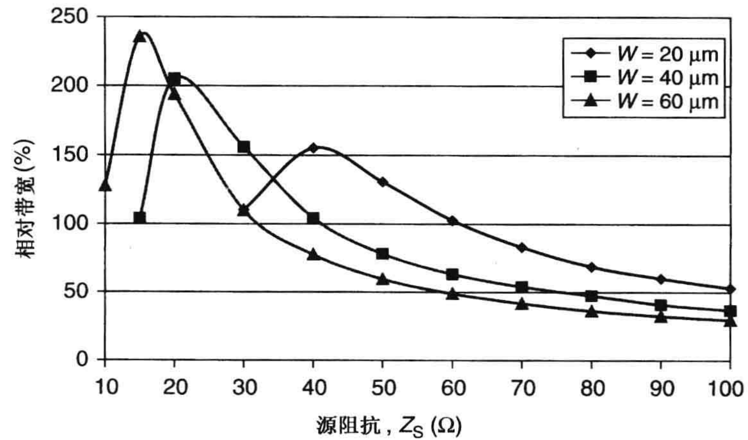


图 7.32　4∶1 阻抗变换器的相对带宽随源阻抗的变化

7.3.5　T 形桥式匹配网络

使用 T 形桥式拓扑的有耗匹配网络可以提供大于一个倍频程的带宽，而且增益响应平坦。图 7.33 展示了一个常用于宽带匹配的使用 T 形桥[20,21]的有耗匹配网络。这里晶体管的输入一般匹配到 R_G，通常是 50 Ω。由于这个网络的 Q 值低，所以可用于超宽带应用。利用网络分析方法，可以获得匹配元件值如下：

$$L_1 = (1 - RR)R_G^2 C_{gs}/2 \tag{7.53a}$$

$$L_2 = (1 + RR)R_G^2 C_{gs}/2 \tag{7.53b}$$

$$C_1 = (1 - RR^2)C_{gs}/4 \tag{7.53c}$$

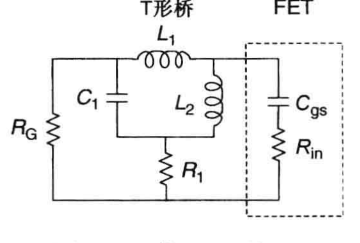


图 7.33　使用 T 形桥的有耗匹配网络

$$R_1 = R_G$$
$$RR = R_{in}/R_G < 1$$

本章简要讨论了基本的窄带和宽带匹配技术。这些技术将应用在放大器设计中。前面所述的匹配技术仅仅是分析，没有讨论 CAD 工具里所集成的综合方法。

参考文献

1. G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks and Coupling Structures*, McGraw-Hill, New York, 1964.
2. J. K. Skwirzynski, *Design Theory and Data for Electrical Filters*, Van Nostrand, London, 1965.
3. H. Howe, Jr., *Stripline Circuit Design*, Artech House, Norwood, MA, 1974.
4. J. D. Rhodes, *Theory of Electrical Filters*, John Wiley & Sons, Hoboken, NJ, 1976.
5. J. A. G., Malherbe, *Microwave Transmission Line Filters*, Artech House, Norwood, MA, 1979.
6. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1988, Chapter 4.
7. R. E. Collin, *Foundations for Microwave Engineering*, John Wiley & Sons, Hoboken, NJ, 2001, Chapter 5.
8. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 4.
9. K. Chang (Ed.), *Handbook of RF/Microwave Components and Engineering*, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 3.
10. D. M. Pozar, *Microwave Engineering*, John Wiley & Sons, Hoboken, NJ, 1998, Chapter 3.
11. K. Wu, D. Deslandes, and Y. Cassivi, Impedance transformers and matching networks, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 3, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2079–2092.
12. H. W. Bode, *Network Analysis and Feedback Amplifier Design*, Van Nostrand, New York, 1945.
13. R. M. Fano, Theoretical limitations on the broad-band matching of arbitrary impedances, *J. Franklin Inst.*, Vol. 249, pp. 57–83, January 1950 and pp. 139–154, February 1950.
14. A. R. Lopez, Review of narrowband impedance-matching limitations, *IEEE Antennas Propag. Mag.*, Vol. 46, pp. 88–90, August 2004.
15. A. R. Lopez, Rebuttal to Fano limits on matching bandwidth, *IEEE Antennas Propag. Mag.*, Vol. 47, pp. 128–129, October 2005.
16. A. R. Lopez, Wheeler and Fano impedance matching, *IEEE Antennas Propag. Mag.*, Vol. 49, pp. 116–119, August 2007.
17. W. C. Grunau and C. R. Mason, A simplified solution for tapered transformer lines, *Microwaves*, Vol. 20, pp. 82–83, October 1981.
18. A. M. Khilla, Optimum continuous microstrip tapers are amenable to computer-aided design, *Microwave J.*, Vol. 26, pp. 221–224, May 1983.
19. I. J. Bahl, Broadband and compact impedance transformers for microwave circuits, *IEEE Microwave Mag.*, Vol. 7, pp. 56–62, August 2006.
20. R. Goyal (Ed.), *High-Frequency Analog Integrated Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1995, p. 179.
21. P. K. Ikalainen, An *RLC* matching network and application in 1–20GHz monolithic amplifier, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1115–1118, 1989.

习题

7.1 将固态器件的一个阻抗(70 + j50)Ω 匹配到 50 Ω，计算频率为 9 GHz 时一个单线匹配节的特征阻抗和长度。如果最大可接受的反射系数是 0.1，计算带宽。

7.2 如果将习题 7.1 中的阻抗匹配到 45 + j45 Ω，计算这时的特征阻抗和长度。

7.3 用短路节将(70 + j50)Ω 匹配到 50 Ω，计算短路节的长度，频率为 9 GHz，假设所有的传输线特征阻抗都是 50 Ω。

7.4 设计一个三节 λ/4 阻抗变换器，将 50 Ω 的源阻抗变换到 125 Ω 的负载，频率为 9 GHz，反射系数小于 0.1，这个变换器的带宽是多少？

7.5 如果习题 7.4 中的变换器用指数型渐进线来实现，设计这个指数型渐进线，最大反射系数 P_m 是 0.1。

7.6 如果器件的输入阻抗可以用 10 Ω 的电阻和 5 pF 的电容并联来表征。将这个器件匹配到 50 Ω 的源上，频率是 9 GHz，带宽至少是 20%，使用三阶网络。请选择合适的网络，并且设计元件值和这个网络的增益-带宽限制。

7.7 当网络的插入损耗斜率是 3 dB/倍频程时，重新计算习题 7.6 中的元件值。

7.8 当 $R = 100\ \Omega$、$C = 0.5$ pF 时，将这个并联 RC 负载匹配到 50 Ω，频率范围为 3 ~ 6 GHz。当使用理想的匹配元件时，能获得的最小反射系数是多少？

7.9 当 $Z_L < Z_0$ 时，考虑用串联 L 和并联 C 将 Z_L 匹配到 Z_0。使用史密斯圆图方法展示这个匹配过程。

第 8 章　放大器分类及分析

在放大器的设计中，为晶体管选择合适的偏置条件、输入端源阻抗和输出端负载阻抗是十分重要的。偏置条件也就是大家熟知的直流偏置点，简单说就是 Q 点。这三个要求决定了放大器的工作状态，也决定了放大器的噪声系数、增益、带宽、输出功率、PAE 及线性特性。本章将使用理想晶体管模型来讨论各类放大器的转移特性。由于放大器增益并不包含在内，所以本章的分析仅限于漏极或者集电极效率。

8.1　放大器的分类

通常情况下，依据输入/输出信号的不同关系将放大器分为不同的类别。在射频、微波频段，放大器主要分为 A、B、AB、C、D、E 和 F 这几类[1~33]。为有源器件配置不同的偏置条件，就可以使放大器工作在不同的状态(即不同的类)。通过输入和输出匹配网络设计，可以满足系统对噪声系数、输出功率、效率(或者直流损耗)、线性度条件、频率范围、尺寸、重量及成本等参数的要求。使用 A 类放大器可以实现小信号放大，而其他类型主要应用于除低噪放以外的功率放大器。低噪放属于 AB 类放大器。任何一类放大器都是效率和线性度的折中，更高的效率意味着更差的线性度，反之亦然。

A 类放大器

A 类放大器的有源器件在输入正弦信号的整个周期内都导通。此时，静态工作点(见图 8.1)位于靠近器件电流中心的位置，选择合适的负载匹配可以使得线性输出功率最大化。A 类放大器和小信号线性放大器的设计方法基本相同，而且输出信号也都是对输入信号的线性放大。

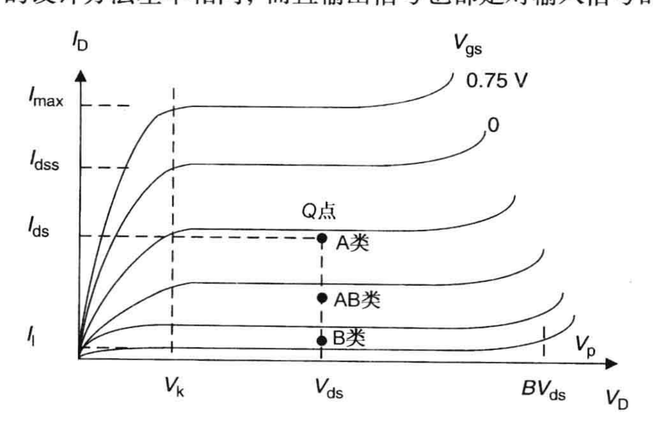


图 8.1　不同工作类型下 FET 的偏置 I_{max}、I_{dss}、I_{ds}、I_l、V_{gs}、V_{ds}、V_D、BV_{ds}、V_p 和 V_k 分别是峰值电流、漏源饱和电流、漏源偏置电流、泄漏电流、栅源电流、漏源电压、漏极供电电压、漏源击穿电压、夹断电压和阈值电压

在小信号放大器中，为获得最大的增益和良好的 VSWR，晶体管在输入和输出端都是共轭匹配。A 类功率放大器和小信号放大器的区别在于功率大小不同。为器件选择合适的输出匹配

可以使 A 类放大器产生很高的线性输出功率，也可以使其工作在饱和区。通常，当放大器工作在饱和状态的时候，可以获得更大的 RF 输出功率。如果功放工作点远离 1 dB 压缩点，则谐波和失真都很低。假如在非饱和的情况下，A 类放大器最大的漏极效率极限值是 50%，而且能提供最高的信号线性度，只要有源器件工作在器件转移函数的线性区。此时，输入/输出信号的波形相同。

B 类放大器

对于 B 类放大器，Q 点位于器件电流的关断点（比如夹断点，没有信号电流便可以忽略不计，见图 8.1），有源器件仅工作半个周期，即导通 180°。此时，为器件选择合适的输出匹配可以使 B 类放大器获得最大的增益、最大的输出功率和最大的效率。单端 B 类放大器的线性度很差。在射频段，B 类放大器通过推挽式（使用两级单端式放大器）结构实现，两个器件共用输出负载。在正半周，晶体管将电流推入负载，但是在负半周，电流从负载流回晶体管。这样，一个放大器工作在正弦波的正半周，而另一个放大器则工作在正弦波的负半周。这种结构在理想情况下可以获得更高的输出功率并工作在线性状态。但是，由于在整个周期内，信号在两级晶体管之间非线性传输，因此 B 类放大器的线性特性不如 A 类的好。又由于每个器件只导通半个周期，B 类放大器比 A 类的效率要高，最高可达 78.5%。

AB 类放大器

对于 AB 类放大器，器件偏置在 A 类工作条件和 B 类工作条件之间的某一位置。此时，依据工作频率、噪声系数、效率、线性度要求的不同，Q 点电流是器件总电流的 5% ~30%。AB 类放大器广泛运用于单端功率放大器，其效率比 A 类要高，线性度比 B 类要好。移动式和点对点式射频功率放大器工作在 AB 类，以获得最高的效率和更好的线性度。

C 类放大器

对于 C 类放大器，Q 点远低于器件电流的截止点。在这种情况下，器件在射频周期内导通 25% ~45%，只有正弦信号的正半周的一部分得到放大并输出，这和脉冲函数很类似。C 类放大器是很强的非线性的电路，其输出波形和输入波形几乎完全不同。由于器件的导通时间小于半个周期，因此 C 类放大器的效率高于 A 类、B 类和 AB 类放大器。C 类放大器经常应用于 RF 和低频微波频段，在这个时候，晶体管具有高增益值，而且在各种调制方式中对器件的线性度没有要求，这些调制方式包括连续波调制，脉冲调制，以及 FM、AM、PM 调制。高压功率 BJT 一般工作在 C 类。

D 类或者 E 类放大器

在 D 类或者 E 类放大器中，晶体管作为开关使用。导通时，与负载阻抗相比其阻抗很低；而断开时，与负载阻抗相比其阻抗很高。在这种情况下，在输出端，电压和电流波形具有 180° 相差。如果导通时阻抗可以忽略不及，那么该器件将不会消耗能量；如果断开时阻抗非常大，那就没有电流流过器件。理想开关放大器能够获得高达 100% 的漏极或集电极效率。D 类和 E 类放大器的差别在于：E 类放大器输出端有一个高 Q 值的调谐电路作为无功负荷。在基波时，其功耗为 0。对于二次谐波和三次谐波，其相当于开路。而 D 类放大器在偶次谐波处短路，在奇次谐波处开路。

实际上，有源器件导通时阻抗为有限值，而且晶体管在导通和断开之间切换时也需要一定的过渡时间，这就会降低 E 类放大器的效率。频率越高，效率降低越明显。

F 类放大器

对于F类放大器，根据需要，通过谐波阻抗匹配技术(比如谐振电路)可以降低功率耗散。在F类放大器中，通过多谐振输出匹配网络控制谐波功率大小来调整漏极电压或者漏极电流波形，从而提高效率。在理想设计中，在器件输出端所有偶次谐波都被短路以形成电流正弦波，而所有奇次谐波都被开路以形成输出电压方波。有源器件再一次作为开关使用，而且漏极或集电极理论效率再一次到达100%。实际上，被开路/短路的谐波数量是有限的，这就会导致放大器效率的降低。当前，F类放大器受到特别关注，是因为其在微波频段表现出的良好适应性。对于F类放大器的设计，除了输出电路设计成二次谐波短路、三次谐波开路之外，和B/AB类放大器的设计方法是基本相同的。在实际设计时，鉴于在超宽带时设计匹配电路的复杂性，电路仅设计为对二次谐波短路。

如先前讨论的，各类射频功放的效率和线性度都各不相同。实际上，由于器件固有的寄生损耗、工作条件非理想，在带宽和输出回波损耗之间的折中所引起的匹配电路的损耗，以及实现连续最佳负载和谐波抑制的不可能性，所有类型的放大器都会损失一定的效率。人们对放大器的其他工作模式感兴趣，是为获得更高的工作效率和(或)更大的射频输出功率。除A类放大器以外的所有放大器的工作效率都高于50%，但A类最大只能得到50%的效率。在微波频段，大多数高效率放大器的实现都是十分困难的。微波晶体管的无功输出阻抗特性使开关模式的实现变得很困难。通常情况下，微波频段的高效率放大器的主要工作模式包括:饱和A类、AB类和B类。采用双极型晶体管的C类放大器也可能获得高效率，但是采用FET的C类放大器则不可行，因为FET晶体管的泄漏电流较高。F类放大器很可能可以实现高效的工作模式。

接下来，我们讨论各种类型晶体管放大器工作的基本情况。分析中，我们假设晶体管和匹配网络是理想的。

8.2 A 类放大器的分析

图8.2给出了器件工作在A类放大器状态时的原理图。R_L是负载，采用LC并联谐振仅允许基波频率通过。射频扼流圈和隔直电容 C_b分别为射频开路和射频短路。射频输出电压和电流可以表示为[1,2]

$$v_o = V_o \sin\theta \tag{8.1a}$$

$$i_o = I_o \sin\theta \tag{8.1b}$$

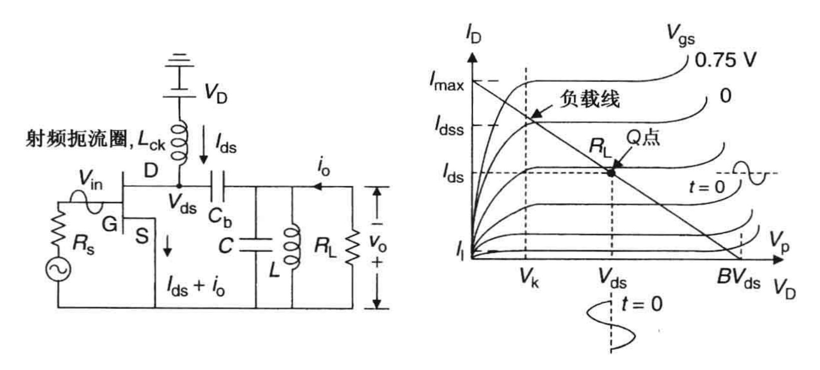


图 8.2 A类放大器拓扑电路及其负载线

从图 8.3 可见，漏极电压 v_D 和漏极电流 i_D 的波形可表示为

$$v_D(\theta) = V_{ds} - V_o \sin\theta \tag{8.2a}$$

$$i_D(\theta) = I_{ds} + I_o \sin\theta \tag{8.2b}$$

这里 $\theta = 2\pi f_0 t$ ，f_0 是基波（输入信号频率）。系数 V_o、I_o 是基波时的峰值，I_{ds} 是直流项。基波频率系数的负号表示电流和电压的相位相反。也就是说，当电流从器件流出时，在器件终端电压为正值。它们的关系可表示如下：

$$V_o = I_o R_L \tag{8.3}$$

这里 R_L 是负载阻抗。直流电压和直流电流被隔直电容 C_b 阻隔，射频输出功率表示为

$$P_o = v_o i_o = V_o I_o \sin^2\theta$$

平均输出功率变为

$$P_o = \frac{1}{2\pi}\int_0^{2\pi} V_o I_o \sin^2\theta \ \mathrm{d}\theta = \tfrac{1}{2} V_o I_o$$

最大的基波 RF 输出功率表示为

$$P_{om} = \frac{V_{om} I_{om}}{2} = \frac{V_{om}^2}{2R_L}, \quad 其中\ V_{om} = I_{om} R_L \tag{8.4}$$

其中 I_{om} 和 V_{om} 分别是最大漏源电流和最大漏源电压，其值分别为 $I_{max}/2$ 和 V_{ds} 。I_{max} 也称为 I_p，即沟道开启时器件的峰值电流。偏置点设置为 I_{ds}，约等于 $I_{max}/2$ ，V_{ds} 约等于 $BV_{ds}/2$ 。因此式(8.3)、式(8.4)变为

$$R_L = 2V_{ds}/I_{max} \tag{8.5a}$$

$$P_{om} = \frac{V_{ds} I_{max}}{4} \tag{8.5b}$$

器件的直流功率 P_{DC} 由下式给出：

$$P_{DC} = V_{ds} I_{ds} = \frac{V_{ds} I_{max}}{2} \tag{8.5c}$$

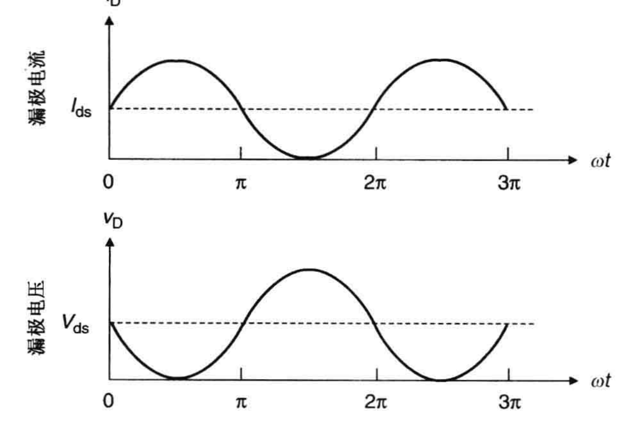


图 8.3　理想 A 类放大器的电流和电压波形

基波时，传递到负载的射频功率与器件直流功率的比值即为漏极效率 η_D ，也就是

$$\eta_D = \frac{P_{om}}{P_{DC}} = 0.5 \tag{8.6}$$

因此，A 类放大器理论上最大的漏极效率为 50%，在理想条件下，即没有寄生(忽略阈值电压 V_k)引起的功率耗散，没有匹配网络损耗，负载为阻性。这仅仅是一个线性分析，因此上面的等式对饱和功率放大器并不适用。

例 8.1 一个晶体管，其 $I_{max}=2$ A，击穿电压为 20 V，偏置点位于 $I_{max}/2$ 和 $V_{ds}=10$ V 处，工作频率为 1 GHz，工作在 A 类放大器状态。放大器增益很高，输出功率为 5 W。计算所需负载值和放大器的净功率损耗。

解 此时 $P_{DC}=10\times1=10$ W，$P_{om}=5$ W，$V_{om}=V_{ds}$。由式(8.4)有

$$R_L=\frac{V_{om}^2}{2P_{om}}=\frac{10\times10}{2\times5}=10\,\Omega \quad 或 \quad R_L=\frac{2V_{ds}}{I_{max}}=\frac{2\times10}{2}=10\,\Omega$$

净功率损耗 $=P_{DC}-P_{om}=10-5=5$ W。

8.3 B 类放大器的分析

B 类放大器的原理图如 8.4 所示。当放大器工作在 B 类时，晶体管偏置使得器件仅导通半个射频周期。这种结构可以通过一个晶体管(单端式)或者两个晶体管(推挽式放大器)的形式进行分析。对于 B 类放大器，其偶次谐波短路。接下来将对单端式和推挽式放大器进行讨论。

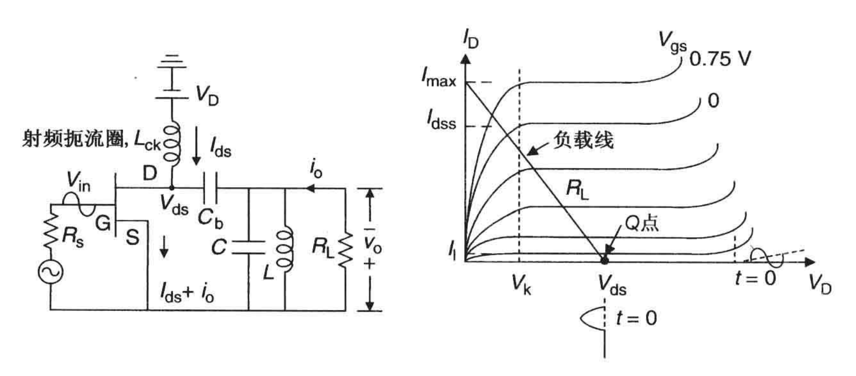


图 8.4 B 类放大器拓扑电路及其负载线

8.3.1 单端式 B 类放大器

晶体管的电压和电流波形如图 8.5 所示。此时漏极电压和电流可以表示为

$$v_D(\theta)=V_{ds}-V_o\sin\theta \tag{8.7}$$

$$\begin{aligned} i_D(\theta)&=I_o\sin\theta, \quad 0\leqslant\theta\leqslant\pi \\ &=0, \quad \pi\leqslant\theta\leqslant2\pi \end{aligned} \tag{8.8}$$

半正弦波电流用级数展开：

$$i_D(\theta)=I_o\left[\frac{1}{\pi}+\frac{1}{2}\sin\theta-\frac{2}{\pi}\sum_{n=2,4,6,\cdots}\frac{1}{n^2-1}\cos n\theta\right] \tag{8.9}$$

第一项为直流项，电流等式中不含有奇次谐波。因为 I_o 的最大值为 I_{max}，器件的直流功率损耗为

$$P_{DC}=V_{ds}I_{max}/\pi \tag{8.10}$$

假设式(8.9)中所有的谐波成分都被滤除，或者偶次谐波分量被短路，输出信号为一个纯半正弦波信号。平均输出功率如下所示：

$$P_o = \frac{1}{2\pi}\int_0^{\pi} V_o I_o \sin^2\theta \, d\theta = \tfrac{1}{4} V_o I_o \tag{8.11}$$

此时 V_o 和 I_o 的最大值为 V_{ds} 和 I_{max} 。因此，负载和最大射频输出功率变为

$$\begin{aligned} R_L &= v_o/i_o = V_o/I_o = V_{ds}/I_{max} \\ P_{om} &= \tfrac{1}{4} V_{ds} I_{max} \end{aligned} \tag{8.12}$$

由式(8.10)和式(8.12)，可得漏极效率为

$$\eta_D = \frac{P_{om}}{P_{DC}} = \frac{\pi}{4} = 0.785 \tag{8.13}$$

因此 B 类放大器的漏极效率为 78.5%，比 A 类放大器高出很多。

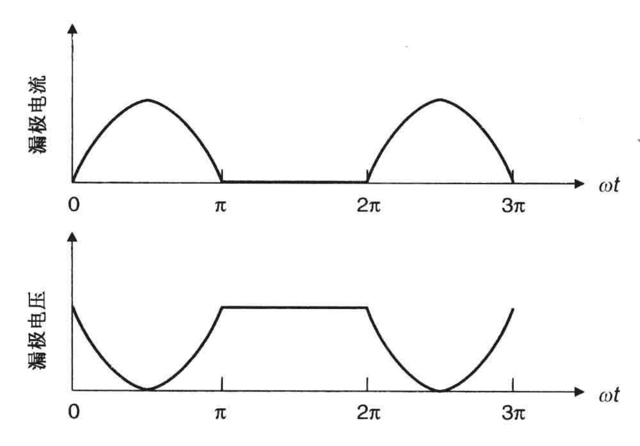


图 8.5　理想 B 类放大器的电流和电压波形

8.3.2　推挽式 B 类放大器

在单端式 B 类放大器中，仅正弦信号的正半周被放大，造成输出失真。当两个单端式 B 类放大器的输入端和输出端使用 180°巴伦连接起来时，输入信号的正负周期信号都得到了放大，并在输出端将放大后的两输入信号连接到一起，从而得到没有失真的完全正弦波信号。每只晶体管的 I-V 特性和 R_L 如图 8.4 所示。

图 8.6 所示为一个 B 类推挽式放大器结构。输入巴伦将射频输入信号分成两路幅度相等、相位相反的信号。晶体管 1 在第一个半周导通，晶体管 2 在第二个半周导通。输出巴伦合成完整的输出信号。此时，漏极电流为

$$i_{D1}(\theta) = I_o\left[\frac{1}{\pi} + \frac{1}{2}\sin\theta - \frac{2}{\pi}\sum_{n=2,4,\cdots}\frac{1}{n^2-1}\cos n\theta\right] \tag{8.14a}$$

$$i_{D2}(\theta) = I_o\left[\frac{1}{\pi} + \frac{1}{2}\sin(\theta+\pi) - \frac{2}{\pi}\sum_{n=2,4,\cdots}\frac{1}{n^2-1}\cos n(\theta+\pi)\right] \tag{8.14b}$$

因为输出巴伦附加另外的 180°相差，所以总的漏极电流为

$$i_D(\theta) = i_{D1}(\theta) - i_{D2}(\theta) = I_o \sin\theta \tag{8.15}$$

从上式可以看出，推挽式放大器的所有谐波都被抵消，输出巴伦输出一个和 A 类放大器类似的纯净正弦波。在 MMIC 拓扑结构中，将两个单端式放大器均衡，推挽电路结构具有和 A 类放大器相似的线性度。最大射频输出功率为

$$P_{\mathrm{om}} = \frac{V_{\mathrm{om}} I_{\mathrm{om}}}{2} = \frac{V_{\mathrm{ds}} I_{\max}}{4} \tag{8.16}$$

平均直流电流为

$$I_{\mathrm{DC}} = \frac{1}{2\pi} \int_{0}^{2\pi} I_{\mathrm{o}} \sin\theta \, \mathrm{d}\theta = \frac{1}{\pi} I_{\mathrm{o}} \tag{8.17}$$

最大直流功率为

$$P_{\mathrm{DC}} = \frac{V_{\mathrm{ds}} I_{\max}}{\pi} \tag{8.18}$$

漏极效率由式(8.16)、式(8.18)计算得到：

$$\eta_{\mathrm{D}} = \frac{P_{\mathrm{om}}}{P_{\mathrm{DC}}} = \frac{4}{\pi} \tag{8.19}$$

这和单端结构是一样的。但是，它并没有包含巴伦的损耗。当频率高于射频(大于 1 GHz)时，巴伦的高损耗会阻碍推挽式放大器的实现。当巴伦的损耗为 1 dB 时，输出功率减少约 20.5%，漏极效率从 78.5% 降低到 62.4%。

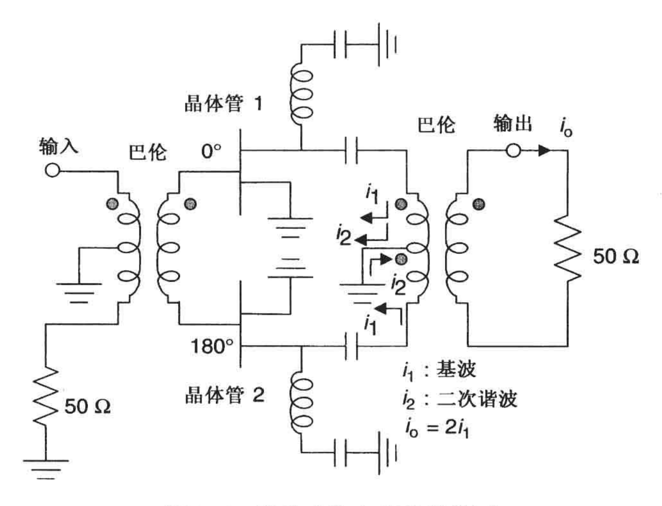


图 8.6　推挽式放大器的结构图

但是，推挽式放大器具有很多独特的优点，包括高阻抗、高增益、低二次谐波电平、宽带线性特性。推挽式放大器的输入和输出阻抗值是相等功率单端式放大器的四倍。因此对于推挽式放大器，可实现的功率等级要比单端式大得多。由于电流朝两个相反方向流动，两个相同晶体管连接到源端的电感效应相互抵消。器件的高阻抗和共源电感的消除使得推挽式放大器的增益更高。在推挽式放大器中，二次谐波在巴伦的中心抽头处被抵消。这使巴伦输出端的二次谐波电平更低，而且放大器可以在更宽的带宽内保持线性工作。

因为印制电路巴伦比同轴巴伦损耗高得多，几乎所有低频微波频率(低于 5 GHz)、高功率(大于 200 W)推挽式放大器都使用同轴巴伦。第 10 章将对这种放大器结构进行详细论述。推挽式放大器和平衡放大器结构的主要差别在于推挽结构更适于低失真的功率合成，而平衡结构能为功率合成提供优良的输入和输出匹配，即使是匹配很差的单端式放大器。另一方面，推挽结构不需要变换单端式放大器的匹配。

8.3.3 过激励 B 类放大器

Snider[32]报道过一篇对理想过激励 B 类放大器的分析的文章。分析采用傅里叶级数表示的电流和电压波形，如图 8.7 所示，自变量为 θ_1 和过激因子 k 。为了便于比较，假设 B 类放大器和过激励放大器的最大电流和电压振幅相同。当 $k=1/\sin\theta_1$ 时，电压和电流的傅里叶展开式如下[2, 32]。

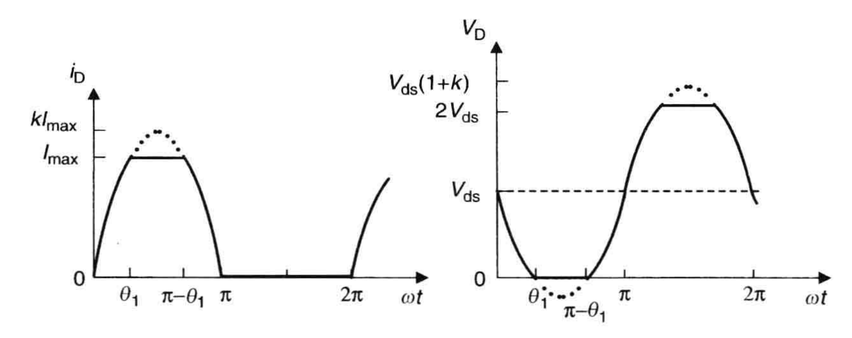


图 8.7　过激励 B 类放大器的电流和电压波形

对于基波和奇次谐波（ $n=3, 5, \cdots$ ），电压分量的表达式为

$$v_1 = \frac{2V_{ds}}{\pi}\left(\frac{\theta_1}{\sin\theta_1} + \cos\theta_1\right) \tag{8.20a}$$

$$v_n = \frac{2V_{ds}}{\pi}\left(\frac{\sin(\theta_1 - n\theta_1)}{(1-n)\sin\theta_1} - \frac{\sin(\theta_1 + n\theta_1)}{(1+n)\sin\theta_1} + \frac{2\cos n\theta_1}{n}\right) \tag{8.20b}$$

基波和奇次谐波（ $n=3, 5, \cdots$ ）时电流分量的表达式为

$$i_1 = \frac{I_{max}}{\pi}\left(\frac{\theta_1}{\sin\theta_1} + \cos\theta_1\right) \tag{8.21a}$$

$$i_n = \frac{I_{max}}{\pi}\left(\frac{\sin(\theta_1 - n\theta_1)}{(1-n)\sin\theta_1} - \frac{\sin(\theta_1 + n\theta_1)}{(1+n)\sin\theta_1} + \frac{2\cos n\theta_1}{n}\right) \tag{8.21b}$$

基波频率处的输出功率为

$$P_{o1} = \frac{v_1 i_1}{2} = \frac{V_{ds}I_{max}}{\pi^2}\left[\frac{\theta_1}{\sin\theta_1} + \cos\theta_1\right]^2 \tag{8.22}$$

器件的直流功率同样是以角度参数 θ_1 为自变量的函数，如下所示：

$$P_{DC} = \frac{V_{ds}I_{max}}{\pi}\left[\frac{\pi}{2} - \theta_1 + \tan\frac{\theta_1}{2}\right] \tag{8.23}$$

图 8.8 绘出了以 θ 为自变量的过激励放大器的电压-电流输出波形。由于波形不是方波，过激励放大器的漏极效率低于 100%。漏极效率如下：

$$\begin{aligned}
\eta_D &= \frac{P_{o1}}{P_{DC}} = \frac{1}{\pi}\left[\frac{\theta_1}{\sin\theta_1} + \cos\theta_1\right]^2\left[\frac{\pi}{2} - \theta_1 + \tan\frac{\theta_1}{2}\right]^{-1} \\
\eta_D &= \frac{8}{\pi^2} = 0.81,\ \theta_1 = 0\ \text{（过激励A类放大器）} \\
&= 0.886,\ \theta_1 = 32.4^\circ\ \text{（过激励B类放大器）} \\
&= 0.867,\ \theta_1 = 50.4^\circ \\
&= \frac{\pi}{4} = 0.785,\ \theta_1 = 90^\circ\ \text{（B类放大器）}
\end{aligned} \tag{8.24}$$

过激励A类放大器的分析和过激励B类放大器类似。随着功率的增加，每种放大器都开始压缩，并最终达到饱和。如果器件设计为A类放大器，在高输入功率激励的情况下，放大器的输出电压和电流波形将被对称地削掉。

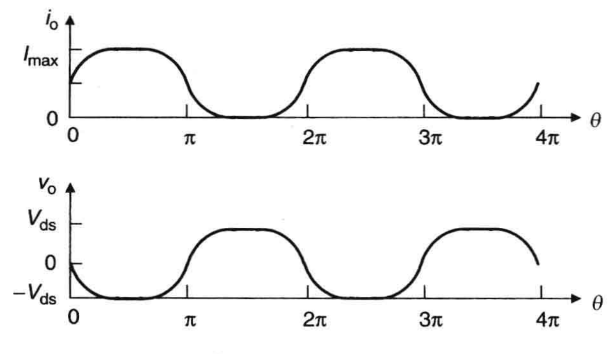


图8.8 过激励放大器的电流和电压波形

8.4 C类放大器的分析

C类放大器的偏置点位于截止点或者夹断点以下，所以导通时间小于半个射频周期。此时，如图8.9所示，电流波形可看成是有偏置的正弦波。漏极电流如下[1]：

$$i_D(\theta)=\begin{cases}0, & 0\leqslant\theta<\pi/2-\phi\\ I_Q+I_o\sin\theta, & \pi/2-\phi\leqslant\theta\leqslant\pi/2+\phi\\ 0, & \pi/2+\phi\leqslant\theta<2\pi\end{cases}\tag{8.25}$$

这里2ϕ是导通角。在$\theta=\pi/2-\phi$时，$i_D(\theta)=0$，即$I_Q=-I_o\cos\phi$，式(8.25)变成

$$i_D(\theta)=I_o[\sin\theta-\cos\phi]\tag{8.26}$$

直流电流为下式计算出的均值：

$$I_{DC}=\frac{1}{2\pi}\int_{\pi/2-\phi}^{\pi/2+\phi}I_o[\sin\theta-\cos\phi]\,d\theta=\frac{I_o}{\pi}[\sin\phi-\cos\phi]\tag{8.27}$$

假设C类放大器和图8.4的结构一样，输出振荡电路仅允许基波信号通过，输出功率为

$$P_o=\frac{1}{2\pi}\int_{\pi/2-\phi}^{\pi/2+\phi}V_oI_o[\sin\theta(\sin\theta-\cos\phi)]\,d\theta=\frac{V_oI_o}{2\pi}[2\phi-\sin 2\phi]\tag{8.28}$$

当$V_o=V_{ds}$时，最大功率为

$$P_{om}=\frac{V_{ds}I_o}{4\pi}[2\phi-\sin 2\phi]\tag{8.29}$$

漏极效率为

$$\eta_D=\frac{P_{om}}{I_{DC}V_{ds}}=\frac{2\phi-\sin 2\phi}{4[\sin\phi-\phi\cos\phi]}\tag{8.30}$$

当$\phi\cong\pi/2$时，

$$\eta_D\cong\frac{\pi}{4},\quad \text{B类}\tag{8.31}$$

当$\phi\cong\pi/4$时，

$$\eta_D\cong 0.939\tag{8.32}$$

当 ϕ 接近0时，η_D 接近100%。但是，器件功率增益和输出功率为0。低增益导致PAE很低，从而导致C类放大器在微波频段变得不切实际。

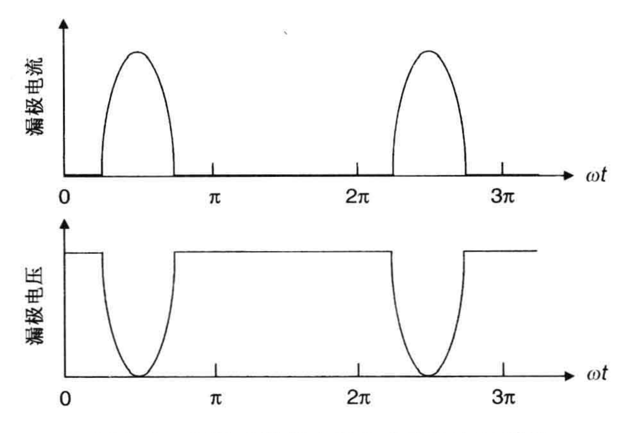


图8.9 理想C类放大器的电流和电压波形

8.5 E类放大器的分析

E类放大器得到了广泛的研究[1~19]。研究发现[6]，在低频射频段，E类放大器具有比B类、C类、F类放大器更高的效率和线性度。迄今为止，E类放大器的使用限制在VHF波段。但是，近期备受关注的无线应用表明[11]，FET可以在更高的无线电频率包括低端的微波频率作为E类放大器的器件使用。下面会对这种功放的设计进行简要介绍。

图8.10所示为E类放大器的基本结构，这里，放大器件用理想开关S代替。器件的输出电容 C_d 与开关并联。在输出端，L_0-C_0 串联谐振电路、电抗元件 jX 和负载 R_L 串联连接。通过选择适当的偏置点和输入驱动电平，器件可近似为开关，在射频输入范围内周期性开启和闭合。串联谐振电路谐振于输入频率处，这样基本频率信号可传到负载。谐振电路有助于保持输出信号为正弦波形。如果在第一个半周($v_S=0$)开关闭合，而在第二个半周开关断开，这会使得输出功率最大。当开关开启时，电流 I_{ds} 分成电容电流 i_C 和负载电流 i_o 两路。时变电流 i_C 为电容 C_d 充电，并在开关两端形成一个电压。当开关闭合的瞬间，电荷从电容泄漏到地，造成功率损耗的增加。这可以通过设计输出匹配网络，使开关闭合时开关两端的电压为0来减小功率损失。

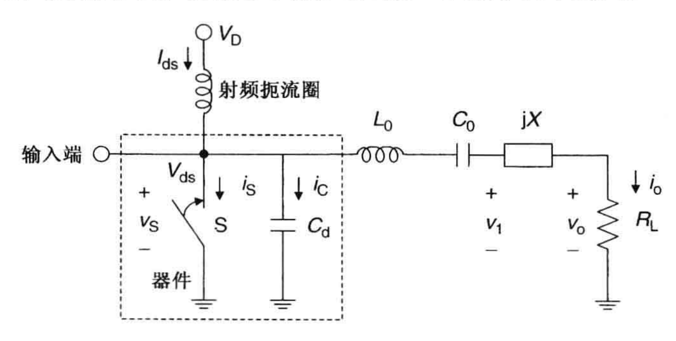


图8.10 理想E类放大器结构

在参考文献[2]中介绍了对不同E类放大器结构的分析。下面，我们对E类放大器的基本工作进行阐述。当 $0\leqslant\omega t\leqslant\pi$ 时，开关闭合，流过电容的电流 $i_C=0$，流过开关的电流可以表示如下：

$$i_S = I_{ds} - I_o \sin(\omega t + \phi) \tag{8.33}$$

这里 $i_o = I_o \sin(\omega t)$，当 $t=0$ 时，$i_S = 0$，式（8.33）变为

$$I_{ds} = I_o \sin\phi \tag{8.34a}$$

$$i_S = I_o[\sin\phi - \sin(\omega t + \phi)] \tag{8.34b}$$

当$\pi \leqslant \omega t \leqslant 2\pi$时，流过电容的电流为

$$i_C = I_{ds} - I_o \sin(\omega t + \phi) = I_o[\sin\phi - \sin(\omega t + \phi)] \tag{8.35}$$

开关两端的电压为

$$v_S = \frac{1}{\omega C_d}\int_{\pi}^{\omega t} i_C \, d\omega t = \frac{I_o}{\omega C_d}[\cos(\omega t + \phi) + \cos\phi + (\omega t - \pi)\sin\phi] \tag{8.36}$$

当 $\omega t = 2\pi$、$v_C = 0$ 时，由式(8.36)得

$$\phi = \arctan\left[-\frac{2}{\pi}\right] = -32.482^\circ$$

或者

$$\sin\phi = \frac{-2}{\sqrt{\pi^2+4}} \quad 或 \quad \cos\phi = \frac{\pi}{\sqrt{\pi^2+4}} \tag{8.37}$$

将式(8.34a)和式(8.37)代入式(8.36)，开关两端的电压具有如下形式：

$$v_S = \frac{I_{ds}}{\omega C_d} F(\omega t) \tag{8.38a}$$

这里，

$$F(\omega t) = \omega t - \frac{3\pi}{3} - \frac{\pi}{2}\cos\omega t - \sin\omega t \tag{8.38b}$$

当认为射频扼流圈无耗时，电源电压($V_D = V_{ds}$)用电源电流和电容 C_d表示为

$$V_{ds} = \frac{1}{2\pi}\int_0^{2\pi} v_S \, d\omega t = \frac{I_{ds}}{\pi \omega C_d} \tag{8.39}$$

开关峰值电流和电压为

$$i_{sp} = 2.862 I_{ds} \tag{8.40}$$

和

$$v_{sp} = 3.562 V_{ds} \tag{8.41}$$

无功部分(reactive component) jX 调整输出电压 v_o和开关电压 v_S之间的相位，如图 8.11 所示。此时，输出电压和电流波形之间没有任何重叠，导致器件没有功率损耗，所以理想 E 类放大器的效率为 100%。因此，直流功率和 RF 功率 P_o 相等，即

$$P_{DC} = V_{ds} I_{ds} = \frac{I_o^2}{2} R_L = P_o \tag{8.42}$$

由式(8.34a)、式(8.37)和式(8.42)，我们有

$$I_{ds} = \frac{8}{\pi^2+4}\frac{V_{ds}}{R_L} = 0.5768\frac{V_{ds}}{R_L} \tag{8.43}$$

将式(8.39)代入式(8.43)得

$$R_L = \frac{8}{\pi^2+4}\frac{1}{\pi \omega C_d} = \frac{0.1836}{\omega C_d} \tag{8.44}$$

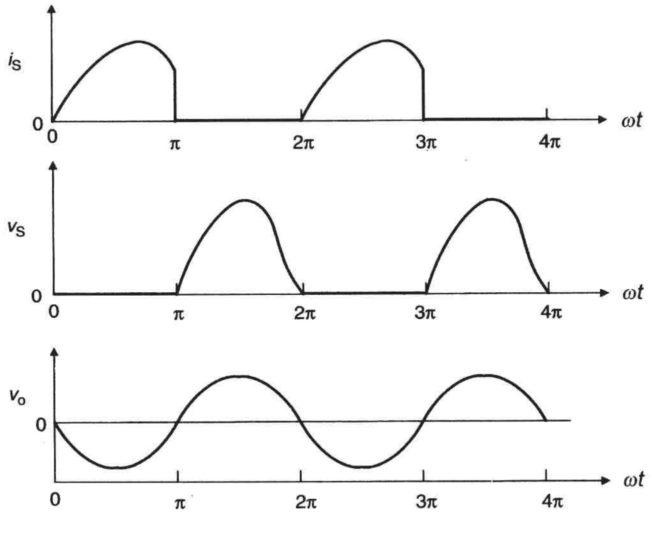


图 8.11　理想 E 类放大器的电流和电压波形

例 8.2　设器件 $C_d = 1.0$ pF，$I_{max} = 2$ A，$V_{ds} = 10$ V，为工作在 1 GHz 的 E 类放大器，计算负载值，以及最大输出电流、电压和输出功率。

解　由式(8.44)有

$$R_L = \frac{0.1836}{2 \times \pi \times 1 \times 1 \times 10^{-3}} = 29.22\ \Omega$$

由式(8.34a)、式(8.37)和式(8.39)计算最大输出电流：

$$i_o = |I_o| = \frac{\sqrt{\pi^2 + 4}}{2} \pi \omega C_d V_{ds} = 367.564\ \text{mA}$$

最大输出电压：

$$v_o = |V_o| = i_o R_L = \frac{4}{\sqrt{\pi^2 + 4}} V_{ds} = 1.0741 V_{ds} = 10.741\ \text{V}$$

$$P_o = P_{DC} = \frac{I_o V_o}{2} = 1.974\ \text{W}$$

在射频频段，开关器件的导通阻抗有限，开关导通和断开之间的时间延迟有限，输出匹配损耗导致效率降低。随着工作频率的升高，放大器的效率进一步降低。E 类放大器的设计步骤如下。

1. 选择导通阻抗低和输出电容小的晶体管作为开关晶体管。导通阻抗影响效率，而输出电容影响 E 类放大器的最大工作频率。漏极效率 η_D 和最大频率 f_{max} 由参考文献[10]给出：

$$\eta_D = \frac{1 + (\pi/2 + \omega_0 C_d R_s)^2}{(1 + \pi^2/4)(1 + \pi \omega_0 C_d R_s)^2} \tag{8.45a}$$

$$f_{max} = \frac{I_{max}}{56.5\ C_d V_{ds}} \tag{8.45b}$$

这里 R_S 是器件的导通电阻，V_{ds} 是电源电压，I_{max} 是器件的沟道开启电流，ω_0 是工作角频率。例如，FET 的 $I_{max} = 1$ A，$C_d = 0.6$ pF，$V_{ds} = 3$ V，如果 f_T 大于 f_{max}，器件最高工作频率为 9.8 GHz。对于 $R_s \cong 0.4\ \Omega$，在 9.8 GHz，$\eta_D = 92.6\%$。而在 1.9 GHz 时，$\eta_D = 98.2\%$。但是，当 $V_{ds} = 10$ V 时，器件被限制工作在 C 波段以下。

2. 在 E 类放大器的设计中，负载阻抗和电容 C_d之间的关系如下[9]：

$$Z_L = (0.183 + j0.211)/(\omega C_d) = R_L + jX_L \tag{8.46}$$

这是式(8.44)负载阻抗的变形，包括了负载的无功部分。

3. 输出功率 P_o为

$$P_o = 0.5768\frac{V_{ds}^2}{R_L} = 1.7337\ I_{ds}^2 R_L \tag{8.47}$$

这里 I_{ds}是漏源电流。

在 E 类放大器中，匹配网络的设计要使得电压和电流之间没有重叠，即在下一个周期开始前，漏电容 C_d 充分放电。在 C_d 充电期间，其峰值电压达到电源电压的 3 ~4 倍。这要求器件的击穿电压非常高，或者如第 13 章讨论的串联多个低击穿电压的晶体管(堆叠结构)。

8.6 F 类放大器的分析

对于 F 类放大器，采用多谐振输出匹配网络来控制漏极输出电压或者(和)电流的谐波功率大小以提高效率。理想设计中，器件输出端的所有偶次谐波被短路以实现正弦电流波形，通过奇次谐波开路来获得电压方波。但是，抑制二次或者三次谐波[20~30]可以提高效率。由于高频时器件的寄生电抗和匹配网络引入的未知电抗，很难获得器件在非线性工作下精确的谐波终端。Raab[23]介绍了许多谐波调峰技术来提高功率放大器的效率。下面我们将以三阶谐波调峰为例进行讨论。

参照图 8.12，漏极电压和电流波形的表达式为

$$v_D(\theta) = V_{ds} + V_{om}\sin\theta + V_{3m}\sin 3\theta + V_{5m}\sin 5\theta + \cdots \tag{8.48}$$

$$i_D(\theta) = I_{ds} - I_{om}\sin\theta - I_{2m}\sin 2\theta - I_{4m}\sin 4\theta - \cdots \tag{8.49}$$

这里 $\theta = 2\pi f_0 t$，f_0是所需输出的基波(输入信号频率)。基波的系数为 V_{om}、I_{om}，二次谐波的系数为 I_{2m}，三次谐波的系数为 V_{3m}，以此类推。基波系数的负号表示电压和电流相位相反。小信号时，谐波电平很低，漏极电压保持为正弦波形，输出电压为

$$V_{om} = I_{om}R_L \tag{8.50}$$

这里 R_L是负载阻抗。基波输出功率为

$$P_o = \frac{V_{om}I_{om}}{2} = \frac{V_{om}^2}{2R_L} \tag{8.51}$$

随着输入电平的增加，器件开始出现饱和，在某一电平处，输出射频电压 $v_o = V_{om} = V_{ds}$。假设所有偶次谐波都被短路，只有三次谐波开路。对于如图 8.13 所示的最大平坦漏极电压情况，$V_{3m} = V_{om}/8$。此时输出电压变为

$$v_o = V_{om} + V_{om}/8 = V_{ds} + V_{ds}/8 = \tfrac{9}{8}V_{ds} \tag{8.52}$$

代入式(8.51)，输出峰值功率可表示为

$$P_{om} = \frac{v_o^2}{2R_L} = \frac{81}{128}\frac{V_{ds}^2}{R_L} \tag{8.53}$$

器件电流和 B 类放大器一样，即 $I_{ds} = I_{max}/\pi = 2I_{om}/\pi$。因此直流功率为

$$P_{DC} = V_{ds}\ I_{ds} = \frac{2}{\pi}V_{ds}\ I_{om} = \frac{2}{\pi}V_{ds}\left(\frac{v_o}{R_L}\right) = \frac{9}{4\pi}V_{ds}^2/R_L \tag{8.54}$$

漏极效率为

$$\eta_D = \frac{P_{om}}{P_{DC}} = \frac{9\pi}{32} = 0.884 \tag{8.55}$$

通过三阶谐波峰值技术，漏极效率可高达 88%，输出功率比 B 类放大器高 27%。

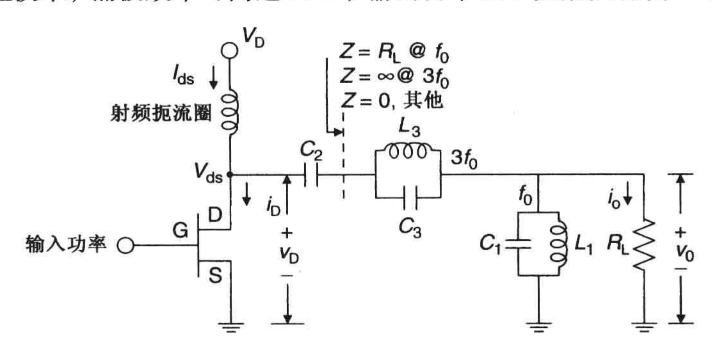


图 8.12 三阶谐波峰值 F 类放大器的匹配网络结构

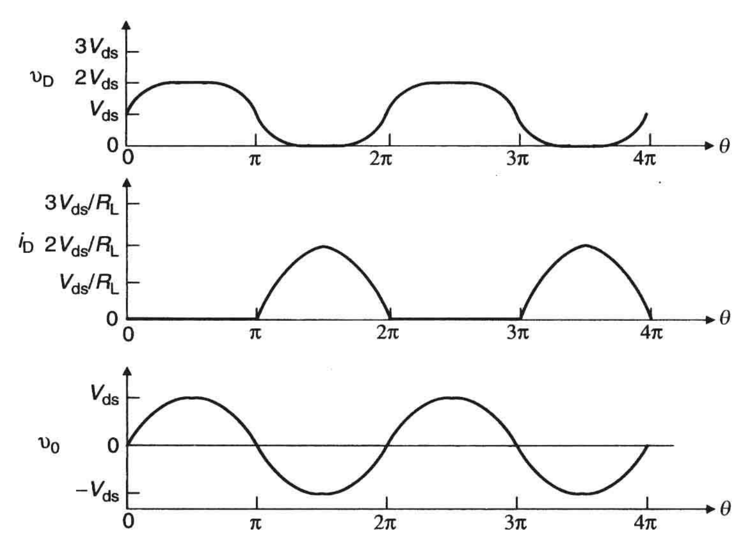


图 8.13 三阶谐波峰值 F 类放大器的电流和电压波形

表 8.1 提供了 F 类功率放大器[23]在各种奇次、偶次谐波终端组合的情况下漏极效率的百分比。

表 8.1 F 类放大器[a]不同谐波终端组合的漏极效率百分比

谐波	1	1,3	1,3,5	1,3,5,…, ∞
1	50.0, A 类	56.3	58.6	63.7
1,2	66.7	75.0,HRA[b]	78.1	84.9
1,2,4	71.1	80.0	83.3	90.5
1,2,4,…, ∞	78.5, B 类	88.4, 3HP[c]	92.0, 3 +5HP	100.0,D 类

[a] 偶次谐波短路，而奇次谐波开路。

[b] HRA 表示谐波无功放大器。

[c] HP 表示谐波峰值。

例 8.3 晶体管的 $I_{max} = 2$ A，击穿电压为 25 V，在 $V_{ds} = 10$ V 时为 B 类偏置，在 1 GHz 时作

为 F 类放大器工作(只有三次谐波被抑制)。当放大器的增益很高时，计算放大器的负载值和输出功率(dBm)。

解 这里 $V_o = \frac{9}{8}V_{ds}$ 和 $I_o = I_{max}/2$，

$$R_L = V_o/I_o = \frac{9}{8}(2V_{ds}/I_{max}) = 1.125 \times 2V_{ds}/I_{max} = 11.25\,\Omega$$

负载值是 A 类放大器负载值的 1.125 倍。输出功率为

$$P_{om} = \frac{81}{128}\frac{V_{ds}^2}{R_L} = \frac{81 \times 100}{128 \times 11.25} = 5.625\ \text{W} = 37.5\,\text{dBm}$$

F 类放大器的设计步骤如下：

1. 设计能获得最大增益的输入匹配。
2. 负载阻抗设计和 B 类放大器负载阻抗的设计相同。R_L是实部。
3. 并联 L_1，C_1 网络谐振在 f_0，并联 L_3，C_3 网络(与 L_1、C_1 网络串联)谐振在三次谐波处($3f_0$)。C_2是隔直电容，也可以作为匹配网络的元件。在频率 f_0 处，三阶谐波谐振电路可以表示为一个小电感，可以和 C_2一起作为匹配网络的元件，为器件的输出端提供需要的负载。元件的值通过下面的关系式来计算：

$$C_1 = \frac{\alpha}{2\pi f_0 R_L(1-\alpha^2)}, \quad \alpha = 1 - 0.5\,\text{BW}/f_0 \tag{8.56a}$$

$$L_1 = 1/(\omega_0^2 C_1) \tag{8.56b}$$

$$L_3 = 1.9753\, L_1 R_L^2/[9R_L^2 + 4\omega_0^2 L_1^2] \tag{8.56c}$$

$$C_3 = 1/(9\omega_0^2 L_3) \tag{8.56d}$$

$$C_2 = 8C_3 \tag{8.56e}$$

这里 $\omega_0 = 2\pi f_0$，BW 是相对带宽。

4. 在多级放大器中，也可以使用谐波终端。Trask[25]介绍了几种级间负载网络。

在过去的 20 年中，谐波调节单片功率放大器取得了重大进展，能够获得非常高的 PAE。参考文献[20]中介绍了一种 C 波段 F 类单级 MMIC 放大器，PAE 为 70%，增益为 8 dB，输出功率为 1.7 W。在这个放大器中，输出端采用谐波调节。参考文献[31]中同样也介绍了一种 C 波段 F 类单级 MMIC 放大器，PAE 为 60%，增益为 9 dB，输出功率为 13 W。在这个设计中，晶体管的输入和输出都采用谐波调节。采用非线性模型进行最初的设计，然后采用第 9 章介绍的 Taguchi经验法进行调整。

8.7 不同种类放大器的比较

Sowlati 等人[6]对工作在 800 MHz、输出功率为 0.25 W 的 B、C、F 和 E 类放大器的特性进行了比较。在比较中，采用了两种电源电压——2.5 V 和 5.0 V。假设匹配网络无耗，晶体管具有平方律特性，阈值电压为 0.5 V。电路拓扑结构如图 8.14 所示：(a)为 B 类和 C 类放大器，(b)为 F 类放大器。E 类放大器的结构及设计与之前讨论的一样。其他类功率放大器的工作条件概括如下：

1. 并联调谐 $L_0 - C_0$电路[见图 8.14(a)]谐振在基波输入频率，对所有高次谐波频率短路。
2. B 类和 C 类放大器的导通角分别为 180°和 120°。

3. 并联调谐 L_0-C_0 电路[见图 8.14(b)]谐振在基波输入频率，而并联调谐 L_3-C_3 电路谐振在三次谐波。
4. 在漏极的三阶谐波电压设置为一阶谐波电压的 1/9。

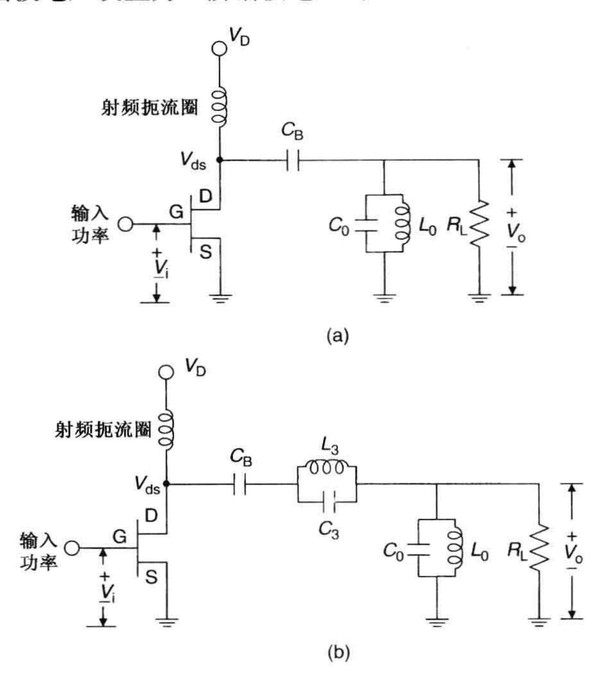


图 8.14　放大器拓扑结构：(a) B 类或者 C 类；(b) F 类

表 8.2(a)和表 8.2(b)是电源电压分别为 5 V 和 2.5 V 时，对放大器重要参数(如最佳负载 R_L、最大晶体管电流 I_{max}、输出功率 P_o、耗散功率 P_{DC}、漏效率 η_D)的总结。重要结论如下：

1. 电压很小时，E 类放大器的 R_L 比其他类高很多。R_L 的值越高，匹配网络的损耗越小。
2. E 类放大器的 I_{max} 最低而 C 类放大器的 I_{max} 最高。更低的 I_{max} 值表示更低的 I_{max}^2R 损耗。
3. 电压很小时，F 类放大器的漏极效率(η_D)减少更明显，E 类则最不明显。

表 8.2　各种放大器重要参数的比较

参数	(a) V_{ds} =5 V			
	类别			
	B	C	F	E
R_L(Ω)	40	40	50	59
I_{max}(mA)	265	320	240	154
P_o(mW)	250	250	250	250
P_{DC}(mW)	330	307	290	274
η_D(%)	75	80	85	91

参数	(a) V_{ds} =2.5 V			
	类别			
	B	C	F	E
R_L(Ω)	8	8	10	21
I_{max}(mA)	590	780	525	294
P_o(mW)	250	250	250	250
P_{DC}(mW)	360	326	320	290
η_D(%)	68	74	76	86

表 8.3 为 0.5 GHz 时[33]，E、F 类放大器(使用 LDMOS 晶体管)射频特性的比较。可以发现，E 类和 F 类放大器具有相似的特性。频率和电压越高，E 类放大器的 PAE 和功率大小越容易受到不利影响。

表 8.3　E 类和 F 类 LDMOS 混合放大器性能测试

功率放大器	增益(dB)	P_o(W)	η_D(%)
F 类	14	25	78
E 类	15	22	67

表 8.4 对不同类放大器的负载阻抗和漏极效率进行了总结。这里的 $R_L = V_{max}/I_{max}$，n 是谐波阶数。V_{max} 和 I_{max} 分别是最大或者峰值电压和电流。图 8.15 画出了几种放大器的输入信号及输出电流和电压的波形。在上面的比较中，我们假设器件和电路均使用理想器件。

表 8.4　射频和微波放大器工作模式总结

工作类型	偏置	基波处负载阻抗	偶次谐波	奇次谐波	漏极效率(%)
A 类—线性	A	R_L	—[a]	—[a]	50
A 类—过激		R_L	—[a]	R_L	81
B 类—线性(推挽)	B	R_L	短路	—[a]	78.5
B 类—过激		R_L	—[a]	R_L	88.0
B 类—单端		$0.73R_L$	—[a]	—[a]	58.0
C 类—线性	C	R_L	—[a]	—[a]	93.9
E 类—开关模式	B	$0.58R_L$	—[a]	—[a]	100
F 类—饱和	B	$1.27R_L$	短路	开路	100
F 类—饱和		$1.1R_L$	短路	开路($n=3$)	88.4

[a]特定的谐波已经得到抑制。

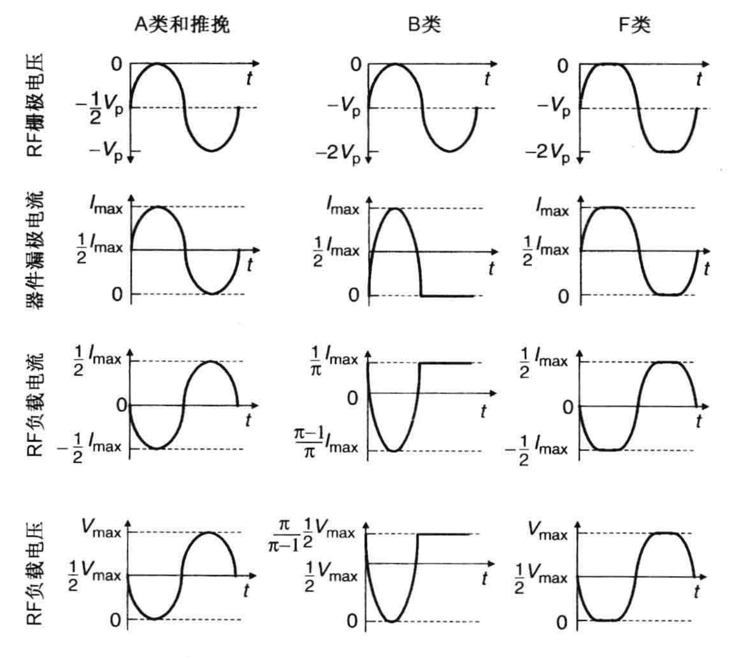


图 8.15　理想晶体管各种工作状态的电压和电流关系。V_p、V_{max}、I_{max} 分别为夹断电压、最大或者峰值电压、最大或者峰值电流

本章对各种放大器进行了简单的分析。对于 UHF 和 VHF 频段，这些分析都是有效的；但是对于微波频段，由于晶体管的寄生电感的影响，这些分析则仅是近似的，必须谨慎使用。例如，电流或者电压波形就不像之前所描述那样为标准的正弦波或者方波，波形将被扭曲。但在 UHF 和 VHF 频段，器件和匹配网络的寄生电感可以忽略，晶体管的增益也很高(20 dB 或者更高)。在这些频段，晶体管作为 B 类放大器使用，仍然具有很高的增益(15 dB 或更高)。通过抑制偶次、三次和五次谐波，漏极效率可达到 90% 这个量级。采用 E 类放大也可以获得类似的效率，但却是在输出功率较低的时候。在射频和微波频段，所有器件都具有明显的寄生电感、功率耗散，瞬态或切换时间会占据射频周期的很大一部分。这些情况在分析中是不能忽略的。但是，在更高频率处，对于给定器件，除非针对某一应用特殊设计，器件性能通常降低 2 ~ 4 dB。受到相同的电路限制，不同类的放大器也许会有相似之处。几种放大器的实际特性将在接下来的章节进行讨论。

参考文献

1. H. Krauss, C. Bostian, and F. Raab, *Solid-State Radio Engineering*, John Wiley & Sons, Hoboken, NJ, 1980.
2. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.
3. N. O. Sokal and A. D. Sokal, Class E—a new class of high-efficiency tuned single-ended switching power amplifiers, *IEEE J. Solid-State Circuits*, Vol. SC-10, pp. 168–176, June 1975.
4. F. H. Raab, Idealized operation of the class E tuned power amplifier, *IEEE Trans. Circuits Systems*, Vol. CS-24, pp. 725–735, December 1977.
5. T. B. Mader and Z. B. Popovic, The transmission-line high-efficiency class-E amplifier, *IEEE Microwave Guided Wave Lett*., Vol. 5, pp. 290–292, September 1995.
6. T. Sowlati et al., Low voltage, high efficiency GaAs class E power amplifiers for wireless applications, *IEEE J. Solid State Circuits*, Vol. 30, pp. 1074–1079, October 1995.
7. J. F. Davis and D. B. Rutledge, A low-cost class-E power amplifier with sine-wave drive, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1113–1116, 1998.
8. N. O. Sokal, Class E high-efficiency power amplifiers, from HF to microwave, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp 1109–1112, 1998.
9. F. J. Ortega-Gonzalez et al., High-efficiency load-pull harmonic controlled class-E power amplifier, *IEEE Microwave Guided Wave Lett*., Vol. 8, pp. 348–350, October 1998.
10. T. B. Mader et al., Switched-mode high efficiency microwave power amplifiers in a free-space power–combiner array, *IEEE Trans. Microwave Theory Tech.*, Vol. 46, pp. 1391–1397, October 1998.
11. M. Markovic, A. Kain, and Z. Popovic, Nonlinear modeling of class-E microwave power amplifiers, *Int. J. RF Microwave Computer-Aided Design*, Vol. 9, pp. 93–103, March 1999.
12. V. S. Rao Gudimetla and A. Z. Kain, Design and validation of the load networks for broadband class E amplifiers using nonlinear device models, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 823–826, 1999.
13. A. Mediano and P. Molina, Frequency limitation of a high-efficiency class E tuned RF power amplifier due to a shunt capacitance, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 363–366, 1999.
14. D. K. Choi and S. I. Long, A physically based analytic model of FET class-E power amplifiers—designing for maximum PAE, *IEEE Trans. Microwave Theory Tech.,* Vol. 47, pp. 1712–1720, September 1999.

15. W. H. Cantrell, Tuning analysis for the high-Q class-E power amplifier, *IEEE Trans. Microwave Theory Tech.*, Vol. 486, pp. 2397–2402, December 2000.
16. C. Yoo and Q. Huang, A common-gate switched 0.9-W class-E power amplifier with 41% PAE in 0.25-μm CMOS, *IEEE J. Solid State Circuits*, Vol. 36, pp. 823–830, May 2001.
17. A. Grebennikov, Switched-mode RF and microwave parallel-circuit class E power amplifiers, *Int. J. RF Microwave Computer-Aided Design,* Vol. 14, pp. 21–35, January 2004.
18. D. P. Kimber and P. Gardner, Power series analysis of the class E power amplifier, in *European Microwave Conference Proceedings*, pp. 1461–1464, 2004.
19. Y. Qin et al., Design of low-cost broadband class-E power amplifier using low voltage supply, *Microwave Opt. Tech. Lett.*, Vol. 44, pp. 103–106, January 2005.
20. I. J. Bahl et al., Class-B power MMIC amplifiers with 70 percent power added efficiency, *IEEE Trans. Microwave Theory Tech.*, Vol. 37, pp. 1315–1320, September 1989.
21. C. Duvanaud, S. Dietsche, G. Pataut, and J. Obrgon, High-efficient class F GaAs FET amplifiers operating with very low bias voltages for use in mobile telephones at 1.75 GHz, *IEEE Microwave Guided Wave Lett.*, Vol. 3, pp. 268–270, August 1993.
22. F. H. Raab, Introduction to class-F power amplifiers, *R.F. Design*, Vol. 19, pp. 79–84, May 1996.
23. F. H. Raab, Class-F power amplifiers with maximally flat waveforms, *IEEE Trans. Microwave Theory Tech.*, Vol. 45, pp. 2007–2012, November 1997.
24. P. Colantonio et al., On the class-F power amplifier design, *Int. J. RF Microwave Computer-Aided Design,* Vol. 9, pp. 129–149, March 1999.
25. C. Trask, Class-F amplifiers loading network: a unified design approach, *IEEE MTT-S Int. Microwave Symp. Dig.,* pp. 351–354, 1999.
26. A. Grebennikov, Circuit design technique for high efficiency class F amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 771–774, 2000.
27. P. Colantonio et al., Class G approach for low-voltage, high-efficiency PA design, *Int. J. RF Microwave Computer-Aided Design*, Vol. 10, pp. 366–378, November 2000.
28. F. H. Raab, Maximum efficiency and output of class F power amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. 47, pp. 1162–1166, June 2001.
29. F. H. Raab, Class-E, class-C, and class-F power amplifiers based upon a finite number of harmonics, *IEEE Trans. Microwave Theory Tech.*, Vol. 49, pp. 1462–1468, August 2001.
30. S. Gao, High efficiency class F RF/microwave power amplifiers, *IEEE Microwave Mag.*, Vol. 7, pp. 40–48, February 2006.
31. W. L. Pribble and E. L. Griffin, An ion-implanted 13 watt C-band MMIC with 60% peak power added efficiency, *IEEE Microwave Millimeter Wave Monolithic Circuits Symp. Dig.*, pp. 25–28, 1996.
32. D. M. Snider, A theoretical analysis and experimental confirmation of the optimally loaded and overdriven RF power amplifiers, *IEEE Electron Devices*, Vol. 14, pp. 851–857, December 1967.
33. A. Grebennikov and N. O. Sokal, *Switchmode RF Power Amplifiers*, Elsevier, Burlington, MA, 2007.

习题

8.1 设计一个将 5 W 功率传输到 50 Ω 系统的 A 类功率放大器，电源电压为 10 V，器件的额定电流为 2 A，计算 5 GHz 时的输出匹配元件的值(参考第 7 章匹配网络的设计)，以及确定对电路影响最小的射频扼流圈的电感为 $20R_L$，R_L为负载的实部。

8.2 设计一个将 2 W 功率传输到 50 Ω 系统的 E 类功率放大器，器件的输出电容为 1 pF，计算器件的额定电压和电流，以及 2 GHz 时输出匹配元件的值(参考第 2 章的匹配网络设计)。

8.3　设计一个将 5 W 功率传输到 50 Ω 系统的 F 类功率放大器(见图 8.12)，电源电压为 10 V，器件的额定电流为 1 A，计算 5 GHz 时的输出匹配元件的值和器件的功耗(参考第 7 章的匹配网络设计)。

8.4　设计一个工作电压为 5 V，将 2 W 功率传输到 50 Ω 系统的推挽式功率放大器，计算器件的额定电压和电流，以及 2 GHz 时输出匹配元件的值和巴伦的参数，假定巴伦无耗(参考第 7 章的匹配网络设计)。

8.5　设计一个 A 类放大器的输出匹配网络，放大器输出功率为 2 W，负载为 50 Ω，工作在 1 GHz，电源电压为 15 V，计算器件的额定输出功率。

8.6　设计一个单端式 B 类放大器的输出匹配网络，放大器输出功率为 20 W，工作在 1 GHz，电源电压为 28 V，输出匹配使用 $\lambda/4$ 传输线将 50 Ω 的系统阻抗变换为所需负载值，计算器件的额定输出功率。

8.7　讨论各种放大器工作时，在线性度、效率和功率方面的优缺点，描述分辨放大器工作类型的方法。

8.8　讨论 F 类放大器工作在微波频段的局限性。

第9章　放大器设计方法

设计一个具有特殊应用并规定工作频率范围的放大器是一项复杂的工作，因为设计出的放大器还必须要符合物理的、电的、热学的及成本的要求。放大器性能要求包括:工作频带，放大增益，噪声系数，输出功率，PAE，线性度，输入和输出 VSWR，稳定性，耐用性等，这些是由晶体管的类型、尺寸、电路设计拓扑结构、匹配网络、增益级数、器件各级之间的比例、设计方法、偏置结构、热设计、制造工艺及封装决定的，也就是它包含尺寸、电性能、稳定性和成本之间的折中。在本章中，我们结合例子对放大器设计方法的各方面进行讨论，具体的设计将在以后的章节中详细介绍。

9.1　放大器的设计

虽然放大器的设计有可能针对低功率或者高功率两种不同的应用，但基本设计步骤是相似的。低功率放大器可能是低噪声或者缓冲级，或者是可变增益放大器，而且通常采用线性设计方法来设计。但是，功率放大器基于非线性设计方法，并有可能是针对高功率、高效率或者高线性应用。这些设计方法比低功率设计中要显得重要，需要采用准确 CAD 工具来描述非线性。因此本章将重点放在功率放大器，当然，方法同样适用于低功率设计。设计方法包括选择电路拓扑、级数，匹配网络的综合，偏置网络、放大器电路的实现，仿真、性能优化及按需要对高功率电平的功率合成。放大器的设计可以是窄带的、宽带的、单级的、多级的。放大器的设计可以分为六步:

1. 晶体管类型和制造工艺
2. 晶体管尺寸
3. 设计方法
4. 选择电路拓扑和元件
5. 电路分析和优化
6. 稳定性和热分析

9.1.1　晶体管类型和制造工艺

最重要的是，首先必须选择合适的晶体管类型来满足放大器设计要求。器件类型(合适的电源、噪声系数、输出功率、频率范围等)可以从 CMOS、BJT、FET、HBT 和 HEMT 中选择。接下来是决定制造工艺，同样也是取决于应用、研发周期、成本、体积等。

通常采用一些射频、微波制作工艺来减小元件数量、尺寸和成本，包括印制电路板(PCB)、厚薄膜混合、低高温共烧陶瓷、单片集成电路。印制电路板方法用在射频并限于低功率电平。厚薄膜混合工艺通常用于分立器件、单级内匹配放大器和高功率合成技术。通常，对于小批量应用，采用分立器件;而对于大批量和低成本指标，需采用集成 IC 解决方案。集成的方法在微波频段同样也是一个优先的选择。塑料封装对于功率放大器(低于 5 W)工作低于 Ku 波段时具有低成本优势，而 L 到 Ku 波段的高功率应用则通常采用陶瓷封装。在微波频段，广泛利用片式载体方法。第 14 章将专门讨论混合放大器的设计。单片工艺被广泛应用在从射频到微波频段，第 15 章将详细讨论。

9.1.2 晶体管尺寸的选择

在低噪放应用中，晶体管尺寸的选择没有功率放大器中那么严格。对于低噪放应用，较低频率时采用大晶体管尺寸。在低功耗和低噪声应用领域，器件尺寸是由频率范围和其他参数决定的，例如 $P_{1\,dB}$和 TOI(IP3)这些参数。尺寸越大，在射频和低频微波范围内就越好匹配，但是器件的功耗就越大，$P_{1\,dB}$和 TOI 越高。在毫米波频段，小尺寸晶体管的功耗更小。在低频微波频段，低噪声晶体管尺寸从0.6～1 mm；在 X 波段，其尺寸在0.2～0.3 mm；在20 GHz 以上频段，器件尺寸在0.05～0.1 mm 范围内。

功率晶体管尺寸的选择取决于设计要求的功耗和带宽。窄带应用中，20%～30%裕量应包括从器件 P_{out}到放大器 P_{out}，放大器电路设计应满足安全工作条件：电流≤I_{max}，电压≤击穿电压。晶体管推荐偏置条件通常由供应商给出。假如输出匹配电路损耗可以控制在0.5 dB 以内，另外的0.5 dB 的损耗是由器件的输出端设计阻抗和期望阻抗不匹配引起的，那么晶体管必须提供10 W 的输出以实现一个8 W 的功放。在多级放大器中，设计一个长宽比(输出与输入晶体管尺寸之比)合适的器件，在实现高 PAE 或者线性放大器中起着重要作用。在两级放大器设计中，晶体管长宽比取决于放大器在工作频率时的压缩增益、PAE、线性度要求及带宽。在窄带应用中，由耗散损耗和晶体管输入/输出级不匹配产生的2～3 dB 的增益损耗在放大器设计中是必须考虑的。但是在宽带放大器中，增益损耗为3～4 dB。例如，在 C 波段时 FET 每级有10 dB 的压缩增益，因此在高 PAE 应用中，FET 输出到输入级需要4∶1 的比例。但是在要求高线性度的应用中，这个比例可以降到3∶1，甚至2∶1，当然取决于电路设计要求。

9.1.3 设计方法

功放可以用以下几种方法设计：负载线法、基于负载牵引数据的低损耗匹配(LLM)法和通过工作偏置点或是非线性器件模型来获得的小信号 S 参数法。在负载线法中，分析方程用于设计电路参数和输出功率，PAE 用来计算唯一的基波频率。在 LLM 法中，通过负载牵引数据或者 S 参数来实现对每个器件输出级的负载阻抗的优化。PAE 和输出功率可以通过经验来计算。这两种方法都不提供其他的非线性参数，例如 TOI。在非线性设计方法中，使用非线性器件模型来计算功放的性能，这些性能包括每级的功率压缩、输出功率、PAE(作为输入功率性能)。这种方法被广泛应用，同时也可以用来计算高 PAE 应用中的谐波水平和反馈谐波终端，以及用来计算每个设计的其他非线性性能。

9.1.4 电路拓扑

电路拓扑和匹配网络通常用来设计所需要的频率带宽。为了减小尺寸，偏置电路通常为匹配网络的一部分。匹配网络通常包含引线框体封装和键合线寄生电抗。在大功率应用中，通常使用束联型(cluster type)分立拓扑结构。在高性能放大器中使用微带元件作为匹配元件。利用集总元件匹配网络或者集总-分布电路元件将器件阻抗变换为50 Ω。同样，在放大器输出端期望是低损电路元件，由于效率和功率会因输出匹配网络的损耗而降低，因此在毫米波频段，通常使用微带。

在射频和微波频段使用集总元件的另一个优点在于：低频广播频段的几种设计技术在 X 波段可以成功应用(在微波频段使用微带是不实际的)。电路结构包括：真微分，推挽式和反馈放大器，高压和分相放大器，直接耦合放大器，T-coil 桥接放大器，以及串联和并联增益峰化宽带放大器。

在宽带放大器的应用中，为使电路满足要求的性能，集总元件起着重要的作用。为了调谐晶体管电容，需要一个最小寄生电容的电感。在微波频段，通常使用高阻抗传输线(传输线呈感性，详见第6章)。但是，这些传输线有关联的并联电容，这些电容会降低电路的增益带宽。例如，一个在75 μm厚GaAs基底上、宽度为12 μm的微带电感需要一个1160 μm长的传输线来实现0.8 nH的电感。相关的并联电容值约为0.13 pF。另一方面，一个线宽为12 μm、2.5匝的集总电感就可以实现0.8 nH的电感，其并联电容却只有0.04 pF。因此，使用并联电容小得多的集总电感会得到更宽的电路带宽。

射频扼流圈使用集总电感比使用λ/4变换线在尺寸和带宽上有独一无二的优势，在微波电路中使用变换线会使有源或无源固态器件偏置。例如，一个串联谐振频率超过20 GHz的5 nH小型电感，可以在5~20 GHz的频率范围内作为射频扼流圈使用。但如果使用变换线，则需要三部分的λ/4传输线来实现相同的带宽(详见第18章)。总体来说，集总元件和传统分布元件相比，尺寸更小，价格更低，阻抗转化率更高，电路元件间的相互作用更小，相关互补电抗更低，带宽更宽。

低通匹配网络可以抑制高寄生频率和谐振频率，但其在低频时会趋向高增益(因此不稳定)。正因为如此，在多级放大器中，在中间级和输入级之间连接一个带通滤波器，在输出级连接一个低通滤波器，就可以得到需要的频率响应。

9.1.5 电路分析和优化

电子器件设置为生产商提供的参数(包括推荐偏置条件下的S参数和等效电路模型、标称频率条件下的非线性模型、为获得最大输出功率和PAE而优化输入和输出阻抗模型、相关增益)是可行的。最佳线性数据是很难获得的，小信号S参数/EC模型、非线性模型都要求计算放大器的稳定性和电气性能。源牵引和负载牵引数据对于为优化放大器设计而准确描述功率器件是必要的，功放通常使用负载线法进行设计[1~3]。

设计多级放大器要求准确的线性和非线性模型，也可以预测一个放大器的以下性能，包括$P_{1\,\mathrm{dB}}$、PAE、增益、二次/三次谐波电平、三阶交调点，以及它们之间的最佳协调。商用CAD软件对于电路分析和电路优化是可行的，由于对更大的带宽实现要求的负载阻抗很难，使用非线性模型优化也更困难，因此通常使用负载线同步和非线性模拟。以上设计过程重复进行，以便同时匹配每个FET的漏极负载阻抗和最大增益、功率、PAE的优化方案得以实现。但是，一个简单的单级功放设计可能通过使用非线性模型(在谐波平衡模拟器中设置为发散)而得到优化。最后电路的优化包括:EM仿真数据、稳定性分析、灵敏度分析及封装影响。

9.1.6 稳定性和热分析

设计的放大器必须条件稳定，并且必须避免奇模、闭环、参量及低频的振荡条件(见第17章)。任何有功率增益的放大器都可以因一个外部的正反馈而激发振荡，例如多级高增益放大器中的偏置电路、低隔离度的陶瓷或塑料封装的高增益MMIC芯片。在射频和微波频段，如果在设计和装配放大器时不注意，寄生电抗(不可避免的)就足以引起振荡。功放的稳定性分析将在第17章讨论。

取决于其制作技术，功率晶体管都有一个最高允许的工作通道温度，通常在150~200 ℃之间。为保持其射频性能和稳定性，不允许超过这个最高温度。降低通道温度可以提高电性能及大幅增加器件的使用寿命。因此在功放产品的设计中，有效移除器件中产生的过多热量是十分重要的。这个可以通过使用小尺寸器件、增大散热面积、最小化器件和散热器之间的高阻抗接

口来实现。对于大功率、高效率、高功率密度器件来说，期望的是菱形放热。第16章将会讨论晶体管和放大器的热学设计。

9.2 放大器设计技术

在单级放大器中，设计输入匹配网络是为了获得好的VSWR、稳定性、放大增益和噪声系数/线性度，而设计输出匹配网络是为了实现最大增益、输出功率和PAE/IP3。LNA设计时使用低损耗输入匹配电路是为了实现可能的最小噪声系数。功放的输出匹配网络被设计成能传递最大功率，其匹配网络也应该是低损的以便电路能获得最大的输出效率，而所需频率之外应限制功率增益。

多级功放设计包括三部分:输入电路，级间设计，输出匹配网络。在LNA设计中，首先设计输入匹配部分，接着设计级间匹配，最后设计输出电路匹配;在高功率放大器的设计中，顺序是反过来的，也就是输出匹配网络最先设计，而输入匹配网络则是最后设计。输入和输出匹配网络的设计与单级放大器的设计相类似。级间匹配网络通常为每个器件提供6 dB/倍频程的增益补偿，同时也最大化地实现输出功率，为下一级提供足够的输入功率。高频阶段的宽带放大器，其级间匹配的设计是很关键的。比起单级放大器，多级放大器输入匹配网络和增益平稳度的设计有更大的灵活性。更高的频段要求带外增益实现最小，为了实现最大输出功率，匹配电路必须提供最大的增益和功率来驱动下一级的栅极，输出和中间级匹配网络设计采用期望的负载阻抗。小信号模型仿真器能很好地完成输入匹配和增益设计，但是不足以仿真功率特性。在高效率和超宽带放大器中，非线性仿真和详细的源牵引、负载牵引数据都是需要的。

现在有几种方法可以用来准确测量在大信号条件下的器件输入和输出阻抗，这也是功放电路设计成功的必要条件。传统的源牵引和负载牵引技术，小信号和大信号S参数，线性和非线性等效电路，以及基于物理模型的方法，这些都是目前用来测量器件的输入和输出阻抗的方法。非线性等效电路和基于物理的模型再结合非线性CAD工具，可以用来设计功放和准确仿真它们的性能。在窄带方面，利用源牵引、负载牵引数据就能设计功放。但是，对于1倍频程及更高的带宽和超高效率应用，非线性器件模型是必须的。功放设计中常见的使用方法会在接下来的章节中简单介绍。

9.2.1 负载线法

通常情况下，功放可以通过负载线法来设计[1~4]。在功放设计中，电压和电流波形限制了电路性能，因此放大器性能可以通过器件输出电压和电流来计算。考虑共源MESFET放大器，如图9.1所示，基极电压电流的关系可以表述为

$$v_\mathrm{d} = V_\mathrm{ds} - i_\mathrm{o} R_\mathrm{L} \tag{9.1}$$

$$i_\mathrm{d} = I_\mathrm{ds} + i_\mathrm{o} \tag{9.2}$$

这里的V_{ds}和I_{ds}是直流电压源和直流电流源。v_d是器件漏极的总电压，i_o是通过负载R_L的射频电流，i_d是通过器件的总电流，栅极和漏极的偏置电感(L_G,L_D)被认为是理想扼流圈($\omega L_G \gg R_S$，$\omega L_D \gg R_L$)。漏极电容C_b被认为是理想隔直电容($1/\omega C_b \ll R_L$)。

假设器件是一个理想的栅极电压控制电流源，如图9.2(a)所示，其最小电流值为0，而最大电流值为I_{max}。将器件的射频输入电压视为足够大，以至于器件的漏极电流可以近似为方波，方波最小值为0，最大值为I_{max}。这种情况更适用于高PAE和高输出功率场合。

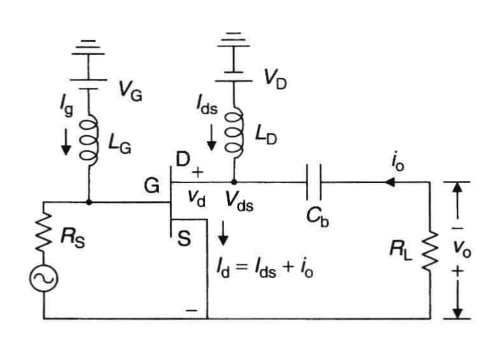


图 9.1 共源 FET 放大器的电路原理图

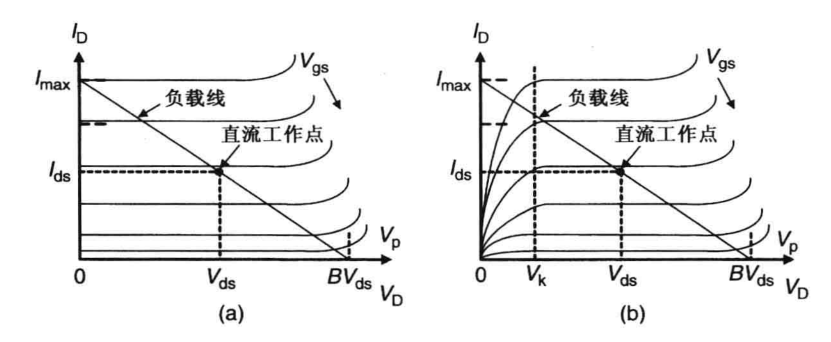


图 9.2 *I-V* 曲线：(a)理想；(b)含有阈值电压

在这种情况下，电流源为 $I_{max}/2$，从式(9.1)和式(9.2)可得，漏极电压变为

$$v_d = V_{ds} + \left(\frac{I_{max}}{2} - i_d\right) R_L \tag{9.3}$$

由于电流在工作频段时为方波，因此漏极电压 v_d 也变为方波，但是相位相差 180°。也就是说，在电流 i_d 最大时，电压 v_d 最小。i_d 与 I_{max} 的关系也是一样。当且仅当漏极电压大于等于 0 时，电流才会流过器件，也就是

$$(v_d)_{min} = V_{ds} + \left(\frac{I_{max}}{2} - I_{max}\right) R_L \geqslant 0 \tag{9.4a}$$

或

$$R_L \leqslant \frac{2V_{ds}}{I_{max}} \tag{9.4b}$$

式(9.4b)表示的负载阻抗和 $2V_{ds}$ 的关系是可以用于器件的安全电压($2V_{ds} < BV_{ds}$)。当 $R_L < 2V_{ds}/I_{max}$ 时，漏极电流在 $0 \sim I_{max}$ 之间变化，漏极电压在 $V_{ds} \pm (I_{max}R_L)/2$ 之间变化。这种情况称为“电流限幅”，其中输出信号的增强可以通过选择更大 I_{max} 的器件，然而增加 V_{ds} 却不会增加输出功率。另一方面，当 $R_L > 2V_{ds}/I_{max}$，漏极电流范围是 $0 \sim 2V_{ds}/R_L$，而漏极电压在 $0 \sim 2V_{ds}$ 之间变化，这种情况称为“电压限幅”。$R_L = 2V_{ds}/I_{max}$ 将会使得电流和电压都限幅。

直流功率 P_{DC} 由下式给出：

$$P_{DC} = V_{ds}\frac{I_{max}}{2} \tag{9.5}$$

由于我们假设的是一个方波电流，漏极电压和漏极电流是 180°反相，一个理想的器件不会消耗任何能量。总共的射频输出功率(P_{oT})传递到负载(R_L)，由下式给出：

$$P_{\mathrm{oT}} = \frac{1}{4} I_{\max}^2 R_{\mathrm{L}} \tag{9.6}$$

输出方波电流包括所有奇次谐波。计算傅里叶积分，基波射频输出功率 P_o，传递到负载 R_L，由下式给出：

$$P_{\mathrm{o}} = \frac{2}{\pi^2} I_{\max}^2 R_{\mathrm{L}} \tag{9.7}$$

从式(9.5)到式(9.7)，漏极效率 η_D 由下式给出：

$$\eta_{\mathrm{D}} = \frac{P_{\mathrm{o}}}{P_{\mathrm{DC}}} = \frac{4}{\pi^2}\left(\frac{I_{\max}}{V_{\mathrm{ds}}}\right) R_{\mathrm{L}} \tag{9.8}$$

如果我们选择的负载 $R_L = 2V_{ds}/I_{max}$，可以得到

$$\eta_{\mathrm{D}} = \frac{8}{\pi^2} \text{ 或 } 81\% \tag{9.9}$$

漏极效率为 81%，如前一章所述，这和过驱动 A 类放大器的效率一样。这些分析结果是在假设谐波具有 50 Ω 的终端下得到的。

如图 9.2(b)所示，FET 电压线弯曲之前呈电阻特性。这个特性可以由上面几个等式的变形近似得到，如下所示：

$$R_{\mathrm{L}} \leqslant \frac{2(V_{\mathrm{ds}} - V_{\mathrm{k}})}{I_{\max}} \tag{9.10}$$

$$P_{\mathrm{o}} = \frac{4}{\pi^2} I_{\max}(V_{\mathrm{ds}} - V_{\mathrm{k}}) \tag{9.11}$$

$$\eta_{\mathrm{D}} = \frac{8}{\pi^2}\left(\frac{V_{\mathrm{ds}} - V_{\mathrm{k}}}{V_{\mathrm{ds}}}\right) \tag{9.12}$$

由此，直流 I-V 曲线可以大概表示出放大器的性能。在 $V_{ds} = 10$ V 时，M/A-COM 公司的 MSAG 625 μm 栅宽的 FET 的 $I_{max} = 180$ mA，$V_k = 1.2$ V。这样计算得出的 $P_o = 0.64$ W，而 $\eta_D = 71.3\%$。但是通过测量，在 14 GHz 时，这些值分别为 0.56 W 和 70%。尽管是在极端假设下进行的，但是，如果寄生的电抗在工作频率时对器件的计算不会产生重大的影响，那么简单负载线法得到的数据和测量得到的数据大体一致。上面描述的简单理论也没有将谐波的作用计算在内，这种方法在线性仿真器中设计功放时能轻松实现[4]。

9.2.2　低损耗匹配设计技术

低损耗匹配(LLM)设计技术在多级驱动电路和高功率放大器设计中成功得到了应用[5~9]。在这个设计方案中，每级的阻抗/耗散损耗(DL)和失配损耗(ML)都按设计要求进行调整和计算。通常情况下，DL 和 ML 在输出匹配时保持在一个最小损耗上。而中间级的 ML 被降到最小。每个中间级 ML 和 DL 的控制因素包括：稳定性判断和电气性能。通过一个较大的漏极电压范围，中间级匹配网络可以给输出级 FET 提供足够的驱动功率。耗散损耗是指每个无源级电路的损耗，比如中间级、输出级等。失配损耗是指因 FET 端的 50 Ω 变换输出阻抗与器件要求的最优阻抗不同而引起的。考虑如图 9.3 所示的两级设计。在这种情况下，中间级和输出匹配网络总共的损耗(TL)由下列式子给出：

$$\mathrm{TL}_1 = D_{\mathrm{int}} + M_{\mathrm{L1}} \tag{9.13}$$

$$\mathrm{TL}_2 = D_{\mathrm{out}} + M_{\mathrm{L2}} \tag{9.14}$$

这里的 D 和 M 分别代表耗散损耗和失配损耗，都以正的 dB 值表示，下面会讨论这些损耗的计算。

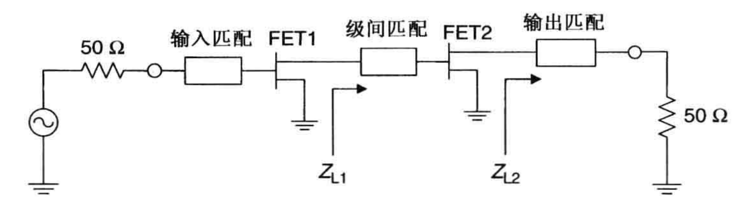


图 9.3 两级放大器的最优负载阻抗方案

耗散损失

通过连接复共轭阻抗到 FET 端来计算每个无源级的耗散损耗。对于输入和输出匹配网络，如图 9.4(a)所示，耗散损耗由下式给出：

$$D_{\text{in}} = -10\log\frac{|S_{21\text{i}}|^2}{1-|S_{22\text{i}}|^2} \tag{9.15a}$$

$$D_{\text{out}} = -10\log\frac{|S_{21\text{o}}|^2}{1-|S_{11\text{o}}|^2} \tag{9.15b}$$

这里的 S 分别代表相应网络的 S 参数。对于中间级，如图 9.4(b)所示，耗散损耗通过下式来计算：

$$D_{\text{int}} = \frac{|S_{21}|^2(1-|\Gamma_{\text{S}}|^2)(1-|\Gamma_{\text{L}}|^2)}{|(1-S_{11}\Gamma_{\text{S}})(1-S_{22}\Gamma_{\text{L}})-S_{12}S_{21}\Gamma_{\text{S}}\Gamma_{\text{L}}|^2} \tag{9.16}$$

这里的 S 为中间级的 S 参数，Γ_{S} 和 Γ_{L} 分别为中间级共轭匹配的输入和输出反射系数，对于无源网络通过下面的关系来计算：

$$\Gamma_{\text{S}} = \frac{B_1-\sqrt{B_1^2-4|C_1|^2}}{2C_1} \tag{9.17a}$$

$$\Gamma_{\text{L}} = \frac{B_2-\sqrt{B_2^2-4|C_2|^2}}{2C_2} \tag{9.17b}$$

$$B_1 = 1+|S_{11}|^2-|S_{22}|^2-|\Delta|^2 \tag{9.17c}$$

$$B_2 = 1+|S_{22}|^2-|S_{11}|^2-|\Delta|^2 \tag{9.17d}$$

$$C_1 = S_{11}-\Delta S_{22}^* \tag{9.17e}$$

$$C_2 = S_{22}-\Delta S_{11}^* \tag{9.17f}$$

$$\Delta = S_{11}S_{22}-S_{12}S_{21} \tag{9.17g}$$

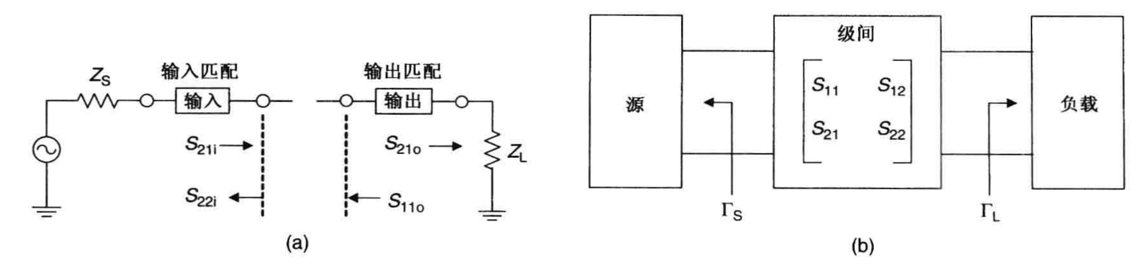


图 9.4 耗散损耗计算图：(a)输入和输出匹配网络；(b)中间级同时共轭匹配

失配损耗

考虑单端口网络，如图9.5所示，其中源阻抗为 Z_S，负载阻抗为 Z_L，这样反射系数 Γ 和失配损耗 M_L 可以表示为

$$\Gamma = \frac{Z_L - Z_S}{Z_L + Z_S}, \quad M_L = 10\log\frac{1}{1-|\Gamma|^2} \tag{9.18}$$

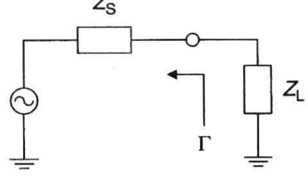


图9.5 单端口失配计算图

现在，考虑图9.3，如果 Z_{L1}、Z_{L2} 为FET第一级和第二级的优化的负载阻抗值，Z'_{L1}、Z'_{L2} 为FET第一级和第二级的漏极测量/计算阻抗值，失配损耗由下式给出：

$$M_{Li} = 10\log\frac{1}{1-|\Gamma_i|^2}, \quad i = 1,2 \tag{9.19}$$

这里

$$\Gamma_i = \frac{Z'_{Li} - Z^*_{Li}}{Z'_{Li} + Z^*_{Li}} \tag{9.20}$$

Z^*_{Li} 为 Z_{Li} 的复共轭，当 $Z^*_{Li} \cong Z'_{Li}$ 时，$M_{Li} \cong 0$ dB。

以上方法是基于下面这个假设:器件的输入阻抗依赖于连接到漏极端的负载而非依赖于其大信号参数。对于FET和HEMT，这个假设相当精确，而且也是提到的这种方法可行的基础。但是，对于失配损耗的精确计算，必须用到大信号 S 参数。基于源牵引和负载牵引数据的窄带功放的设计更精确;但在宽带功放设计中，LLM技术的使用更广泛、更有效。这个技术用到器件的 S 参数/EC模型和负载牵引数据。

9.2.3 非线性设计方法

在功放的设计中，非线性器件的应用，借助于现代计算机辅助设计[10]，为功放设计时间的减少提供了捷径。随着这些工具的综合程度和精确度的提高，设计周期的时间可以大大减少，IC设计一次成功率也得到提高。在宽带、窄带、线性、高PAE应用中，集成CAD工具的发展和有源器件非线性模型准确度的提高，在MMIC功放的成功发展中起着重要的作用。FET、HFET、HMET和HBT的准确模型是这些工具不可或缺的一部分。如第5章所述，晶体管的线性和非线性模型都是基于等效电路图，通常是由生产/供应商提供的。

电路优化是CAD中很重要的一步。在功放设计中，电路的优化过程是通过电路拓扑结构选取和最终设计进行的，其将原始设计优化成满足要求的最终设计。优化过程包括反复修改原始设计，然后通过电路分析和所需要的性能进行对比。

由于在时域和频域都要进行非线性分析和计算，执行时间就非常长，因此对于大多数电路优化来说都不太可能使用非线性分析。早期的功放设计完全采用负载线法和小信号优化。没有考虑不连续效应，开始使用理想集总元件来加速电路拓扑的选择。当放大器电路拓扑最终确定之后，再进行电路优化(包括所有寄生电抗)。这时，所有其他分析(包括稳定性、灵敏度和EM)都要进行。最后，采用精确的非线性模型，使用非线性分析来优化相应的参数，以及调整功放设计。但是，变量极少的简单电路(可以影响到非线性性能)，可以通过非线性优化法来实现最优化。非线性模型通常用来计算输入功率(其大小依赖于射频性能)。由于巨大的存储空间和计算时间要求及模型的不收敛，几乎无法用它们来优化多级功放。为了加速非线性仿真时间，每级使用一个单器件非线性模型来分析。

9.2.4 Taguchi 实验法

下面介绍几种统计学方法，也就是被人们熟知的实验设计法(Design of Experiments，DoE)，根据性能要求实现优化设计，更容易处理各种变量。这些技术通常用来优化已存在的、设计过的电路，而不用于新设计的合成。Taguchi 技术[11~14]是众多的 DoE 思想之一。Taguchi 利用一个标准的正交矩阵来优化电路的电气特性，克服制造时器件的差异，使设计稳定可靠。这种技术采用最少的实验次数提取最大化的信息。影响低噪放或高功放性能的因素(比如线长、电容、电感和器件尺寸)称为因子或变量，它们的赋值称为“级”。正交矩阵记为 L_n，n 是实验的次数。表 9.1 比较了全因子需要的实验次数和正交矩阵需要的样本数。Taguchi L_8 和 L_{18} 实验次数较容易实现，因此被广泛使用。接下来用 2 个例子(L_4 和 L_{18})来阐述 Taguchi 实验设计的方法。

表 9.1 全因子实验和正交矩阵对比的例子

变量	级数	全因子实验	正交矩阵实验	正交矩阵
3	都有 2 个级	8	4	L_4
7	都有 2 个级	32	8	L_8
5	4 个变量有 2 个级，1 个变量有 4 个级	64	8	L_8
4	都有 3 个级	81	9	L_9
15	都有 2 个级	2048	16	L_{16}
8	1 个变量有 2 个级，7 个变量有 3 个级	4374	18	L_{18}
13	都有 3 个级	1 594 323	27	L_{27}

L_4 例子

考虑一个 L_4 Taguchi 实验法应用于单级功放的例子。输出匹配有 3 个变量来提高功放的 PAE 和制造良品率。对于每个变量，都使用 2 个级。这些变量可以是传输线长度、电感和电容的值，或者是它们中两者的结合。Taguchi 分析需要 4 次实验而非全变量的 8 次实验。表 9.2 给出了 4 次实验的摘要，包括变量和它们的级，以及 PAE 的测量值。变量 1 和变量 3 用来提高 PAE，而变量 2 用来提高良品率。表 9.3 给出了正交实验分析报告，在这个分析报告中，变量 1 在 1 级的 PAE 平均值是通过实验 1 和实验 2 得到的，而变量 2 在 1 级的 PAE 平均值是通过实验 1 和实验 3 得到的，等等。类似地，可以得到标准差(standard deviation)。通过这个分析报告可以得出：2 级的变量 1 和 1 级的变量 3 的选择可以提高 5% 的 PAE，但是 1 级的变量 2 对 PAE 的影响几乎可以忽略不计。图 9.6 表示 L_4 正交矩阵与 PAE 的对应关系。由此可见，变量 1、2、3 分别在 2 级、1 级、1 级处获得最大的 PAE。

表 9.2 正交矩阵实验的 PAE 测量数据

实验	VAR1	VAR2	VAR3	测试 PAE
1	1	1	1	30%
2	1	2	2	25%
3	2	1	2	30%
4	2	2	1	35%

表 9.3 正交矩阵实验分析报告

	VAR1	VAR2	VAR3
平均 PAE——1 级	27.5%	30%	32.5%
平均 PAE——2 级	32.5%	30%	27.5%
标准差 PAE——1 级	3.5	0	3.5
标准差 PAE——2 级	3.5	7	3.5

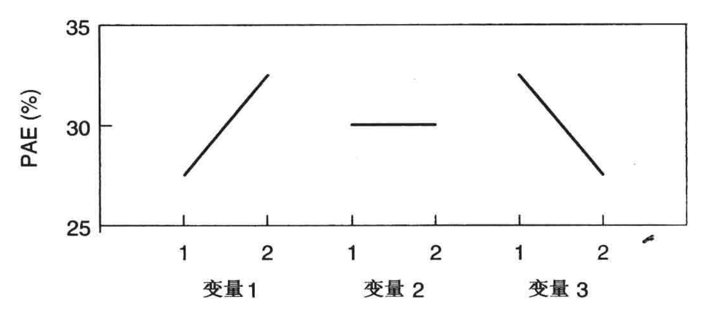


图 9.6　L_4 正交矩阵 PAE 的对应坐标图

L_{18} 例子

Taguchi 设计过程的第一步：额定基线放大器（nominal baseline amplifier）电路的生成。在这里，将一个窄带单级 MMIC 高功放作为学习 Taguchi 实验法的例子[14]。在为功放建立好基线设计之后，再根据器件尺寸、匹配电容和传输线长度来对整个电路进行灵敏度分析。我们选择了 7 个变量（即 L_{18}），设计了 18 个结构上两两不同的电路。将一个变量空置。在这种情况下，正交矩阵变量包括：FET 尺寸，2 个线长，4 个 MIM 匹配电容。目的是根据经验选择关键的设计变量，使得设计既能满足高功放的最优化性能，又能提高产品的良品率。这些性能的提升可能表现在带宽、输出功率、PAE（由谐波调节得到）或是线性度上。传输线、电容值和 FET 尺寸的选择会引起放大器性能大约 10% ~20% 的变化。在正交实验中，作为变量的电路元件由图 9.7 列出。这些变量的指定值或变化范围由表 9.4 给出。18 个正交实验在表 9.5中列出。正交矩阵中的一列被空置（变量 G）是为了近似计算变量间的相互作用[12, 14]。

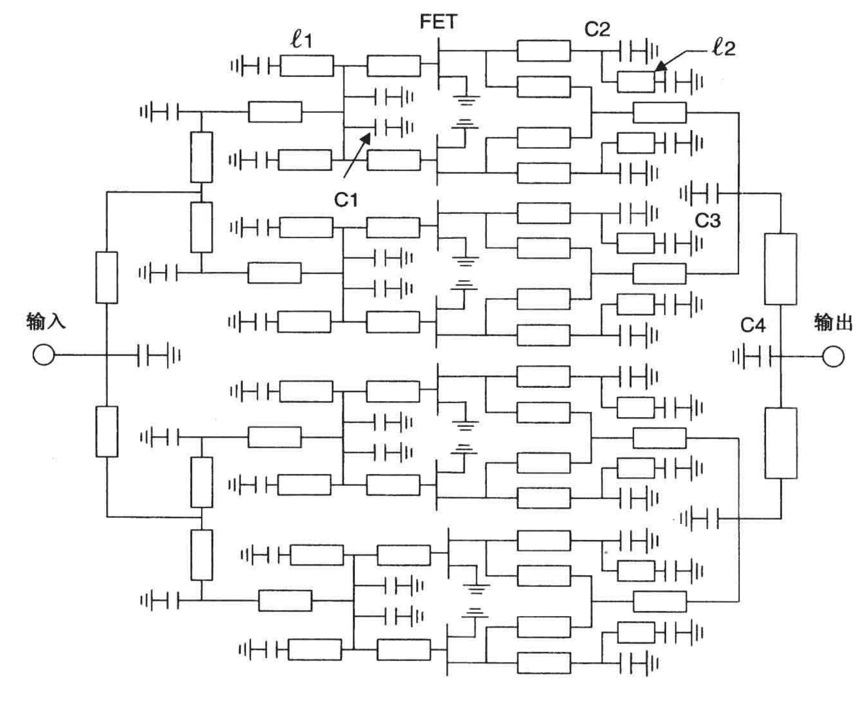


图 9.7　高功放的 7 个 Taguchi 变量示意图

表 9.4　正交矩阵电路变量

A. FET 尺寸	2.5 mm	1.8 mm	N/A
B. C1	2.3 pF	2.0 pF	2.6 pF
C. ℓ1	标准	+35 μm	-35 μm
D. C2	1.1907 pF	1.47 pF	0.9408 pF
E. C3	1.1907 pF	0.9919 pF	1.3669 pF
F. C4	1.2409 pF	1.0092 pF	1.5123 pF
G. ℓ2	标准	+125 μm	-125 μm
H. 空白			

表 9.5　正交矩阵

变量/实验	A	B	C	D	E	F	G	H
1	1	1	1	1	1	1	1	1
2	1	1	2	2	2	2	2	2
3	1	1	3	3	3	3	3	3
4	1	2	1	1	2	2	3	3
5	1	2	2	2	3	3	1	1
6	1	2	3	3	1	1	2	2
7	1	3	1	2	1	3	2	3
8	1	3	2	3	2	1	3	1
9	1	3	3	1	3	2	1	2
10	2	1	1	3	3	2	2	1
11	2	1	2	1	1	3	3	2
12	2	1	3	2	2	1	1	3
13	2	2	1	2	3	1	3	2
14	2	2	2	3	1	2	1	3
15	2	2	3	1	2	3	2	1
16	2	3	1	3	2	3	1	2
17	2	3	2	1	3	1	2	3
18	2	3	3	2	1	2	3	1

所有 18 个功放电路都被封装并进行测试。分析在实验中添加已知的噪声电平、优化信噪比的情况下所得到测量数据[14]。在需要的频率范围之外，给定输出功率下，PAE 便是待优化的参数。图 9.8给出了 L_{18}正交矩阵 PAE 的对应坐标图。这些坐标值可能是在单频率下或是在期望带宽的平均值下获得的。这个坐标图表明，变量 A(FET 尺寸)、变量 C(输入支节长度，11)、变量 D(输出电容 C3)是主要变量。数据分析完成之后，接着为设计选定优化变量的级，最终得到的电路就是 Taguchi 优化设计。

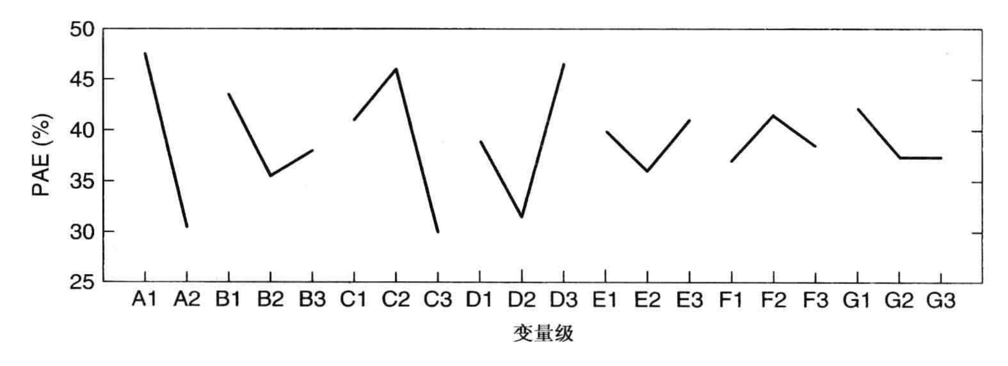


图 9.8　L_{18}正交矩阵 PAE 的对应坐标图

本例中，我们制造出了 Taguchi 优化设计的电路，并进行测试。测量数据表明 PAE 得到 5% ~10% 的提高。在 C 波段，PAE 的最大值大约为 60%，输出功率为 14 W。

这个技术成功地用于提高器件和 MMIC 性能[14~17]。但是这个方法只能应用于已存在的设

计中，并要求对参数的确定、级的选择，以及布局、制造和测试所有的实验设计，有足够的工程洞察力。在多级放大器设计中，对各级之间的相互作用需要额外注意。

9.3　匹配网络

这里有几个可应用于放大器设计的匹配网络方案，包括电抗性、电抗/电阻性、串联反馈、并联反馈和分布式(行波)匹配方案。这些方案在宽带方面各有千秋。但是电抗性、电抗/电阻性结构通常应用于窄带放大器，而并联反馈和分布式拓扑结构通常会在宽带放大器中使用，在第 11 章中将会详细讨论。电抗性阻抗匹配网络技术在第 7 章中已经讨论。

为提高输出功率和 PAE 的性能，非常希望能够降低功放输出匹配网络(使用集总元件和微带线)的耗散损耗。微带匹配网络中的耗散损耗，可以通过使用改良的微带结构来改善(将在第 10 章详细讨论)。这个结构与标准 MMIC 生产流程相兼容。这个带状导体是建在一个薄的聚酰亚胺绝缘层上，这层绝缘体放置在 GaAs 基底之上，从而使散损耗降低一半[18]。

9.3.1　电抗/电阻性匹配网络

电抗/电阻性匹配技术在功放的设计中是固定的。图 9.9 是一个电抗/电阻性匹配方案的简单形态。当电阻值为 0 时，其变为电抗性的，如第 7 章所述。电阻性匹配效果是双重的:稳定电路,在低频时(这时器件的增益值更高)提供必要的增益补偿。增益补偿技术(也称为增益斜率平整)将在第 11 章详细讨论。稳定性技术将在第 17 章讨论。

单级

窄带单级功放设计主要在于输入和输出匹配网络，如图 9.9 所示，输入匹配网络提供优化噪声系数，较好的 VSWR，任何要求的增益平坦度，输入谐波终端，以及电路稳定性。输出匹配设计主要考虑的是最大增益、功率、PAE 和线性度要求。T 是匹配传输线支节和电感。

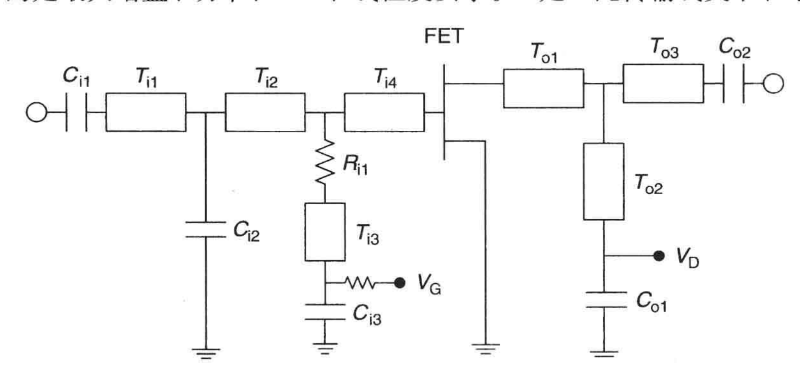


图 9.9　使用电抗/电阻性匹配网络的单级放大器示意图

电阻 R_{i1} 提供增益平坦度和放大器稳定性。电容 C_{i1} 和 C_{o2} 分别为输入/输出的隔直电容。C_{i3} 和 C_{o1} 分别为栅极和漏极直流偏置终端的射频旁路电容。隔直电容和射频旁路电容的选择将在第 18 章讨论。隔直电容/射频旁路电容也可以作为匹配网络的一部分。为使偏置电压的应用更容易，使用并联传输线或电感。它们通常也是匹配网络不可分割的一部分。

图 9.10 所示为一个输入匹配网络，它在一个较宽的频率范围内为 50 Ω 源阻抗提供一个良好的输入匹配。在图 9.10 中，选择合适的 L_1、C_1、L_5 和 L_2，使得输入器件阻抗实现 50 Ω 匹配；

通过选择合适的 C_2、L_3、L_4 和 R_1 可以实现增益补偿(见7.3.5节)。R_1 的典型值为50 Ω，但是，为了在输入匹配和增益平坦度方面获得优化的解决方案，可以对 R_1 的值进行调整。可以在 C_{bp} 和 R_1 之间连接一个电阻来实现栅极的偏置。C_{bp}为射频旁路电容。图9.11给出了另外一个输入匹配网络方案，它能在一个较宽的频率范围内提供所需的增益补偿。但是，图9.10所示的电路图可以在一个非常宽的频率范围内较好地实现50 Ω输入匹配。在 C_{bp}和 R_2 之间连接一个电阻来实现栅极偏置。器件的偏置将在第18章详细讨论。

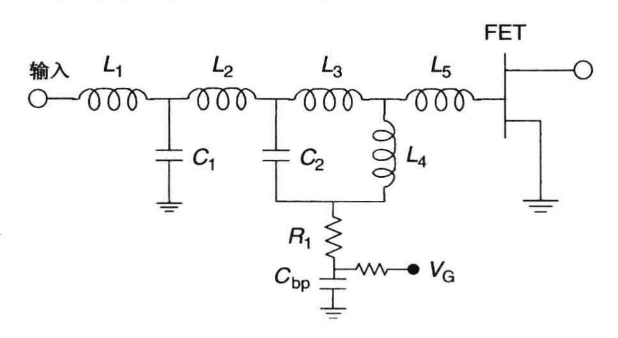


图9.10 一个超宽带放大器输入匹配网络方案

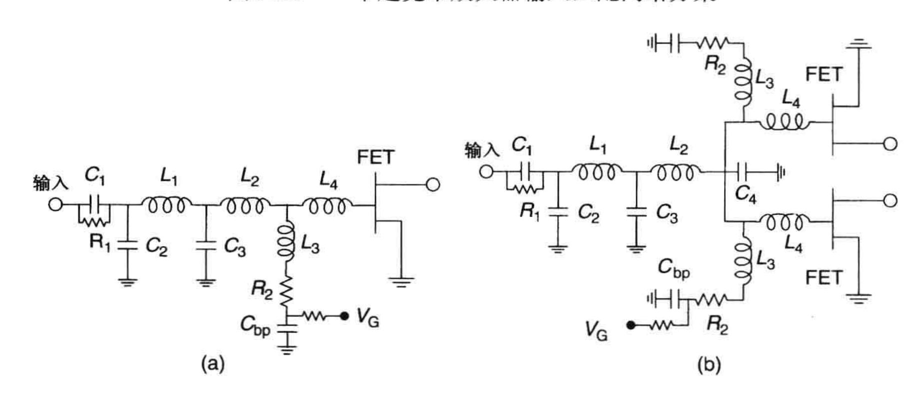


图9.11 放大器输入匹配网络方案:(a)单个FET;(b)两个FET并联

图9.12给出了一个输出匹配网络。在匹配部分通常不使用电阻。直流通路的任何电阻都会引起压降，器件也是这样。输出匹配中的任何电阻性损耗既会降低输出功率，又会降低PAE。在器件的输出终端，输出匹配将输出系统阻抗(通常是50 Ω)或天线阻抗变换为需要的负载阻抗。漏极偏置位于 T_{o2}和 C_{bp}之间。在低频微波频段，微带线分支 T_{o2}由一个电感或者射频偏置扼流圈来代替，它们可以是匹配网络的一部分。

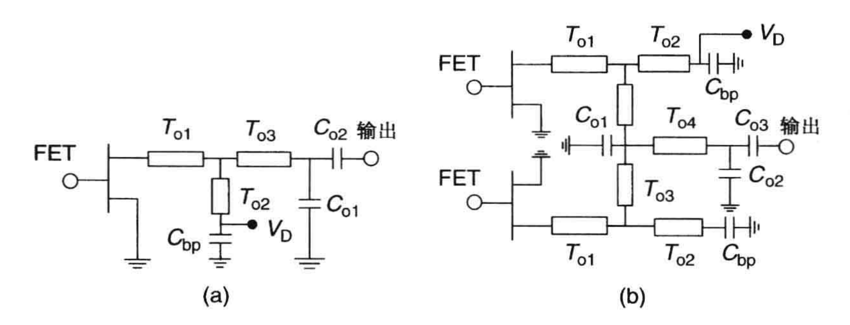


图9.12 放大器输出匹配方案实例:(a)单个FET;(b)为获得大功率，两个FET并联

两级

在多级放大器中，获得平稳的增益和良好的输入匹配，要比在单级放大器中的获取灵活得多，其输入和输出匹配网络与单级放大器类似。图 9.13 是常用的低通中间级匹配网络。电感 L_{i2} 可以是射频偏置扼流圈或是匹配网络的一部分。中间级将输入级的器件输出阻抗（或者是需要的负载阻抗、PAE、线性度）变换为输出级的器件输入阻抗。FET1 的漏极偏置位于 L_{i2} 和 C_{bp} 之间，FET2 的栅极偏置由连接在 R_{i1} 和 C_{bp} 之间的一个电阻产生。

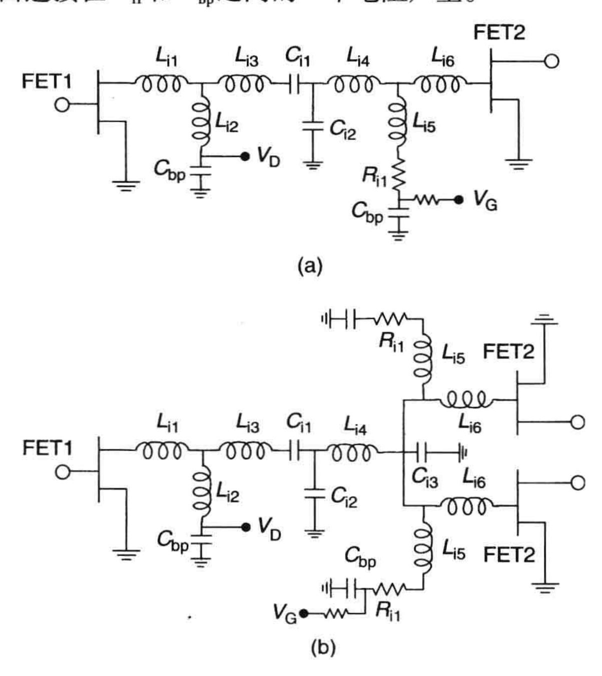


图 9.13　放大器中间级匹配网络方案：(a) 单个输出级 FET；(b) 两个输出级 FET 并联，从而获得更高的功率

9.3.2　群匹配技术

在 MIC 和 MMIC 中，带宽大于 20% 以上的高功率和高 PAE 放大器要求放弃传统的内部单级阻抗匹配放大器方案（见第 14 章）。这是因为在宽带放大器中，将一个高功率放大器的低输出阻抗值匹配到 50 Ω 是十分困难的，为了达到高功率和宽带的要求，通常使用群匹配技术。在这种方案中，如图 9.14 所示，4 个晶体管部分匹配，最后使用其他一系列匹配网络将它们连接在一起。在群/树匹配网络方案中，先将器件阻抗变换为中间阻抗，再将两个部分连接在一起，重复进行直到将所有并行器件匹配到需要的阻抗，例如输出匹配到 50 Ω。两个器件就需要二级，4 个器件就需要三级，8 个器件就使用四级。这样，每个器件的尺寸都很小，也比总体器件的阻抗水平高很多。因此，这种拓扑结构能在一个宽

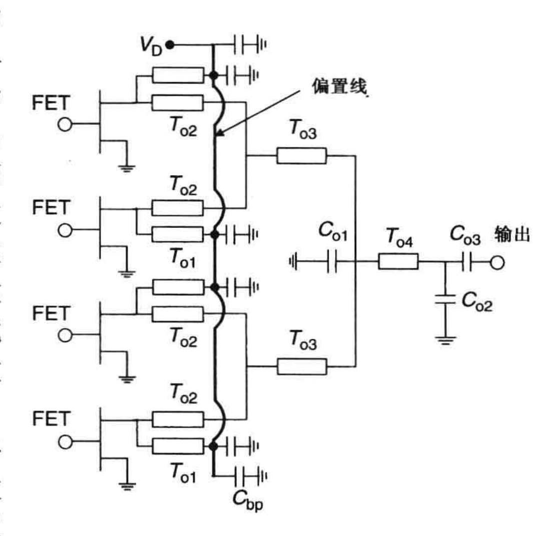


图 9.14　4 FET 群型放大器输出匹配网络

带内更容易地完成更好的匹配。在这种方案中，单个器件的阻抗值要比总体器件高得多，而有效热阻抗却低得多。

这种技术的第二个优点是：在连接成为最终放大器时，所有器件反馈的相位更统一。放大器物理上布局的对称性使得功率高效地合成。

第三个优点是更低的热阻抗，因为它将热耗散器件分布在一个很大的范围内。一些推荐的群匹配网络如下：

1. 将整个器件划分为偶数个一样尺寸的小器件，以达到更高的阻抗量级，这样匹配就变得更容易一些。
2. 将所有功率器件均匀分配以降低热阻抗，器件分得越开，热阻抗就越低。
3. 双电压供电保证两边对称工作。

群匹配技术的主要不利在于其电路尺寸较大，匹配网络复杂，有奇模振荡或环路模型振荡的可能，以及更高的偶次波水平。FET 漏极偏置在 T_{ol} 和 C_{bp} 之间产生，如图 9.14 所示（可能使用到低阻抗总线）。

9.4 放大器设计的例子

接下来，将给出几个放大器设计的例子，包括低噪放最大增益放大器、功放、多级驱动放大器。高 PAE 和宽带放大器将分别在第 10 章和第 11 章讨论。前 3 个例子不包括键合线效应、结点不连续阻抗、隔直电容/射频旁路电容的寄生电抗。为了避免它们对电路性能产生的负面效应，必须在最终的方案中给予考虑。

9.4.1 低噪放设计

在接收前端的低噪放（LNA）决定了系统的噪声系数或灵敏度。这就要求低噪放在其工作频段内噪声系数低。系统应用决定是使用窄带 LNA 还是宽带 LNA。在大多数雷达应用中的低噪放属于窄带系列（带宽小于一个倍频程），平坦增益为 20 ~ 30 dB，噪声系数大约为 1.5 dB。如果 MMIC 的低噪放噪声系数为 1.5 dB，那么室温下的发射/接收端的噪声系数约为 3 dB；这个水平可以一直保持到 X 波段。进一步降低 LNA 噪声系数将会通过使用一种混合的方法或一个超低噪声系数的晶体管（如 InP pHEMT）来实现。

理想的低噪放的特性应包括：低噪声系数、高增益、大动态范围、高三阶交调点、低 VSWR、大带宽、紧凑的尺寸和低的功率耗散。MESFET 和 HEMT 技术都不能同时满足这些要求。对于给定的技术和频率范围，只能是选择合适的电路拓扑结构来满足系统最需要的性能参数。在以 GaAs 晶体管为基础的低噪放的结构中，通常使用共源放大器。在多级放大器中，输入级匹配应具有最小的噪声系数，中间级匹配有较好的增益平坦度，输出级匹配有最大的增益和功率输出。单端串联源极反馈结构在一个窄带内同时提供了良好的输入匹配和最小的噪声系数，但是一个平衡的电路结构应至少在一个倍频程的带宽内同时提供良好的输入匹配和最小的噪声系数。分布式放大器结构在多倍频程带宽范围内提供了最好的噪声系数。

在多级放大器中，FET/HEMT 的栅极外围（栅宽，正比于晶体管的尺寸）不断增加是为了达到更大的动态范围和三阶截断点。但是，混合低噪放所有级的器件尺寸却都是一样的。输入级通常是低电流偏置，以获得最好的噪声系数。后级偏置是为了获得更高的电流/功率输出。在多级低噪放中，通常所有 FET/HEMT 大约偏置在 $I_{dss}/2$，除了第一级。与长栅长（例如0.25 μm）

的器件相比，短栅长(小于0.25 μm)的器件提供了更低的噪声系数和更大的带宽。但是短栅长的器件通常要贵一些。与FET相比，HEMT低噪放从微波到毫米波频段有最小的噪声系数，但是FET比BJT和HBT要好。

单级窄带低噪放的设计步骤如下：

1. 选择合适的晶体管，其噪声系数小于设计要求值0.2~0.5 dB，其增益大于设计要求值0.5~1.0 dB。
2. 计算稳定性因素K。
3. 如果$K>1$，选择合适的输入和输出匹配网络(包括偏置电路)，完成设计。
4. 如果$K<1$，在反射平面上绘制出不稳定区，选择合适器件避免不稳定区。
5. 采用分析法或者CAD工具计算放大器性能。检测放大器带内、带外的稳定性。
6. 设计出放大器的实现方案。

例9.1

使用微带线设计一个单级低噪放，作为一个功放的预驱动。微带位于0.25 mm厚的氧化铝基底上($\varepsilon_r=9.9$)。使得设计满足以下要求：

频率	10 GHz
带宽	5%
增益(最小)	7 dB
噪声系数 (最大)	2.0 dB
输出VSWR(最大)	1.2:1

解 表5.1中列出的FET满足要求。在这种条件下，$K<1$，放大器条件稳定，一个简单的放大器结构由输入端的2个匹配元件和输出端的2个匹配元件构成。如图9.15(a)所示。在10 GHz时，输入匹配电路必须将50 Ω转换为$Z_{opt}=30+j63\ \Omega$。输出匹配电路需将50 Ω转换为$Z_{DM}^*=99+j110\ \Omega$。这些电路元件可以通过史密斯圆图或是第7章说明的分析法来选择。或是通过下面的式子：

$$Z_{opt}=30+j63=Z_2\frac{Z+jZ_2\tan\beta\ell_2}{Z_2+jZ\tan\beta\ell_2}$$

$$Z=50||jZ_1\tan\beta\ell_1$$

$$Z_{DM}^*=99+j110=Z_{o1}\frac{Z'+jZ_{o1}\tan\beta\ell_{o1}}{Z_{o1}+jZ'\tan\beta\ell_{o1}}$$

$$Z'=50||jZ_{o2}\tan\beta\ell_{o2}$$

这里没有将隔直电容和射频旁路电容计算在内。通过分离实部和虚部，计算出传输线参数。这里的50 Ω作为微带线的特征阻抗使用。氧化铝基底($\varepsilon_r=9.9$, $h=0.25$ mm)上匹配元件的物理尺寸可以通过第6章中的表达式来计算。线宽是0.24 mm。ℓ_1、ℓ_2、ℓ_{o1}、l_{o2}的对应值分别为0.98 mm、1.0 mm、1.6 mm、1.0 mm。为了消除隔直电容和旁路电容的影响，在选择它们的值时，应使得它们在最低工作频率时的阻抗要小于1 Ω。图9.15(b)给出了低噪放的版图。图9.16给出了放大器性能的计算值。由于输入匹配是为了优化噪声系数，因此大多数情况下其回波损耗小于10 dB。

图9.16给出了增益、噪声系数及输出回波损耗的仿真值(以频率为横坐标)。

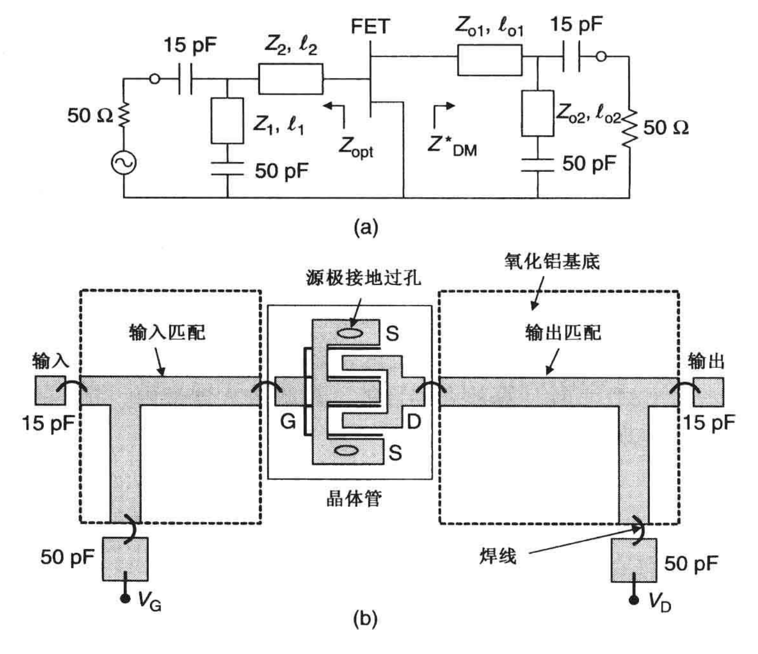


图 9.15 (a)原理图；(b)10 GHz 低噪放版图

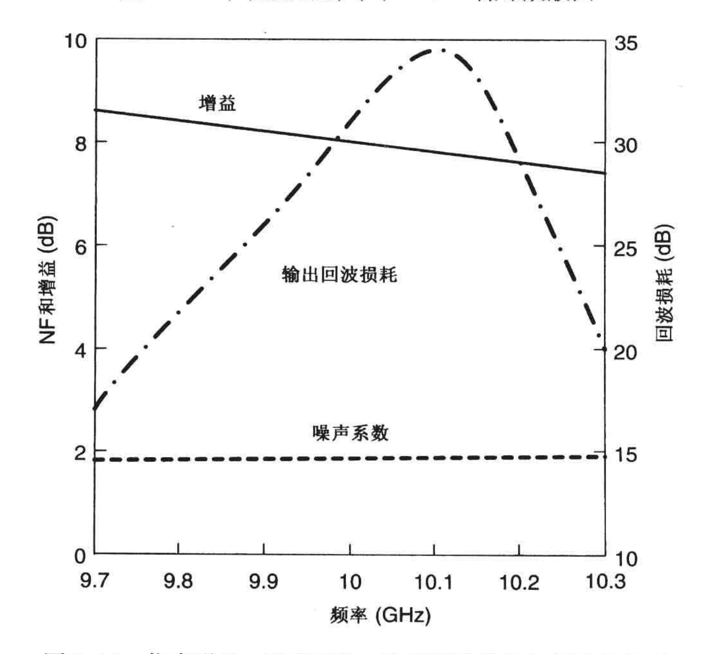


图 9.16 仿真增益、噪声系数、输出回波损耗与频率的关系

9.4.2 最大增益放大器设计

除了所有级的匹配都是为了获得最大增益之外，设计最大增益放大器的过程和设计低噪放的过程差不多。下面这个例子描述了一个最大增益放大器的设计。

例 9.2 设计一个 18 GHz 的最大增益放大器，增益为 10 dB，VSWR 优于 1.5。

解 表 5.5 列出的栅极外围为 0.6 mm 的 FET 满足要求，$K = 1.178$。为获得最大增益，式(17.6)和式(17.7)可以用来计算源极共轭匹配和负载阻抗。等式如下：

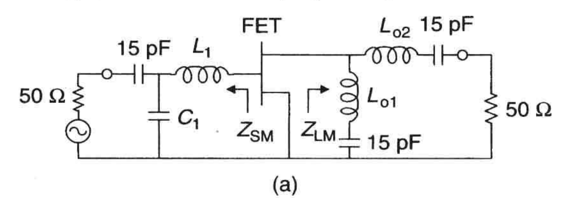
$$\text{MAG} = \text{MG} = 11.0\ \text{dB}$$
$$\Gamma_{SM} = 0.958\underline{/159^\circ},\quad \Gamma_{LM} = 0.856\underline{/113^\circ}$$
$$Z_{SM} = 1.109 + \text{j}9.252\ \Omega,\quad Z_{LM} = 5.563 + \text{j}32.815\ \Omega$$
$$Y_{SM} = 0.0128 - \text{j}0.1066\ \text{S},\quad Y_{LM} = 0.0050 - \text{j}0.0296\ \text{S}$$

一个简单的放大器构造由输入端的 2 个匹配元件和输出端的 2 个匹配元件组成，图 9.17(a)所示电路便可以作为简单放大器。在 18 GHz 时，输入匹配电路必须将 50 Ω 变换为 1.109 + j9.252 Ω。输出匹配电路必须将 50 Ω 变换为 5.563 + j32.815 Ω。匹配电路元件的选择可以通过史密斯圆图或第 7 章给出的式子得出：

$$Z_{SM} = 1.109 + \text{j}9.252 = 50 || \frac{1}{\text{j}\omega C_1} + \text{j}\omega L_1 \tag{9.21}$$

$$Y_{LM} = 0.005 - \text{j}0.0296 = \frac{1}{\text{j}\omega L_{o1}} + \frac{1}{\text{j}\omega L_{o2} + 50} \tag{9.22}$$

这里没有将隔直电容和旁路电容计算在内，$\omega = 2\pi f = 113.097$。通过分离实部和虚部，$C_1$、$L_1$、$L_{o1}$、$L_{o2}$ 的值分别为 1.2365 pF、0.1438 nH、0.422 nH、0.7637 nH。图 9.17(b)所示为仿真得到的增益、输入回波损耗和输出回波损耗(以频率为横坐标)。在 18 GHz 时，放大器增益和 VSWR 的计算值分别为 11 dB 和 1.1。由于选择的 FET 是一个线性功率器件，因此当同时匹配时，期望得到一个好的输出 TOI。放大器在 17 GHz 以下条件稳定。



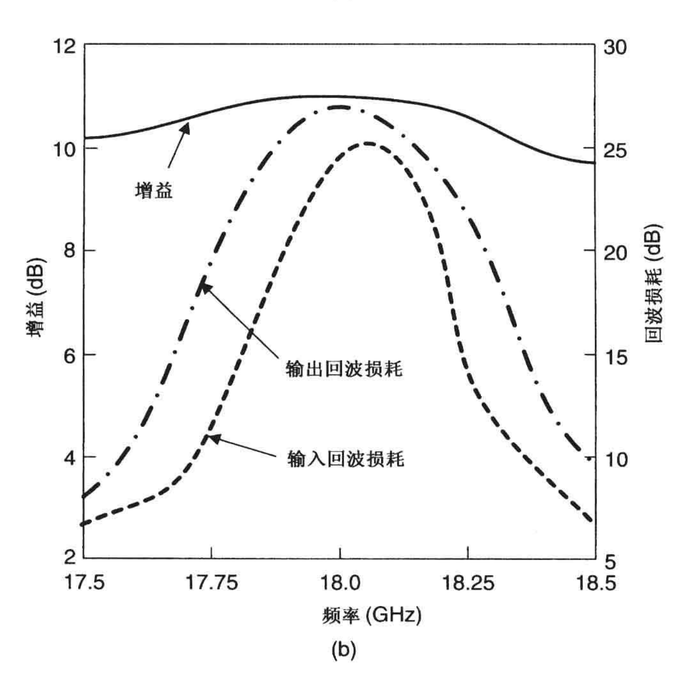


图 9.17　(a)18 GHz 最大增益放大器方案；(b)18 GHz 放大器在频率坐标下，模拟增益与输入和输出回波损耗

9.4.3 功放设计

不同功放设计的要求差别非常大。功放的基本要求是:高增益，高线性度，高功率附加效率(PAE)，高可靠性，小尺寸，低成本。功放要求还包括:相位、振幅稳定的脉冲输出功率，以及输入功率达到1~3 dB功率压缩点的线性传输相位。通常，通信应用要求工作在线性区，而对于雷达应用来说，高PAE才是最重要的。个人通信系统(工作在800 MHz~2.5 GHz)使用不同的数字调制和接入方案。对于基站和手持器件来说，它们需要的是高效和高线性度的功放。

对于使用功率晶体管设计的窄带和宽带放大器，器件和电路选择有几个需要考虑的地方:

1. 选择满足设计目标(输出功率和频率范围)的功率器件。比如硅双极型晶体管在L和S波段比GaAs的FET可以传递更多的射频功率。器件的P_{out}到放大器的P_{out}有大约20%~30%的差额。
2. 功率晶体管的击穿电压越高越好。尽量使用接近工业标准的晶体管。对于基底有通孔的晶体管，其串联电感低、散热好。
3. 在最安全的工作偏置区内使用放大器电路。电压和电流不能超过供应商规定的最大值。例如，对于FET/HEMT，$V_{ds} \leqslant 1/2 \cdot BV_{ds}$。
4. 为获得更高的可靠性和更好的性能，连接到机壳的热电阻应该尽可能低。
5. 在优化放大器设计时，负载牵引和非线性模型对于准确刻画功率器件有重要作用。
6. 晶体管内部匹配有助于降低封装寄生效应。使其可以提供更高的效率和输出功率。
7. 输入匹配网络的设计是为了获得最大的功率转换，而输出匹配网络是为获得最大的功率输出。匹配电路在带外的增益越小越好。
8. 使用集总元件或集总-分布元件将低阻抗匹配为50 Ω,是为了使得电路尺寸更紧凑。在同等条件下，与输入端相比，输出端会损失更多的效率。因此，在输出端使用低损电路元件。
9. 使用低损元件和高效(85%~90%)功率连接技术，比如在高功率模块中使用的行波和兰格(Lange)耦合器技术。
10. 对于宽带放大器，在输入和中间级使用低Q值匹配网络。低Q值集总元件比高Q值分布元件更适合宽带放大电路，因为它们能提供更大的带宽和更高的稳定性。

典型的功率放大器有3个基本的工作模式:A类、B类和C类。如第8章讨论的那样，对于不同的类，其有源器件的偏置点不同。对于功放来说，输入信号电平较高时，在输入信号周期的部分时间内，输出电流位于截止区或饱和区。在基本工作状态，在器件输出端的谐波在负载端呈阻性。这里还有其他两类常见的功放:E类和F类。在E类中，有源器件作为开关使用，在器件输出端的高Q值调谐电路作为基波频段所需的无功阻抗。在F类放大器结构中，通过在需要的负载上采用某种阻抗匹配技术(比如谐振电路)来匹配谐波频率终端(偶次谐波短路，奇次谐波开路)，从而降低功率损耗。E类、F类通常工作在B类偏置条件下，理论效率可以达到100%。

如第8章所述，射频功放可以设计为工作在多种功效和线性度条件下，不同的放大器类型标示为不同的类。实际上，所有放大器都有效率的降低，因为固有的寄生损耗和非理想的工作条件。因此，功放技术的选择在达到系统要求的输出功率、直流功率消耗和线性度条件中起着非常重要的作用。

为了获得最大的传输功率，必须采用低损耗的匹配网络将源阻抗(通常是50 Ω)匹配到器

件输入阻抗，同时将所需的负载阻抗匹配到系统阻抗(通常是50 Ω)。随着器件功率的增加，栅宽变大，FET和HEMT的输入和输出阻抗降低。当输出功率高时，采用大的栅极边缘，降低输出阻抗。但是，低阻抗会使得放大器在宽带内保持良好的匹配变得困难。在这种情况下，功率放大器通常被划分成几个部分便于预匹配，然后几个部分组合起来产生最终的输出功率。输入匹配的实现最困难。大多数时候，采用集总与分布元件相结合的方法来实现阻抗网络的匹配。

在比较不同功率放大器的结构和不同类放大器的时候，输出功率、功率附加效率、线性度这三个参数十分有用。选择A类可以得到最大的线性输出功率，而B类可以得到最大的输出功率和PAE。功率放大器的拓扑结构和小信号放大器类似。窄带功率放大器的设计接下来将会一步步地介绍。

例9.3　设计一个功率放大器，工作频率为5.5 GHz,，输出功率为1.7 W，功率附加效率为25%，1 dB压缩点处的增益为6 dB。使用的FET在5.5 GHz时的特性如下：$P_{in}=26$ dBm，$V_{ds}=9$ V，$I_{max}=1000$ mA，增益=7 dB，$P_{out}=2$ W，PAE=35%，且

$$S_{11}=0.89\angle-157^\circ,\quad S_{21}=1.5\angle 84^\circ,\quad S_{12}=0.049\angle 54^\circ,\quad S_{22}=0.31\angle-145^\circ$$
$$\Gamma_S=0.73\angle 150^\circ,\quad \Gamma_L=0.32\angle 160^\circ$$

解　由第17章的式(17.3)可得$K=1.267$。因此晶体管在5.5 GHz无条件稳定。将Γ_S和Γ_L代入式(17.9)得$G=8.1$ dB。因此当电路含有损耗时，器件也具有足够的增益来设计一个增益为6 dB的功率放大器。

根据$\Gamma_S=0.73\angle 150^\circ$，$Z_S=8.35+\text{j}13.05\ \Omega$，$Y_S=0.0348-\text{j}0.00544$ S。

当$Y_0=0.02$和$\beta\ell=20.2^\circ$时，短路节的输入导纳为

$$Y=\frac{-\text{j}Y_0}{\tan\ \beta\ell}=-0.0544$$

因此支节的特征阻抗为50 Ω。为了将并联电导(0.0348 S)匹配到源导纳(0.02 S)，采用特征阻抗为$Z_0\ \sqrt{1/(0.02\times 0.0348)}=37.9\ \Omega$的$\lambda/4$变换器。最终的输入匹配网络如图9.18所示。

对于输入匹配网络，$\Gamma_1=0.32\angle 160^\circ$，$Z_L=26.34\ +\ \text{j}6.42$，$Y_L=0.\ 0358-\text{j}0.00874$。

当$Y_0=0.02$和$\beta\ell=66.5^\circ$时，短路节的输入导纳为$Y=-\text{j}Y_0/\tan\beta\ell=-\text{j}0.00874$。这种情况下，支节的特征阻抗仍为50 Ω。为了将并联电导(0.0358 S)匹配到负载导纳(0.02 S)，使用了一个特征阻抗为$Z_0=\sqrt{1/(0.02\times 0.0358)}=37.4\ \Omega$的$\lambda/4$变换器。最终的输出匹配网络如图9.18所示。

例9.4　需要优化的晶体管源阻抗和负载阻抗分别为25+j25 Ω和100+j50 Ω。使用串联传输线来设计输入匹配，使用单个短路节(特征阻抗为100 Ω)来设计输出匹配。使用史密斯圆图(见附录F)来确定匹配网络。

解　对于输入端，归一化(相对50 Ω)源极阻抗为$Z'_s=(25+\text{j}25)/50=0.5+\text{j}0.5$；这个点是图9.19中史密斯圆图上的A点。在图9.19中绘制恒定反射系数圆时，经过A点。阻抗线(穿过的史密斯圆图圆心的水平线)横穿这个圆，并与之相交于B点。传输线的最短长度是通过将A朝向负载移动到B来获得的。B点归一化的传输源阻抗为0.38。传输线(特征阻抗为50 Ω)的长度ℓ可由将A点沿恒定反射系数圆移动到B点得到。此时，$\ell=0.088\lambda$。然后采用$\lambda/4$阻抗变换器将B点的阻抗$0.38\times 50=19\ \Omega$变换到50 Ω(在C点，即史密斯圆图的圆心)。$\lambda/4$阻抗变换器的特征阻抗由下式给出：

$$Z_{0T}=\sqrt{19\times 50}=30.8\ \Omega$$

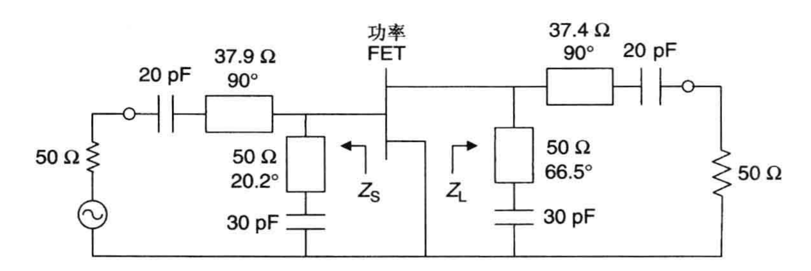


图 9.18 1.7 W 功放设计方案，电线为 5.5 GHz 时的长度

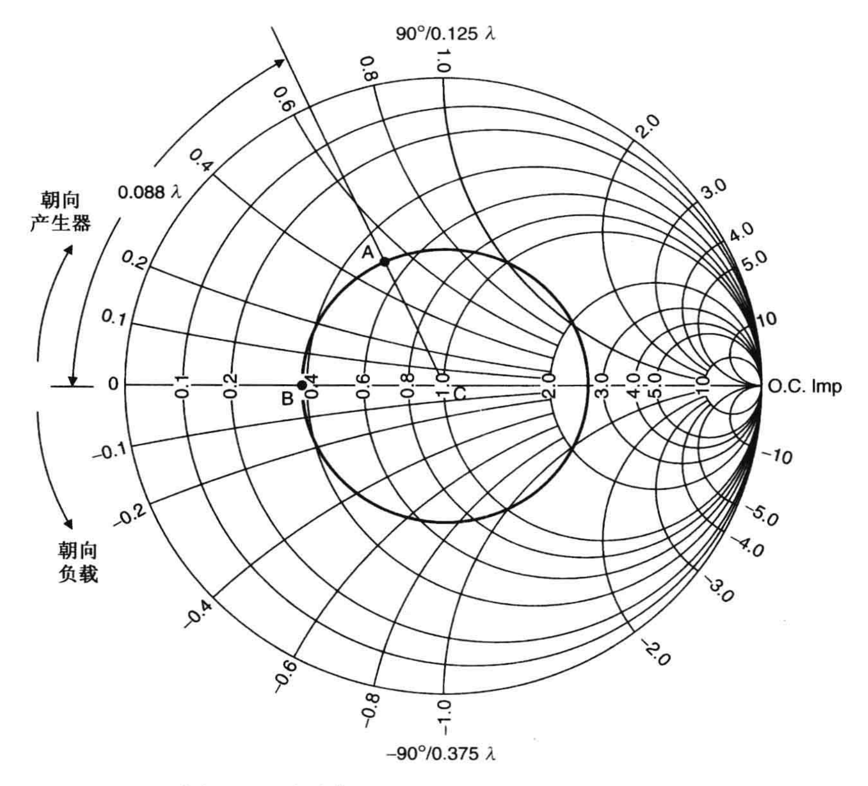


图 9.19 史密斯圆图的源极阻抗匹配解决方案

对于输出端，归一化的负载阻抗 $Z'_L=(100+j50)/50=2+j1$，这就是图 9.20 中史密斯圆图上的 A 点。画出过 A 点的等反射系数圆；距离 A 点半个波长的 B 点，其归一化负载导纳 $Y'_L=0.4-j0.2$。沿着等反射系数圆朝源方向移动，与等阻抗圆相交于 C 点，归一化导纳为

$$Y'_{LL}=1+j1.0$$

$$Y_{LL}=\frac{1}{50}+j\frac{1}{50}\ \Omega$$

将 B 点移动到 C 点的传输线长度(ℓ_1)为 0.2λ。因此，需要一个 $-j(1/50)\ \Omega$ 的电纳来来抵消 $+j(1/50)\ \Omega$。

当短路节的特征阻抗为 100 Ω 时，$Y'_{stub}=-j(1/50)/(1/100)=-j2.0$[相对于短路节的特征导纳($=1/100\ \Omega$)的归一化]。为使得 $Y'_{stub}=-j2$，短路节的长度(ℓ_2)为 0.074λ。图 9.21 所示为输入和输出匹配网络的设计值。

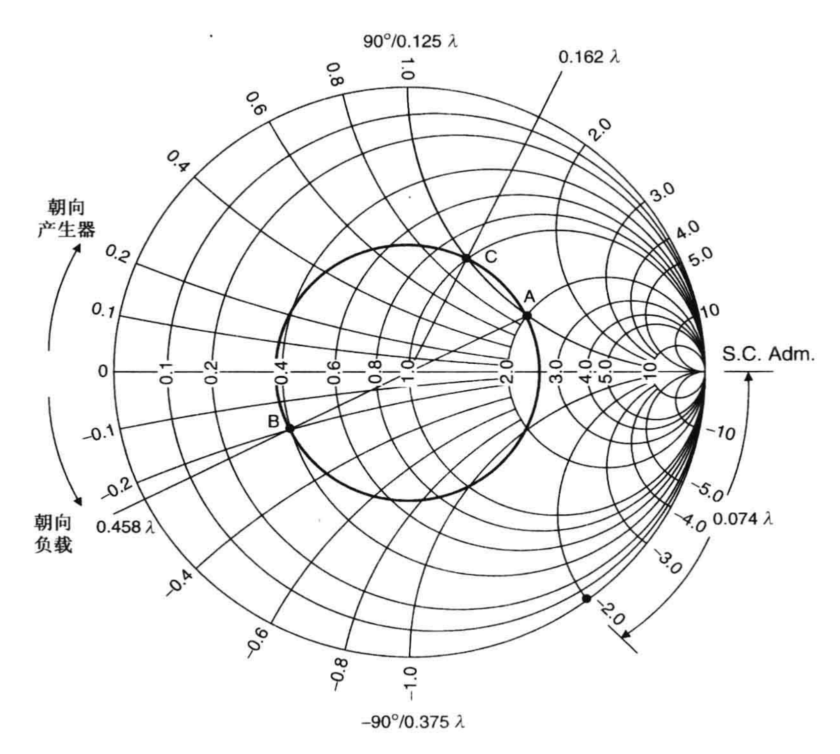


图 9.20　运用史密斯圆图实现负载匹配

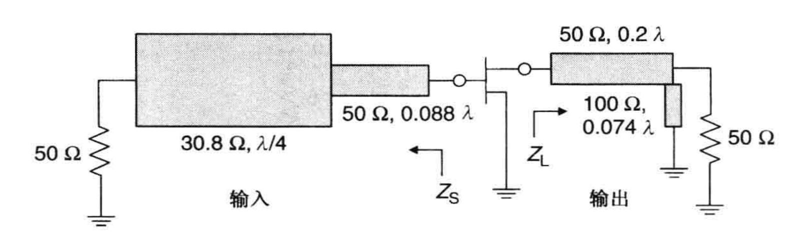


图 9.21　输入和输出匹配网络电路图

9.4.4　多级驱动放大器的设计

下面，介绍一个两级可变的漏极电压 MMIC 功率放大器。放大器设计工作在 4.5 ~ 8.5 GHz，采用 8 V 的额定电压供电，以及 9.2.2 节介绍的 LLM 技术。增益、输出功率、PAE 的设计目标分别为 15 dB、2 W 和 30%。输入/输出端都匹配到 50 Ω 以获得最大的输出功率和 PAE。为使得 MMIC 放大器在 6 ~ 10 V 的工作电压范围内获得最大的 PAE 和增益，选取 10 V 时的负载值。在 V_{ds} = 10 V、放大器工作在 AB 类时，测得器件的负载相当于 56.25 Ω · mm 电阻和 −0.304 pF/mm 电容的并联。栅宽为 625 μm 的场效应管，当工作在 8 V、10 GHz 时，增益、输出功率和 PAE 的典型值分别为 10 dB、0.4 W(0.64 W/mm) 和 63%。当 625 μm 的场效应管(栅栅间距 20 μm 和 6 指)偏置在 8 V、30% I_{ds}时，EC 模型(第 5 章的图 5.2)如下：

$$R_g = 0.5\ \Omega,\quad R_i = 0.6\ \Omega,\quad R_s = 1.0\ \Omega,\quad R_d = 1.0\ \Omega,\quad R_{ds} = 150\ \Omega$$

$$C_{gs} = 1.0\ \text{pF},\quad C_{gd} = 0.045\ \text{pF},\quad C_{ds} = 0.16\ \text{pF}$$

$$g_m = 100\ \text{mS},\quad \tau = 4.5\ \text{ps}$$

$$L_g = 0.005\ \text{nH},\quad L_s = 0.02\ \text{nH},\quad L_d = 0.005\ \text{nH}$$

在这个宽带中，为 MMIC 设计一个功率密度为 0.4 W/mm 的输出功率，确定功率放大器输出级 FET 所需的总宽度。考虑到输出失配及功率合成分别有大约 1 dB 的损耗，0.4 W/mm 的功率密度是将晶体管 0.64 W/mm 的功率密度按比例缩减得到的。对于 2 W 的高功率放大器，即需要 8 个栅宽为 625 μm 的场效应管。本设计采用在输入端用 2 个栅宽为 625 μm 的场效应管来驱动输出端的 8 个端栅宽为 625μm 的场效应管的办法，因此输出与输入端的长宽比为4∶1。如图 9.22 所示，为实现最大输出功率和 PAE，场效应管第一级和第二级漏极处的最佳负载阻抗应分别为 Z_{L1} 和 Z_{L2}。Z_{L1} 和 Z_{L2} 的值由 $R_L = 56.25\ \Omega \cdot \mathrm{mm}$、$C_L = -0.304\ \mathrm{pF/mm}$ 确定。电路用 CAD 进行了优化，如图 9.23 所示。

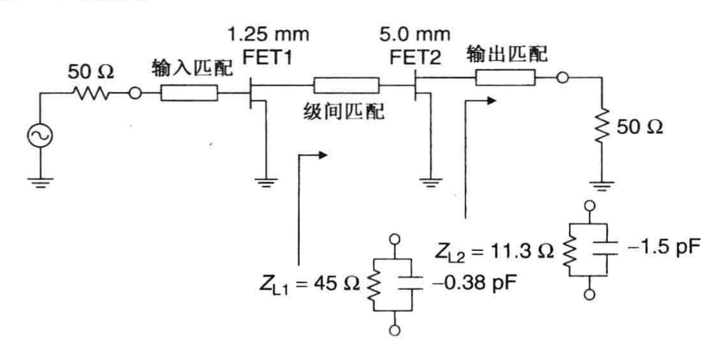


图 9.22 两级功放结构，描述每个 FET 漏极需要的负载

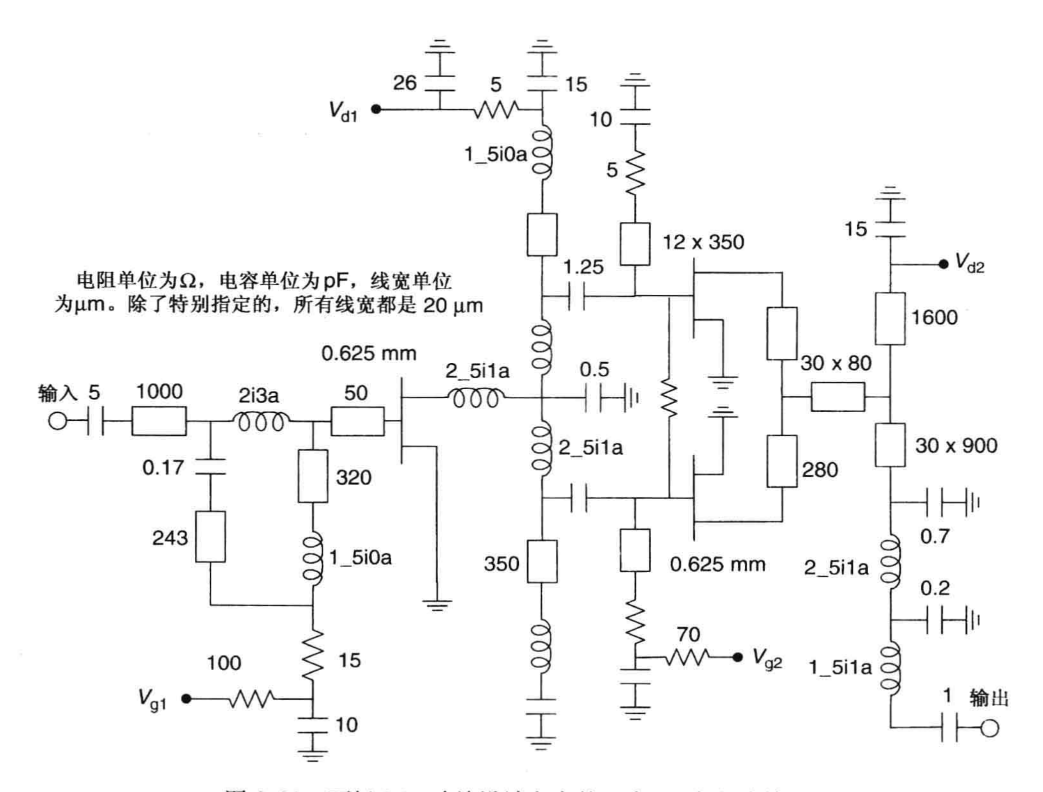


图 9.23 两级 2 W 功放设计方案的一半(两个电路并联)

放大器设计基本上都是基于集总电感、电容的，并使用微带线来连接各个元件。输入级有限增益的补偿网络，是为了能在高频时获得良好的输入匹配及最大的功率转换。输入匹配

由一个 T-coil 桥形网络[19]构成，用于 50 Ω 匹配。中间级匹配网络通过调整损耗来提供平坦增益，以使得有足够的输出功率传递到下一级 FET，从而达到获得最大输出功率和 PAE 的目的。中间级匹配由 RLC 集总元件构成，使用薄膜电阻、单膜电感、MIM 电容元件来构成相应的拓扑结构。图 9.24 表示为中间级匹配网络耗散损耗和功放总损耗的仿真值。通过改变电阻大小来调整耗散损耗，以使得每级放大器工作在无条件稳定区。在 4.5 ~8.5 GHz 时，失配损耗比耗散损耗要低得多。选择的输出匹配元件应能获优化的负载匹配，以及最小可能的插损。因为在同等情况下，由于漏极端的输出功率、增益，可用直流功率降低，效率的下降幅度更大。在输出端，漏极偏置线使用 9 μm 厚的导体传输电流，其压降最小[20~22]。图 9.25 所示为输出匹配网络的耗散损耗和放大器的总损耗。在 4 ~7 GHz 时，耗散损耗大约为 0.5 dB。4 ~9 GHz 时损耗大约为 1 dB。在这种条件下，4 ~9 GHz 的失配损耗是可以忽略的。在 5 ~9 GHz，仿真得到的增益、输入回波损耗、输出回波损耗分别优于 17 dB、13 dB、7 dB。

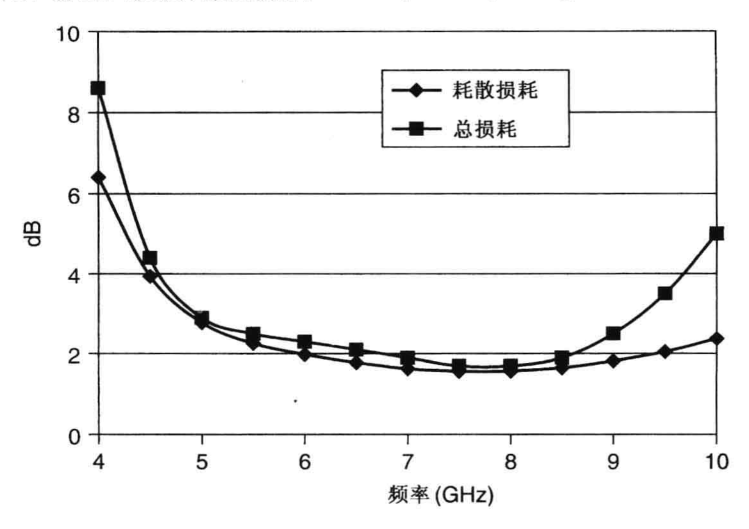


图 9.24　两级 2 W MMIC 功放的中间级匹配网络的耗散损耗和总损耗

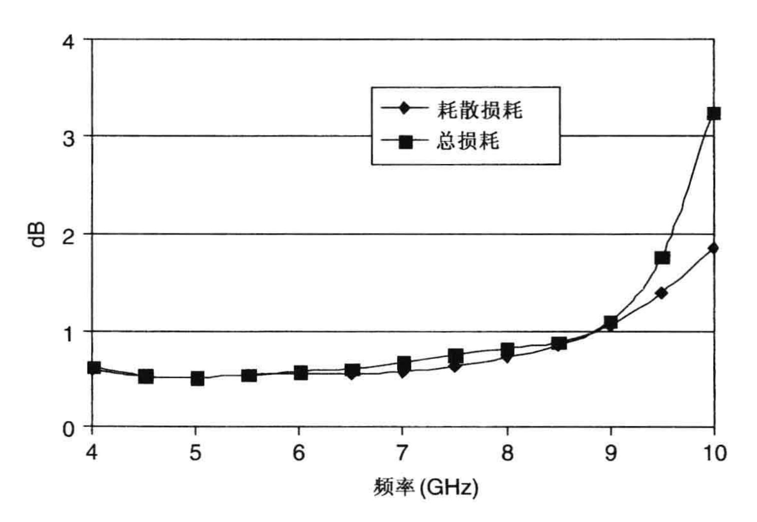


图 9.25　两级 2 W MMIC 功放的输出级匹配网络的耗散损耗和总损耗

功放采用 M/A-COM 公司的多功能自对准栅工艺(MSAG)MESFET 制作[5~23]。设计中使用了高 Q 值、高电流通过能力的电感。电感使用两级 4.5 μm 厚的金导体。基底厚度则为 75 μm。图 9.26 所示为一个两级 2 W 的 C/X 波段功放的照片。

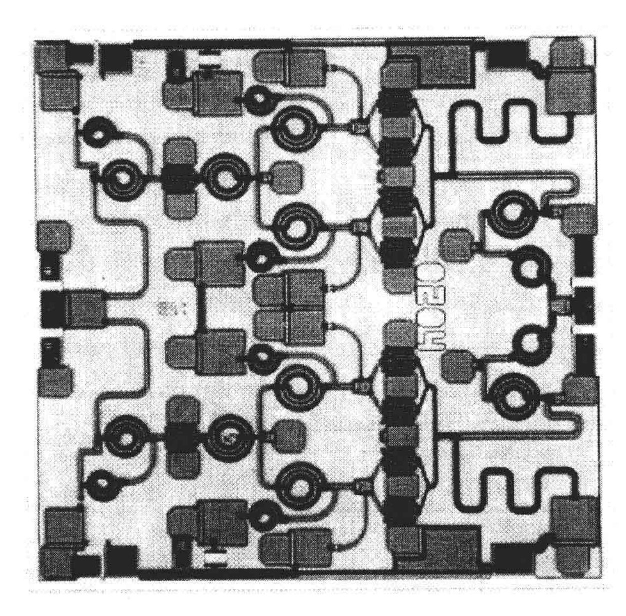


图 9.26 两级 2W C/X 波段功放的照片，芯片尺寸为 3×3 mm^2

MMIC 功放在射频性能测试时使用的是镏金 CuW。IC 通过测量晶圆上的脉冲功率来进行预筛选。MMIC 芯片放在 300 ℃的锡化金(AuSn)基座上连接而成，这样可以使得焊线长度最小化。它们表述了功率输出和 PAE 是以频率为横坐标的函数，以及漏极电压值会随输入功率的变化而有所调整。

图 9.27 为 MMIC 功放的典型小信号增益和输入 VSWR 性能。小信号增益大约为 18~20 dB，VSWR 优于 1.6∶1。CW 在 V_{ds} = 8 V、P_{in} = 18 dBm 时测量得到的 P_{out} 如图 9.28 所示，以频率为横坐标。在 5~8.5 GHz 频率范围内，放大器的输出功率高于 33 dBm，增益为 15 dB，PAE 优于 31%，满足了设计目标值。在 5.5~7.0 GHz 时，PAE 高于 40%。图 9.29 为 7.5 GHz 时，以漏极电压横坐标得到的输出功率和 PAE 的函数。本图表明，这些芯片在一个大的漏极偏置电压范围内(5~10 V)，PAE 优于 30%；输出功率与漏极偏置呈线性关系。

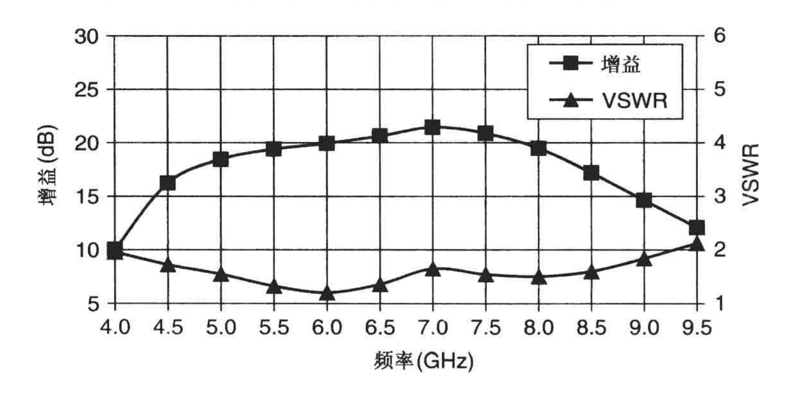


图 9.27 小信号增益和输入 VSWR(频率下，V_{ds} = 8 V)

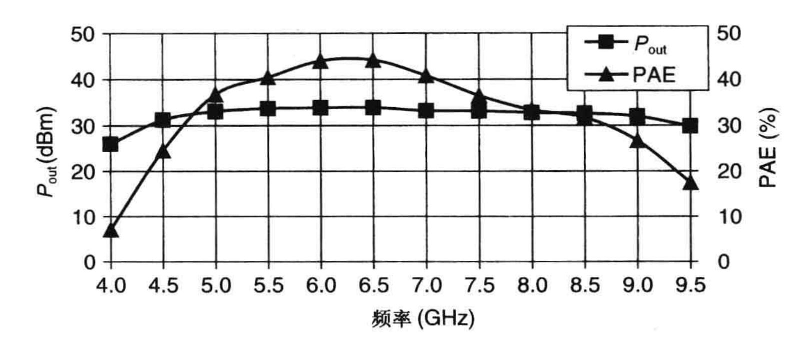


图9.28　输出功率和PAE(频率下，$V_{ds}=8$ V、$P_{in}=18$ dBm)

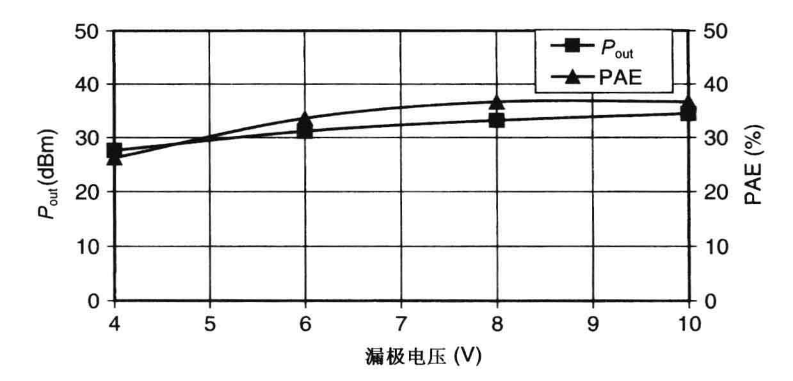


图9.29　饱和输出功率和PAE(漏极电压下，$f_0=7.5$ GHz)

图9.30所示为在 $V_{ds}=4$ V、6 V、8 V、10 V 时，以频率为横坐标的 $P_{1\,dB}$ 的值。从4.5～9.5 GHz，$P_{1\,dB}$ 优于30 dBm。当芯片偏置从4～10 V时，没有观察到振荡。

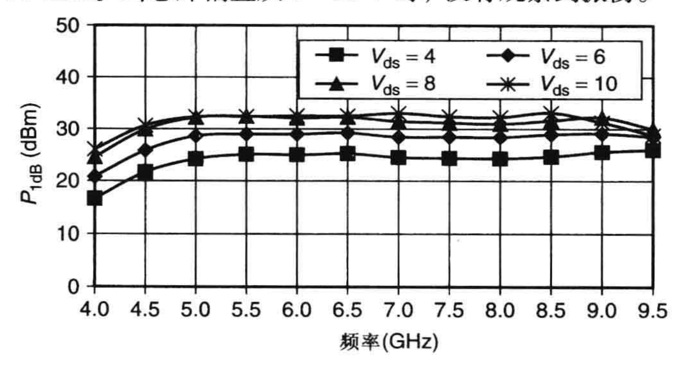


图9.30　漏极电压和1 dB压缩点

虽然想要设计一个具有良好VSWR、稳定性、噪声系数、增益平坦度、功率和PAE(或IP3)的放大器，但是这些参数往往是相互矛盾的。如第11章所述，合理设计一个平衡电路可使得放大器同时满足上面提到的性能，并达到一个平衡。

9.4.5　GaAs HBT 功放

窄带三级GaAs HBT功放的设计可用于无绳电话。其设计目标为:增益为26 dB，饱和功率为400 mW，PAE为35%，片上发送使能控制，工作电压范围为3～5 V。由于击穿的原因，SiGe工艺并不能支持其工作在5 V电压下。还有，通过GaAs HBT晶圆的通孔，每级可以允许更多的增益。

GaAs HBT 功放由三级组成。单元设计基于 2 μm 发射极(有 2 个 40 μm 的栅指)。输出单元的尺寸应满足在额定电压下(3.3 V)能传递 600 mW 功率。因此，第一级、第二级、第三级的尺寸分别为 160 μm^2、480 μm^2、1280 μm^2。片上输出匹配损耗估计为 1 dB。另外 0.5 ~ 1 dB 的损耗可能由下面几种情况产生:线路焊接，封装寄生，电路板，连接插头(连接插头参考平面)。输出匹配网络由一个阻隔二次谐波的低通电路组成。该电路基于 1600 μm^2 器件、3.3 V 电压下的负载牵引数据进行设计。负载阻抗的大小取决于每个器件的尺寸，如第 5 章所述。鉴于发射极的宽度，归一化等效负载阻抗为:$R_L = 10.66\ \Omega \cdot mm$，$C_L = -1.79\ pF/mm$。

设计中另外一个重要的考虑因素是:单位电路单元中镇流电阻的使用。图 9.31 为一个 160 μm^2 的镇流单元集成电路的原理图。为防止单位电路单元热失控，镇流电阻必须使用在基极或发射极，或者两者同时使用。在这个设计中，每个标准单元(160 μm^2)的直流偏置是通过一个300 Ω 的基极镇流电阻来实现的。电阻值太高会降低功放的增益，而太低又使得热稳定性不能得到稳定的控制。因此，大部分生产商都会给出所需要的镇流电阻的推荐值。图 9.32 为 HBT 标准单元(无镇流电阻)的 *I-V* 典型图。

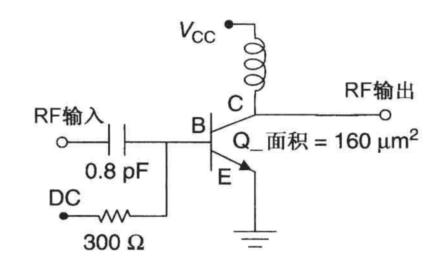


图 9.31 一个 160 μm^2 单元电路表示基极镇流电阻连接

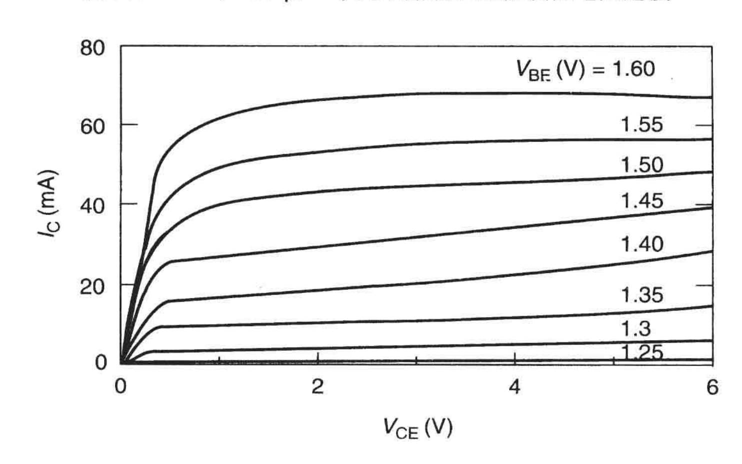


图 9.32 不带基极镇流电阻的标准 160 μm^2 HBT 单元的 *I-V* 曲线

功放设计中的另外一个要点是低电流、有源偏置电路的使用。这里的有源偏置电路实际上是一个射极跟随器，图 9.33 中放大器 IC 电路原理图的下面部分即有源偏置电路。HBT 功放的 IC 版图如 9.34 所示。GaAs HBT 工艺采用两种常见的金属进行布线，这对螺线电感来说很方便。该 IC 采用 16 个引脚，大小为 4 mm 的 PQFN 封装，并在 PCB 上进行测试。PCB 采用三层板，顶层和第二层之间的介质厚度为 10 mil。PCB 上微带线具有 50 Ω 的特征阻抗。封装下面，PCB 通过穿孔与第二层(即射频地)连接。在功率放大器的设计中，我们考虑了封装底座、引线框及过孔电感。由于底座、地(第二层介质)与板子之间的电感会影响到放大器的稳定性和性能，

建议采用良好的过孔。同时，RF 设计中包含了焊线电感和基底的寄生参数。图 9.35 给出了含有焊线的组合图。设计中采用的引线框模型将在第 21 章描述。

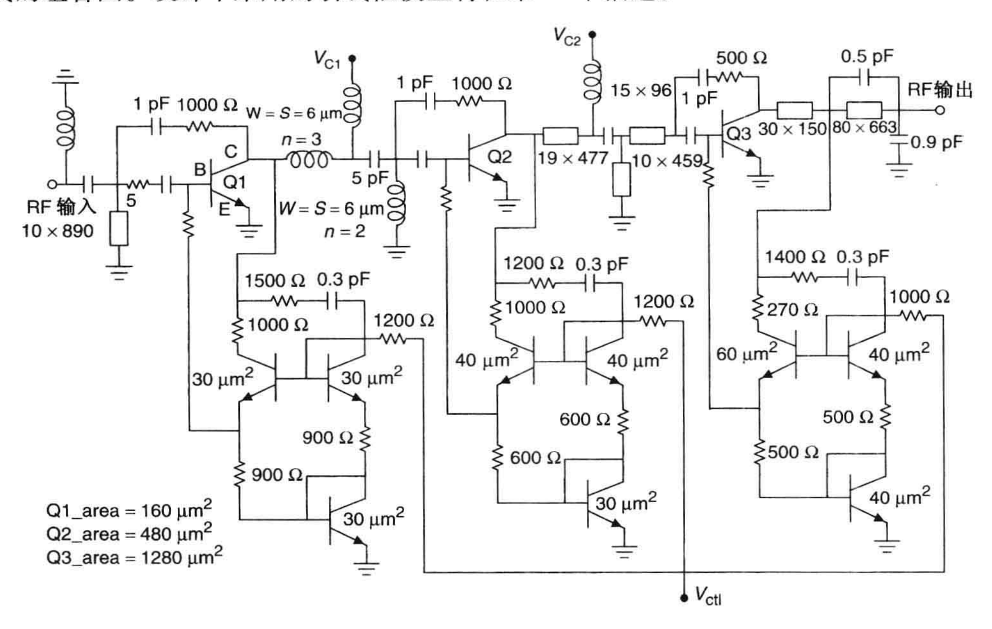


图 9.33　带有片上匹配和有源偏置电路的三级 HBT 功率放大器的结构图。V_{C3} 通过片外电感加入电路。传输线尺寸的单位为 μm

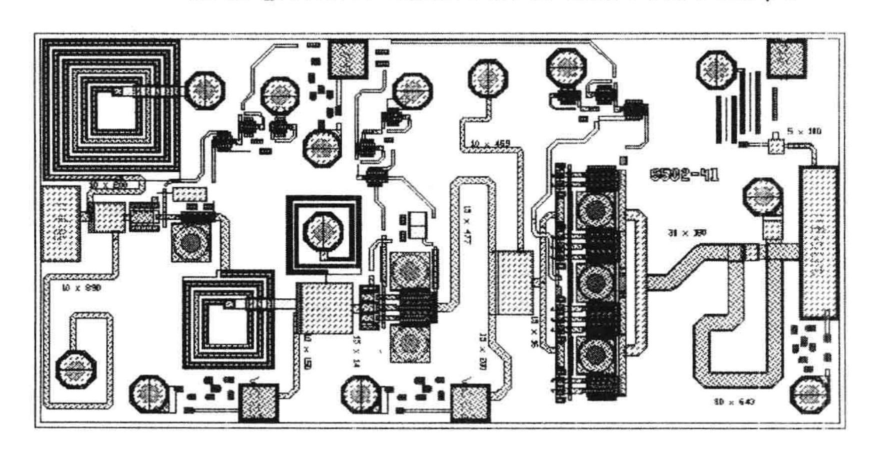


图 9.34　GaAs HBT 的 IC 版图

PCB 原理图和具体的片外匹配电路如图 9.36 所示。在输出端，采用四段焊线连接到四处不同的基底，以减少从 IC 到 PCB 由输出失配引入的损耗。C3 和 C9(0.2 pF)是十分关键的两个元件，这两个元件有助于提高 $2f_0$ 性能。C1 为隔直电容，并不重要，大小为 100 pF。同样，电源部分起去耦合作用的 5 个电容也并不重要。L1 = 3.9 nH，是第三级的直流扼流圈；R1 = 250 Ω，有助于改善输入回波损耗，也不重要。使能电阻 R2(600 Ω)可以在 10% 的范围内变化。由于 R2 和 C2(4.7 nF)的值决定上升和下降时间(< 10 μs)，因此调节 R2 的值，可以调节增益和电流。

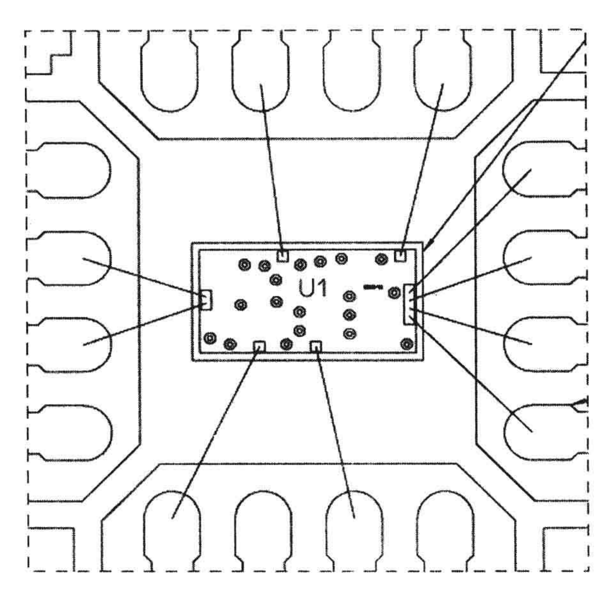


图 9.35 无引脚封装上 GaAs HBT IC 裸片的组合图

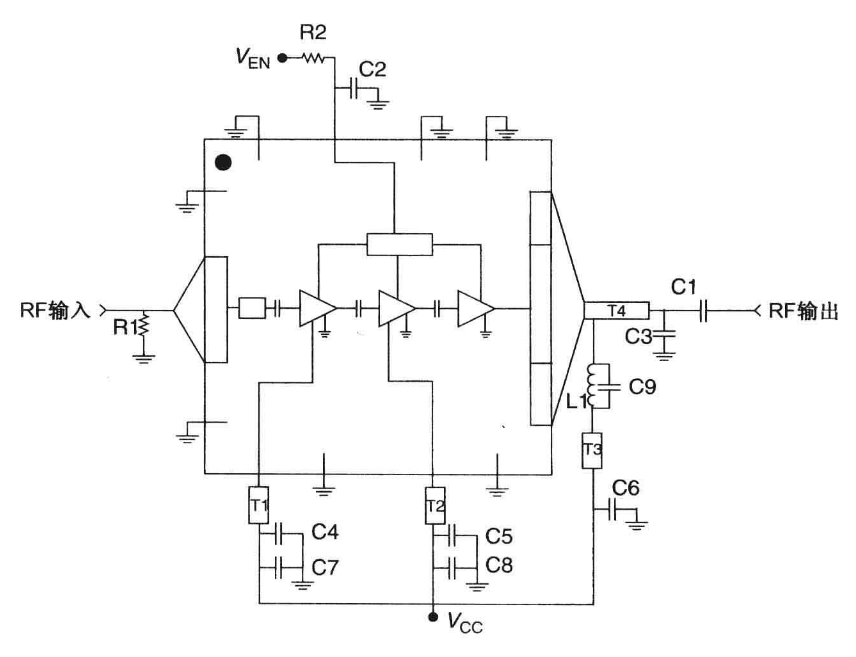


图 9.36 PCB 原理图

在 5.8 GHz 时，封装器件的测试输出功率、增益和 PAE 与输入功率的函数关系如图 9.37所示。该放大器满足设计指标。小信号增益接近 27 dB。$P_{1\,dB}$大于 25 dBm，相应的 PAE 为34.5%。小信号增益、S_{11}和 S_{22}与频率的关系如图 9.38 所示。输入回波损耗大于 10 dB。减少 IC、封装及板子上输出匹配网络的损耗，可以进一步提高输出功率0.5 dB，并将效率提高 5% ~10%。

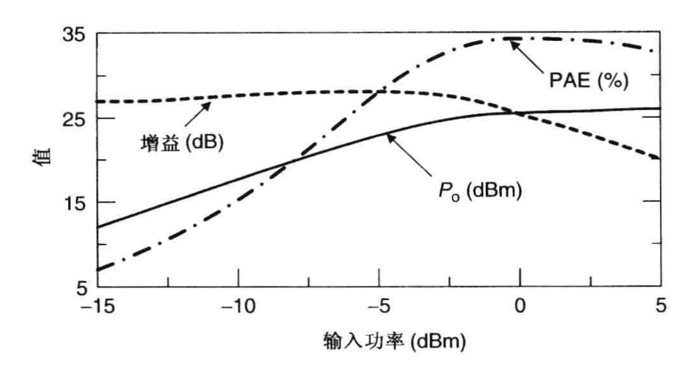


图 9.37　封装器件的测试输出功率、增益和 PAE 与输入功率的函数关系，电源电压为 3.3 V

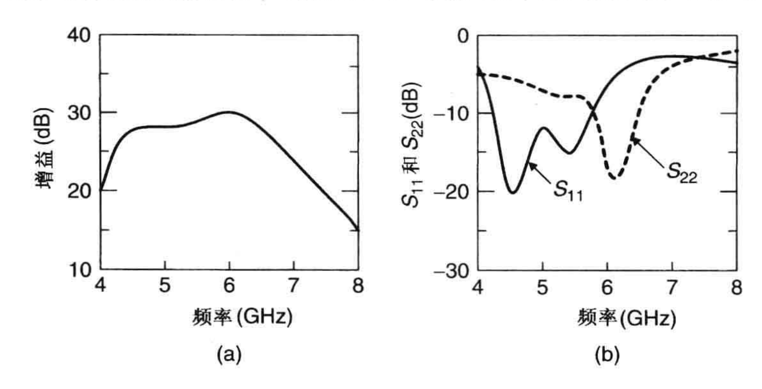


图 9.38　封装器件的典型测试指标与频率的关系，电源电压为 3.3 V：(a) 增益；(b) S_{11} 和 S_{22}

9.5　基于硅的放大器设计

无线通信的低成本方案需要更低成本和更高效率的前端部件，包括采用 Si CMOS 技术的集成了基带控制电路的功率放大器。因此，基于 Si 的 RF 元件，包括低噪放、缓存放大器、功率放大器在内，与基于 Si 和 GaAs 器件的多片相比，就是集成电路降低总成本的一种自然选择。Si CMOS 场效应管与 SiGe HBT 相结合，将发挥基于 Si 系统的巨大潜力。这两种器件分别在中等和低功率应用方面具有可接受的性能。不过，与 GaAs HBT 相比，指标要略差。但是，智能设计理念在基于 Si 晶体管的放大器上的运用，使得基于 Si 晶体管的放大器具有与基于 GaAs 器件的放大器相当的性能。但是，对于高于 1 W 的功率水平，仍然只能采用 GaAs 晶体管。

手机放大器的设计通常是基于多种晶体管和制造工艺的最佳折中。可用的制造工艺如第 4 章、第 14 章和第 15 章所述。通常引入包含微带线和 CPW 的 PCB、表面贴装的无源元件及晶体管或者 MMIC 的组合。输出匹配网络通过片外的高 Q 值元件实现。下面，对低噪声放大器和功率放大器的设计方法进行简单介绍。

9.5.1　Si IC LNA

近期基于 Si 双极型晶体管的窄带和超宽带低噪声放大器有了新进展[24~27]。图 9.39 给出了低噪声放大器的两种基本电路结构：反馈和共射共基。两种拓扑结构在输出端都采用源极跟随器，以获得更好的匹配并在宽的频带内具有低的噪声。共射共基结构为两级之间提供高的隔离度。由于 CMOS 晶体管的噪声匹配和功率匹配十分接近，电路输入端的匹配以获得好的 VSWR

为目标。栅极的串联电感 L_g 有助于在更高的频率获得更大的增益。在低微波频段，窄带内噪声优于 2 dB，超宽带范围内的噪声低于 4 dB。

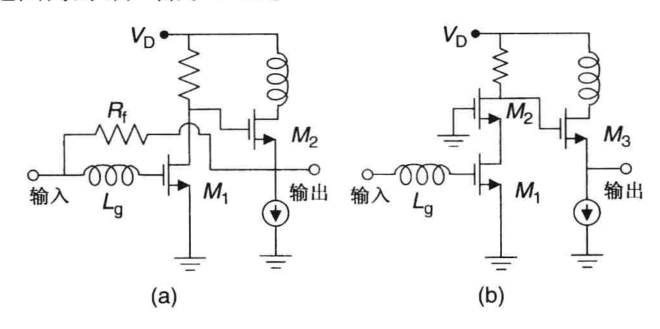


图 9.39 低噪放的简化方案图：(a)用源极跟随器反射；(b) 用源极跟随器共射共基

9.5.2 Si IC 功率放大器

功率放大器的主要功能是产生足够大的线性功率(高的 $P_{1\,dB}$压缩点)和尽可能的高 PAE，以延长系统电池的寿命。射频模块中的功率放大器是电池功率的最大消耗者，通常只在功放工作时上电。在效率和线性功率放大器的设计中，有几种不同方案可供考虑[28~33]。这些方案包括：开关 Q 点，级联旁路，可调晶体管尺寸。运用开关 Q 点技术，A 类放大器效率的提高要大于 AB/B 类放大器。级联旁路方法提高了效率，但是会降低增益，并增加电路的复杂性。第 20 章将进一步讨论这种技术。对于可调尺寸晶体管放大器电路，输出级由两个不同尺寸的晶体管并联组成。晶体管可在低功率和高功率两种状态之间切换。该应用中的一些因素需要仔细考虑。这些因素包括：两路之间的相位补偿，负载的影响(大尺寸晶体管负载的设计需要仔细考虑，反之亦然，小尺寸器件的负载也需要仔细考虑)，以及稳定性。这个方法的缺点在于它所需的输出匹配网络很复杂。

可调尺寸晶体管放大器的设计由两到三级组成，而且只有最末级有两个不同尺寸的晶体管。在两级设计中，输入/输出级的小尺寸晶体管一般尺寸相同。而输出级的大尺寸晶体管的尺寸则要比小尺寸晶体管大四倍。输入和输出匹配网络采用集总和分布匹配元件在片外实现。下面，介绍几个基于 Si 晶体管功放(中等功率)设计的例子。

SiGe HBT Cordless PA

下面的设计例子针对一个应于无绳电话的低压、高效率的饱和功率放大器。设计要求为：电源电压 2.4 V，低成本和塑料封装。设计指标为：饱和功率 26 dBm，功率增益 26 dB(小信号 30 dB)，PAE 为 40%，工作带宽为 1880 ~ 1930 MHz，关断电流微安级，片上传输使能控制采用 2.4 V 电压。1.9 GHz 时低成本应用的苛刻要求，以及将 2.4 V 同时作为电源电压和偏置使能，使半导体技术的选择成为一个挑战。GaAs 和 SiGe 工艺及 MESFET 和 HBT 晶体管都会予以考虑。表 9.6 所示为 3 种给予考虑的技术的比较。无绳电话系统需要采用单电源放大器及低泄漏电流(关断状态的典型值为 10 μA)。GaAs MESFET 是耗尽型器件，单电源工作时自偏置，因而漏极需要一个额外的开关来关断，这会使得成本增加。由于这个原因，本设计采用双极工艺技术。SiGe 双极工艺技术与 GaAs 双极工艺技术相比，当控制电压或者工作电源电压在 2 ~ 3 V 和功率相对较低时，SiGe 具有一定优势。这是因为大多数双极型放大器的设计采用了有源偏置电路进行直流偏置，这样可以减少收发机控制端的电流消耗(设计目标 <1 mA)。控制电流越小，放置在控制线上的串联电阻就可以更大。控制线在收发机和功放之间就形成了隔离的作用。CMOS 功放在控制电流的指标上具有优势。对于双极型设计，从控制电压到地包括偏置网络，

至少有两个基极 - 发射极的压降。SiGe 和 GaAs HBT 的基极-发射极前向压降分别为 0.7 V 和 1.3 V。因此 GaAs HBT 功率放大器至少需要 2.8V 的控制电压。两单元间无绳系统的控制电压需求为 1.8 ~ 2.4 V。GaAs HBT 具有击穿电压更高、晶圆通孔和基底电阻更高的优势。在 SiGe 上应用智能设计技术，可以弥补这些不足。SiGe 可以使晶圆的成本最低，这是很重要的。基于这些因素的考虑，在本电路设计中选择 SiGe HBT 工艺。

本设计基于发射极尺寸为 1.6 μm、f_T 为 25 GHz 的商用 SiGe 工艺。该工艺包括无源元件、电感、电容和三种类型的电阻。出于静电放电保护的原因，需要一系列的保护二极管。该工艺在各层之间提供了三个金属层用做电介质隔离。基底的电导率为 1000 Ω · cm，采用 p^+ 通道隔离来提高器件的隔离度。如前所述，Si 工艺没有 GaAs 工艺那样的晶圆通孔，因此所有的地都是通过多个下行连接(down bonds)将顶层地与封装底座相连来实现的。另一个设计方法是采用差分设计，这样射频地是虚地，对下行连接并不敏感。这种方法需要一个外部巴伦或一个片上巴伦。巴伦使成本增加，更重要的是使输出匹配网络的损耗变大。

表 9.6　GaAs MESFET、GaAs HBT 和 SiGe HBT IC 工艺的比较

工艺	V_{CC}	开关	断开电流	PAE	基底电阻	晶圆成本
GaAs MESFET	2 ~ 5 V	外部	mA	十分好	高	居中
GaAs HBT	3 ~ 5 V	内部	μA	好	高	居中偏下
SiGe HBT	2 ~ 4 V	内部	μA	好	低	低

为了获得大于 30 dB 的增益，采用三级放大器结构(每级稳定增益 10 ~ 12 dB)。图 9.40 所示为带有片外元件的放大器简化结构。在 2.4 V 时，末级尺寸可以满足大约 26 dBm 的饱和功率传输需要。末级发射极面积为 1248 μm^2。第一级、第二级和第三极晶体管分别有 2、7 和 26 个单元，每个单元的面积为 $1.6 \times 30\ \mu m^2$。每一级都偏置在 AB 类。工作在 RF 频段时，每单元的电流密度保持小于 20 kA/cm^2。每一级都含有 RC 反馈电路来改善放大器的整体稳定性。外壳地采用带有焊线的座地(paddle ground)，从 IC 的顶层通过多条引线连接到封装的底座。

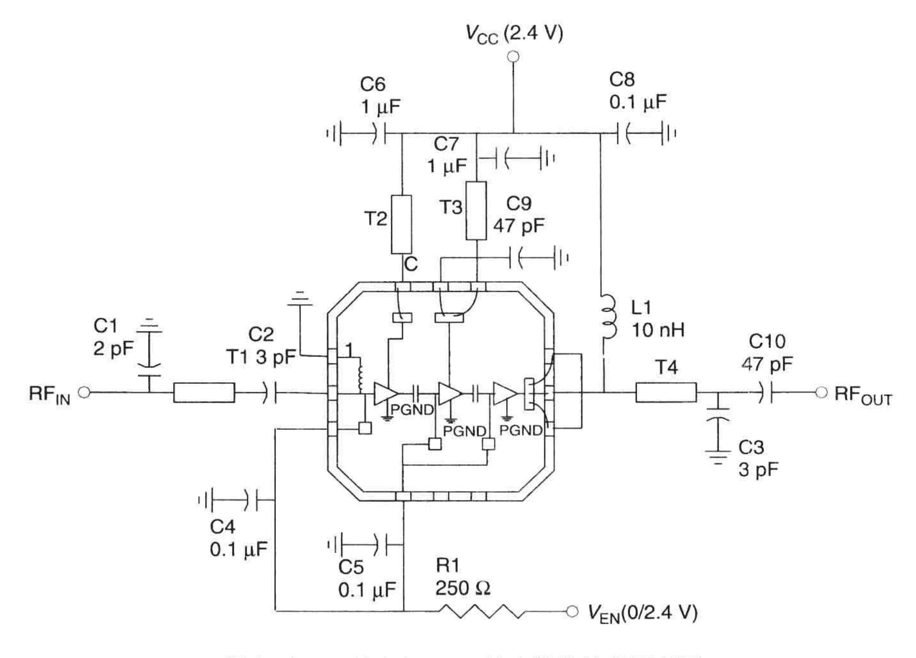


图 9.40　三级 SiGe HBT 放大器的简化原理图

如图 9.40 所示，一些 RF 匹配元件是片外的，因为这样可以减少成本。比如，第一级和第二级之间的级间匹配由焊线、板上电感及晶体管之间的串联电容共同组成。放大器设计的一个关键部分便是偏置电路的设计。偏置电路为每一个 RF 单元的基极提供直流偏置。每一级都有独立的偏置电路。偏置电路与 RF 单元之间要有良好的隔离，这样能增加功放的稳定性。偏置电路尺寸也必须较小，还要具有好的温度补偿。放大器的打开和关断时的性能由片外电阻和电容决定。对于无绳电话的应用，上升和下降时间为 3 μs。

IC 版图设计时应使得芯片尺寸最小，并且便于大批量制造。紧凑的 IC 布局如图 9.41 所示，尺寸小于 1.0 mm^2。放大器集成在一个无铅的塑料封装上，大小为 $3\times3\times0.9$ mm^3，为 PQFN、12L。芯片的连接图如图 9.42 所示。这个电路开发的电路板如图 9.43 所示。以频率为横坐标，输出功率、增益和 PAE 的典型测量值如图 9.44 所示。输出功率、增益和 PAE 分别优于 26 dBm、30 dB 和 45%，满足无绳电话的应用需要。

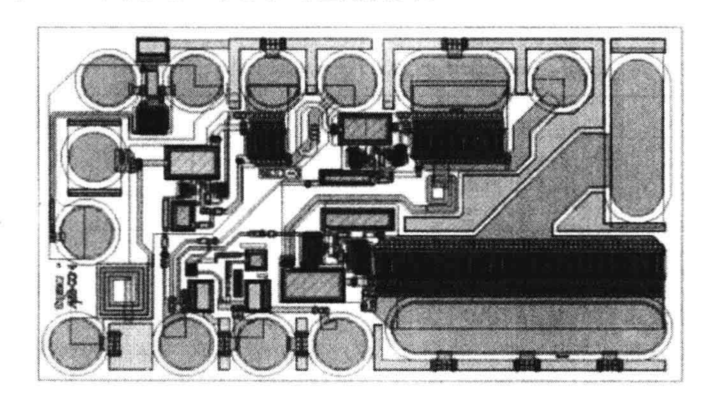


图 9.41　SiGe 集成电路版图，其芯片面积紧凑，为 0.925 mm^2

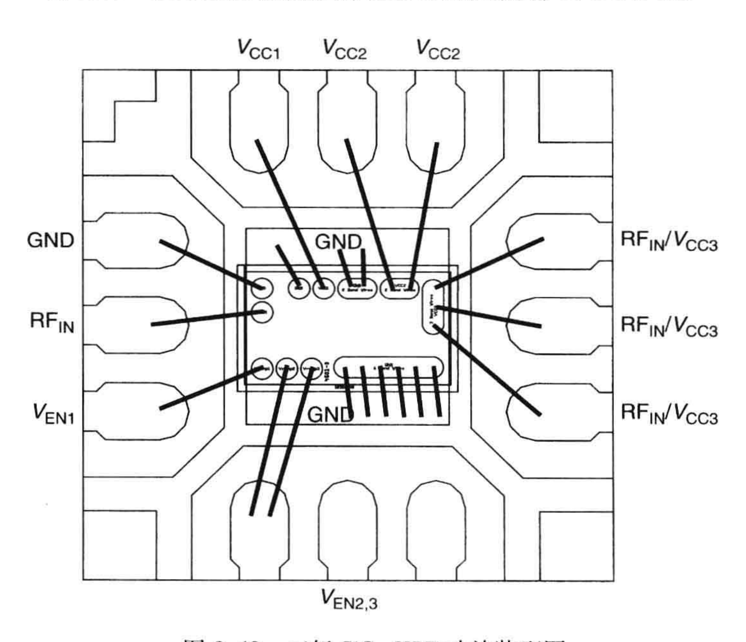


图 9.42　三级 SiGe HBT 功放装配图

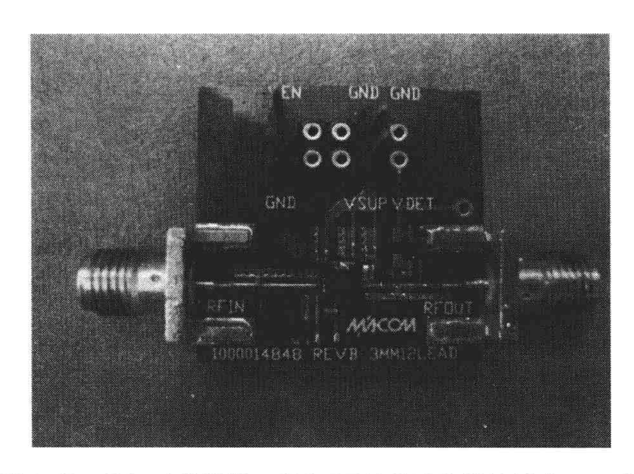


图 9.43　SiGe 功放样板。焊上 RF 边沿连接器的标准 FR-4 材料。所有片外元件都是市面上出售的0402贴片封装

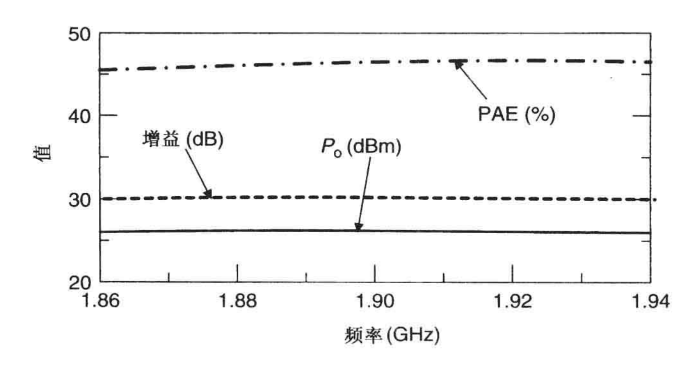


图 9.44　$V_{CC}=2.4$ V, $V_{EN}=2.4$ V，三级 SiGe HBT 功放性能测量值

1.9 GHz Si CMOS 功放

根据器件尺寸可调这个思想，1.9 GHz Si CMOS 的功放已经研制成功[33]。图 9.45 为晶体管尺寸可调功放(使用 Si CMOS)的电路原理图。输入级和输出级小晶体管尺寸为 400 μm，输出级大晶体管尺寸为 1600 μm。在低功率和高功率模式下测得的增益分别为 16 dB 和 21 dB。在 $P_{1\,dB}$ 时相应的功率级分别为 18 dBm 和 23 dBm。在低功率模式中，PAE 为 15%（两倍优于功率补偿条件下的 B 类放大器）。低功率和高功率模式下的 IM3 分别低于 −30 dBc 和 −25 dBc。

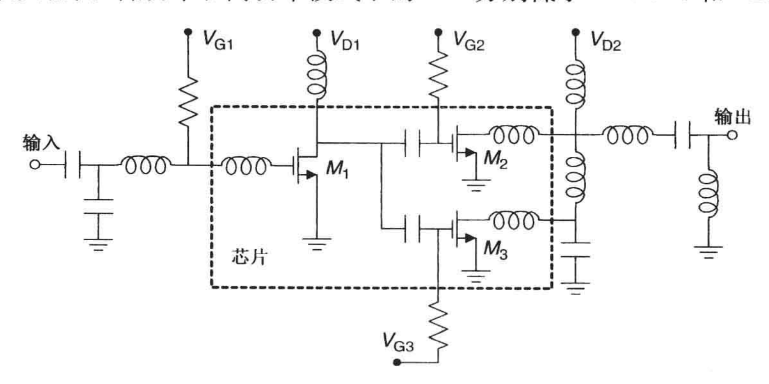


图 9.45　两步功率控制的 1.9 GHz Si CMOS 放大器的简化电路图

1.9 GHz SiGe HBT 功放

应用于 CDMA/PCS 的晶体管尺寸可调功放的电路原理图(使用 SiGe HBT)如图 9.46 所示。输入级和输出级小晶体管发射极面积为 480 μm^2，输出级大晶体管发射极的面积是1920 μm^2。芯片总尺寸为 1 mm^2，置于一个 4×4 的无铅塑料封装中。高功率模式下，增益 G、$P_{1\,dB}$和 PAE 的测量值分别为 21 dB、27 dBm、27%。低功率模式下，增益 G、$P_{1\,dB}$和 PAE 的测量值分别为 19 dB、18 dBm、15%。高功率模式和低功率模式都满足 ACPR1(-44 dBc)和 ACPR2(-53 dBc)的规定[33]。

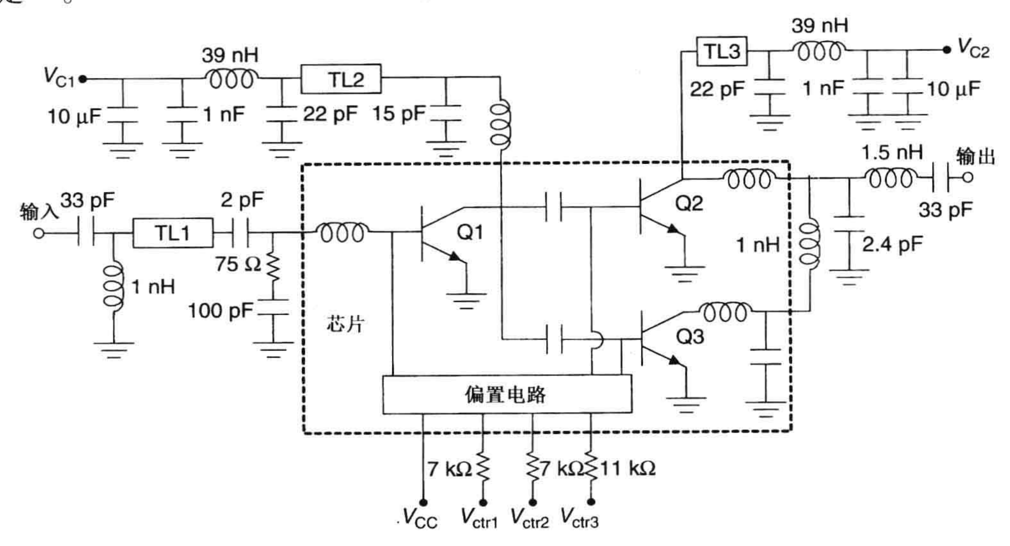


图 9.46 1.9 GHz SiGe HBT 放大器的简化电路图(两步功率控制)，发射极面积：Q1 = Q3 = 480 μm^2，Q2 = 1920 μm^2

2.4 GHz SiGe HBT 功放

在数字无线通信中，2.4 GHz ISM 频带的应用包括 DECT、WLL、蓝牙和家庭无线网络(Home RF)。SiGe 和 Si 功放都已经研制成功。三级 SiGe HBT 功放原理图如图 9.47 所示。放大器与片外输出匹配网络和谐波抑制滤波器一同设计。片外电路在 LTCC 中实现[33]。为达到线性度和效率的要求，必须在放大器电路中使用高级设计技术来克服 Si 晶体管的性能劣势，以延长手机通话时间。放大器的输出功率为 27.5 dBm，PAE 为 47%。

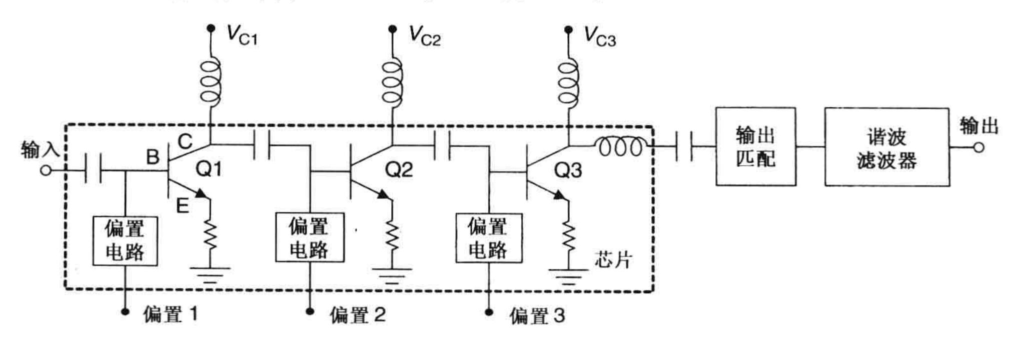


图 9.47 2.4 GHz SiGe HBT 放大器的简化电路图

将来的移动无线应用期望工作在宽带/多频段频率。例如，数据通信 WLAN 工作在 2.4 GHz，WiMAX 工作在 3.3 ~ 3.9 GHz 和 5.1 ~ 5.9 GHz。这些应用给设计者提出了严峻的挑战——在多频段实现无缝操作，放大器怎样设计才能满足输出功率和 PAE 的要求。其中双频带和三频带功放设计技术已经出现。但是新的设计概念要求在匹配网络中，设计超宽带或频带切换/可重构的输出级匹配网络。这些技术中的关键点是:保证输出匹配损耗小于 1 dB。

提示读者，放大器射频参数是在输入和输出参考平面定义的，直流偏置条件建议位于直流终点，热界面(就功放来说)在芯片/垫片(shim)/封装的后面。根据放大器的不同类型，其他因素，例如各种支撑电路(包括耦合器、滤波器、环形器、天线、偏置线、固定装置和连接器)都会影响放大器性能。对于高功率，输出端的任何电阻性损耗和失配损耗，以及热设置都能显著降低输出功率和 PAE。在这种情况下，放大器性能必须重新评估，因此产品设计中必须充分考虑效率裕量。

参考文献

1. S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House, Norwood, MA, 1999.
2. E. L. Griffin, Application of loadline simulation to microwave high power Amplifiers, *IEEE Microwave Mag.*, Vol. 1, pp. 58–66, June 2000.
3. I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003.
4. KELDIST, M/A-COM's Internal Software.
5. I. J. Bahl, Low loss matching (LLM) design technique for power amplifiers, *IEEE Microwave Mag.*, Vol. 5, pp. 66–71, December 2004.
6. I. Bahl, MESFET process yields MMIC Ka-band PAs, *Microwaves and RF*, Vol. 44, pp. 96–112, May 2005.
7. I. Bahl, Ku-band MMIC power amplifiers developed using MSAG MESFET technology, *Microwave J.*, Vol. 49, pp. 56–82, February 2006.
8. I. J. Bahl, 0.7–2.7GHz 12-watt power amplifier MMIC developed using MLP technology, *IEEE Trans. Microwave Theory Tech.*, Vol. 55, pp. 222–229, February 2007.
9. I. Bahl, 1.6W K-band MMIC power amplifiers developed using low loss matching technique for point-to-point radio applications, *Microwave Opt. Technol. Lett.*, Vol. 49, pp. 1521–1525, July 2007.
10. G. D. Vendelin et al., *Microwave Circuit Design Using Linear and Nonlinear Techniques*, Wiley-Interscience, Hoboken, NJ, 2005.
11. G. Tauguchi and M. S. Phadke, Quality engineering through design optimization, in *Conference Record, GLOBECOM 84 Meeting*, IEEE Communications Society, Atlanta, GA, November 1984, pp. 1106–1113.
12. M. S. Phadke, *Quality Engineering Using Robust Design*, Prentice Hall, Englewood Cliffs, NJ, 1989.
13. E. L. Griffin, Introduction to Taguchi technique applied to MMIC design, in *IEEE MTT-S International Microwave Symposium Workshop on Statistical-Based MMIC and Module Design Techniques*, June 21, 1996.
14. W. L. Pribble and E. L. Griffin, An ion-implanted 13 watt C-band MMIC with 60% peak power added efficiency, *IEEE Microwave MillimeterWave Monolithic Circuits Symp. Dig.*, pp. 25–28, 1996.
15. D. C. Miller, R. A. Sadler, and I. J. Bahl, Low-noise GaAs MESFET optimization using an orthogonal array approach, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 4, pp. 396–410, October 1994.

16. J. Carroll and K. Chang, Statistical computer-aided design for microwave circuits, *IEEE Trans. Microwave Theory Tech.*, Vol. 44, pp. 24–32, January 1996.
17. G. N. Henderson and D. Wu, GaAs HBT profile optimization using the Taguchi method, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1463–1468, 1997.
18. I. J. Bahl et al., Low loss multilayer microstrip line for monolithic microwave integrated circuits applications, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 8, pp. 441–454, November 1998.
19. R. Goyal (Ed.), *High-Frequency Analog Integrated Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1995, p. 179.
20. I. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
21. I. J. Bahl, High current capacity multilayer inductors for RF and microwave circuits, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 10, pp. 139–146, March 2000.
22. I. J. Bahl, High-Q and low-loss matching network elements for RF and microwave circuits, *IEEE Microwave Mag.*, Vol. 1, pp. 64–73, September 2000.
23. I. J. Bahl et al., Multifunction SAG process for high-yield, low cost GaAs microwave integrated circuits, *IEEE Trans. Microwave Theory Tech.*, Vol. 38, pp. 1175–1182, September 1990.
24. T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd edition, Cambridge Press, Cambridge, UK, 2004.
25. M. T. Reiha and J. R. Long, A 1.2-V reactive feedback 3.1–10.6-GHz low-noise amplifier in 0.13 μm CMOS, *IEEE J. Solid State Circuits*, Vol. 42, pp. 1023–1033, May 2007.
26. A. Bevilacqua and A. M. Niknejad, An ultrawideband CMOS low-noise amplifier for 3.1–10.6-GHz wireless receivers, *IEEE J. Solid State Circuits*, Vol. 39, pp. 2259–2268, December 2004.
27. T. Chang et al., *ESD-protected wideband CMOS LNAs using modified resistive feedback techniques with chip-on-board packaging*, *IEEE Trans. Microwave Theory Tech.*, Vol. 56 pp. 1817–1826, August 2008.
28. M. Ranjan et al., Microwave power amplifiers with digitally-controlled power supply voltage for high efficiency and high linearity., *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 493–496, 2000.
29. J. Staudinger, Applying switched gain stage concepts to improve efficiency and linearity for mobile CDMA power amplification, *Microwave J.*, Vol. 43, pp. 152–162, September 2000.
30. J. H. Kim et al., An InGaP/GaAs HBT MMIC smart power amplifier for W-CDMA mobile handsets, *IEEE J. Solid State Circuits*, Vol. 38, No. 6, pp. 905–910, June 2003.
31. H.-M. Park et al., Demonstration of on-chip appended power amplifier for improved efficiency at low power region, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 691–694, 2003.
32. J. H. Kim et al., A power efficient W-CDMA smart power amplifier with emitter area adjusted for output power levels, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1165–1168, 2004.
33. A. Raghavan, N. Srirattana, and J. Laskar, *Modeling and Design Techniques for RF Power Amplifiers*, John Wiley & Sons, Hoboken, NJ, 2008.

习题

9.1 在一个 0.25 mm 厚的氧化铝($\xi_r=9.9$)基底上使用微带设计一个低噪声单端式放大器，工作在 12 GHz，增益为 8 dB，噪声系数为 2.5 dB，输出 VSWR 期望值为 1.2∶1. 12 GHz 时候晶体管参数如下：

$S_{11}=0.77\angle-122^\circ$，　$S_{21}=1.36\angle98^\circ$，　$S_{12}=0.07\angle40^\circ$，　$S_{22}=0.67\angle-32^\circ$

$NF_{\min}=2.11\ \text{dB}$，　$G_A=8.7\ \text{dB}$，　$\Gamma_{\text{opt}}=0.55\angle118^\circ$，　$R_n=13.1\ \Omega$

9.2　设计一个具有最大功率的单级放大器，工作在 14 GHz，增益为 8 dB，VSWR 优于 1.5，14 GHz 时的晶体管参数如下：

$S_{11}=0.75\angle-132^\circ$，　$S_{21}=1.20\angle92^\circ$，　$S_{12}=0.07\angle40^\circ$，　$S_{22}=0.66\angle-37^\circ$

9.3　设计一个 600 mm FET 的高增益放大器，工作在 15 GHz，使用表 5.5 所示的模型参数，放大器无条件稳定。如果需要，使用如第 17 章所描述的稳定电路。使用理想的 LC 器件模型计算增益 S_{11} 和 S_{21}。

9.4　低噪声 pHEMT 的 S 参数如第 5 章的表 5.9 所示，设计一个条件稳定的低噪放，输入/输出端使用一个开路单支节，工作在 11 GHz。设计目标为：NF <1 dB，增益大于 10 dB，输出回波损耗优于 10 dB。基底是 15 mil 的氧化铝。

9.5　使用如 5.7 节所描述的 FET 模型，设计一个 5 W 的 MMIC 功放，工作在 3.5 GHz，基底分别为(a) 3 mil的 GaAs 和(b)15 mil 氧化铝。表明(b)比(a)有更高的增益。

9.6　设计一个线性功放，满足如下要求：

工作频率	5.8 GHz
输出 IP3	40 dBm
最小增益	10 dB

使用 5.8 节给出的 FET 模型和表 5.5 所示的 EC 模型参数。使用理想 LC 元件来计算增益和损耗。

9.7　设计一个功放满足如下要求：

工作频率	30 GHz
输出功率	27 dBm
最小增益	7 dB
VSWR	2:1

使用如表 5.12 所示的 pHEMT 模型（无源元件）、4 mil GaAs 基底。

9.8　设计一个输出功率为 27 dBm 的功放，使用 CMOS 晶体管，器件 EC 模型如表 5.16 所示。工作频率为 2.4 GHz。功率密度为 23 dBm/mm。基底为 10 mil FR-4。

第 10 章　高效率放大器技术

功率放大器是数字移动手机的关键部件，它对线性度与效率的要求日益增长。这些放大器消耗了大部分电池功率，并占用了相当大的面积。因此，设计出高效率放大器可以减低直流功耗。在先进的微波毫米波系统、通信系统和电子战系统中，高效率技术有利于减少放大器的功率消耗及较容易保持模块冷却。

在过去的 30 年中，几种不同的技术（概述在图 10.1 中）用来实现最大效率的 RF 和微波功率放大器，它们是过驱动、AB/B 类、E 类、F 类、矩形驱动 B 类（rB）、谐波作用放大器（Harmonic Reaction Amplifier，HRA）、谐波控制放大器（Harmonic Control Amplifier，HCA）、谐波注入技术（Harmonic Injection Technique，HIT）。过驱动与谐波控制放大器偏置在 A 类，以实现高增益；而其他都偏置在 AB/B 类，以实现高效率。工作在不同类型的基础理论，包括 AB/B 类、E 类、F 类、过驱动 A 类，已经在第 8 章中探讨过。本章将讨论几个高效率功率放大器的例子[1~69]和它们的实用性。

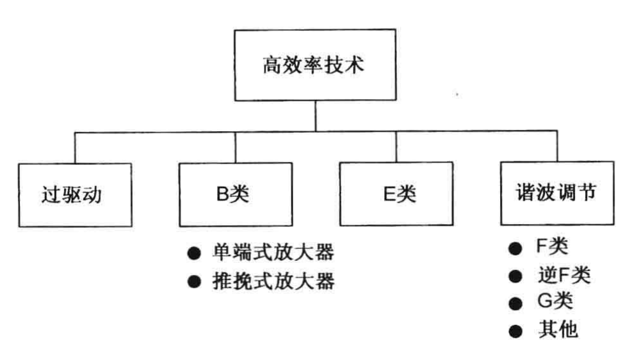


图 10.1　HPA 的高效率技术

10.1　高效率设计

器件的瞬时耗散功率为瞬时电压与电流的乘积。参考电压和电流波形（见第 8 章的图 8.11），在电流或电压很小的时间范围内，器件的耗散功率也很低，因此 DC 到 RF 的转换效率最大。前述的几种放大器类型的目的是维持最小耗散功率的时间周期尽可能长。下面有几种基本的方法来维持最小耗散功率：

1. 将器件作为开关使用，如 E 类与过驱动。
2. 减小器件工作的导通角，如 B 类与 C 类。
3. 整形电压与电流波形为方波，如 F 类与 F^{-1}类。

在功率放大器中，功率压缩的根本原因是电流与电压的削波。当放大器工作在压缩区，晶体管输入电容 C_{gs}和输出电阻 R_{ds}出现非线性现象。削波与器件的其他非线性将在晶体管输入与输出端产生谐波。这种将基波信号转换为谐波信号的现象会降低输出功率和 PAE。因为过驱动下，电压与电流波形出现了失真，所以在基波频率的谐波上产生了 RF 功率。这种功率可以反射回器件来整形波形，从而减少功率耗散和增加基波功率输出。如果给这些谐波信号以合适的终端，即让它们以合适的相位叠加到基波电压或电流波形上，在输入与输出端使正弦信号整形为类似方波的信号，那么放大器的 PAE 将增加。第 8 章曾讨论到，最佳终端条件为在器件的内部端口处让二次谐波短路且三次谐波开路。因为器件焊盘的寄生电抗和米勒效应（器件的输入阻抗依赖于器件的输出阻抗，反之亦然，因为输入与输出之间存在反馈），在输入与输出端，短

路或开路条件会发生变化。这些变化可以通过调整负载来精确测量出来，测量时应工作在谐波频率。

有几种匹配网络可以应用在提供想要的谐波终端条件。尽管如此，这些条件的获得是否会在基波频率上增加额外的电路损耗和复杂度也是需要考虑的。这些终端匹配条件有时独立于基波频率匹配。在输出端，低通匹配优于带通匹配，因为它具有更低的损耗。一般来说，谐波终端网络要求很高的 Q 值和很窄的通带。因此，谐波终端放大器对谐波终端很敏感，并有很窄的带宽(5% ~15%)。因为高效率功率放大器工作在接近最高效率的电平上，因此对输入 RF 驱动电平不是很敏感。

大多数高 PAE 放大器工作的频率范围都在 UHF 到 Ku 波段。表 10.1 概述了一些高 PAE 功率放大器的例子，其输出功率和 PAE 都为典型值。这些放大器的制作技术包括 PCB、混合电路、单片集成。混合技术一般有最高的 PAE。常用的器件有 LDMOS、HBT、MESFET、pHEMT。图 10.2(a)为晶体管放大器的增益、输出功率、PAE 随输入功率的典型变化。在增益压缩很大的高电平处，输出功率与 PAE 都会减小。图 10.2(b)给出输出功率为 20 W、增益为 10 dB 的放大器的 P_{DC}与 PAE 的关系。当 DC 功率从 36 W 增加到 180 W 时，PAE 从 50% 降到了 10%。而 PAE 是 HPA 最重要的指标。

表 10.1　一些窄带高效率功率放大器的典型性能参数

频率(GHz)	级数	增益(dB)	输出功率(W)	PAE(%)	器件	技术	参考值
0.8	1	12	12	82	MESFET	PCB	40
2.1 ~ 2.2	2	21	50	50	pHEMT	GaAs 单片集成	62
2.9	1	10	31	49.5	HBT	混合电路	63
3.8	1	12	70	51	HFET	混合电路	53
3.85	1	14	27	70.6	HFET	混合电路	64
4.5 ~ 5.4	1	10	14	55	MESFET	GaAs 单片集成	6
8 ~ 10	3	24	12	40	MESFET	GaAs 单片集成	8
8 ~ 10	3	24	20	35	MESFET	GaAs 单片集成	65
12 ~ 15	3	18	8	25	MESFET	GaAs 单片集成	12
13.5 ~ 15	3	22	8	22	pHEMT	GaAs 单片集成	66
29 ~ 31	3	20	4	25	pHEMT	GaAs 单片集成	67
42 ~ 46	2	17	2.8	24	pHEMT	GaAs 单片集成	68
95	2	15	0.43	19	pHEMT	InP 单片集成	69

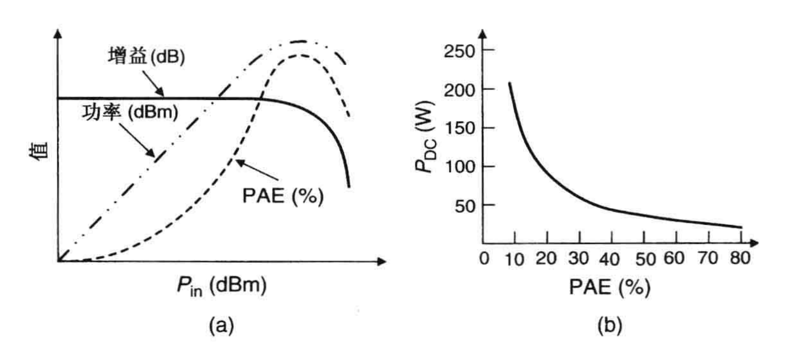


图 10.2　功率放大器的性能变化：(a)增益、输出功率、PAE 随输入功率的变化；(b)20 W 输出功率、10 dBm 增益的放大器的 P_{DC} 随 PAE 的变化

10.1.1 过驱动放大器设计

为提高 PAE，晶体管放大器工作在增益压缩 2 ~ 3 dB 的模式下且没有特别的谐波负载，这样的放大器称为过驱动放大器。在这些放大器中，需要额外考虑谐波的负载。当器件工作在 B 类或 AB 类时，四分之一到一半的输入功率被损耗，因为器件的有限传导。相对于 A 类，这将减少放大器的增益 3 ~ 6 dB。在微波高端频率，相应的放大器功率增益仅有 7 ~ 9 dB。因此，AB 类或 B 类中任何的增益减小都将严重影响放大器的 PAE。在这种情况下，对于过功率放大器，A 类优于 AB/B 类。当功率增益大于等于 13 dB 后，PAE 就对增益值不敏感了。

在 A 类功率放大器中，当输出功率超过某一电平，电压与电流波形就将受限，即产生削波和失真。一旦波形开始失真，增益就会随输入功率的增加而减小。这种增益压缩现象使 PAE 达到峰值后又减小。当放大器过驱动超出一定范围时，输出功率将不随输入功率的增加而增加。在A 类过驱动 HPA 中，削波是对称的，因为栅极电压的限制范围为内建电压到夹断电压。在这两个极端电压点处，器件产生最大的二次谐波，从而降低了基波频率的输出功率。

在过驱动放大器中，谐波是忽略不计的。因为如果要让二次谐波和三次谐波也输出在 50 Ω 负载上，则 HPA 必须设计为 3 倍带宽。然而，带宽的增加也会增大基波频率在匹配网络上的损耗和电路复杂度。而大多数情况下，设计高效率宽带匹配网络是不可能的，就像第 11 章讨论的一样。在简单的过驱动 HPA 设计中，输出最优负载(与 A 类和 AB/B 类相同)由输出匹配网络实现，而器件的输入端则需共轭匹配。

例 10.1 参考文献[2]使用 4 个 4 mm FET 设计了一个 10 W MMIC A 类放大器。两个单端 5 W 放大器以并行的方式组合在同一个芯片内。每个单端式放大器使用两个 4 mm FET，以获得 8 mm 栅宽。设计中 4 mm FET 使用如下的 EC(电特性)模型参数：

$$R_g = 0.6\ \Omega,\ R_i = 0.6\ \Omega,\ R_s = 0.4\ \Omega,\ R_d = 0.4\ \Omega,\ R_{ds} = 20\ \Omega$$
$$C_{gs} = 5.0\ \text{pF},\ C_{gd} = 0.1\ \text{pF},\ C_{ds} = 1.07\ \text{pF}$$
$$g_m = 300\ \text{mS},\ \tau = 3\ \text{ps}$$
$$L_g = 0.05\ \text{nH},\ L_s = 0.02\ \text{nH},\ L_d = 0.05\ \text{nH}$$

此器件 V_{ds} 为 8.5 V，I_{ds} 为 40% I_{dss}。4 mm FET 的 I_{dss} 和击穿电压分别为 1.5 A 和 20 V。FET 的负载阻抗(Z_L)等效为 R_L 和 C_L 的并联。负载阻抗的实部 R_L 为 13 Ω。负载阻抗的虚部 C_L 为 $-C_{ds}$。

解 对于 5 W 放大器，器件的输入阻抗需匹配到 100 Ω，而输出匹配网络将 100 Ω 的输出阻抗变换到 6.5 Ω 负载阻抗，从而让 8 mm 器件的输出满足最大输出功率条件。当将两个这样的放大器并联起来，得到的放大器的输入阻抗与输出阻抗都变为 50 Ω。如图 10.3(a)所示，匹配网络中既使用了集总元件，也使用了分布参数元件。MIM 电容密度为 300 pF/mm^2，基片厚度为 75 μm。输入和输出匹配网络的元件选择需分别满足无条件稳定和最小化损耗。最后，这两个单端式放大器在同一个芯片中结合在一起形成 10 W 功率放大器。

过驱动 10 W MMIC 功率放大器的照片如图 10.3(b)所示。为了获得更好的 RF 特性，这个 10 W的放大器芯片装配在镀有 CuW 的金上。在频率为 5.5 GHz 时，输出功率和 PAE 与输入功率的典型测量值如图 10.4 所示。在 2 dB 增益压缩点处，输出功率为 10 W，PAE 为 38%。对于其他性能测量值，噪声系数小于 5.2 dB，AM-PM 转换在 $P_{1\,dB}$ 处约为 1°/dB。而对于 B 类 HPA，AM-PM 转换在 $P_{1\,dB}$ 处比 1°/dB 高得多。

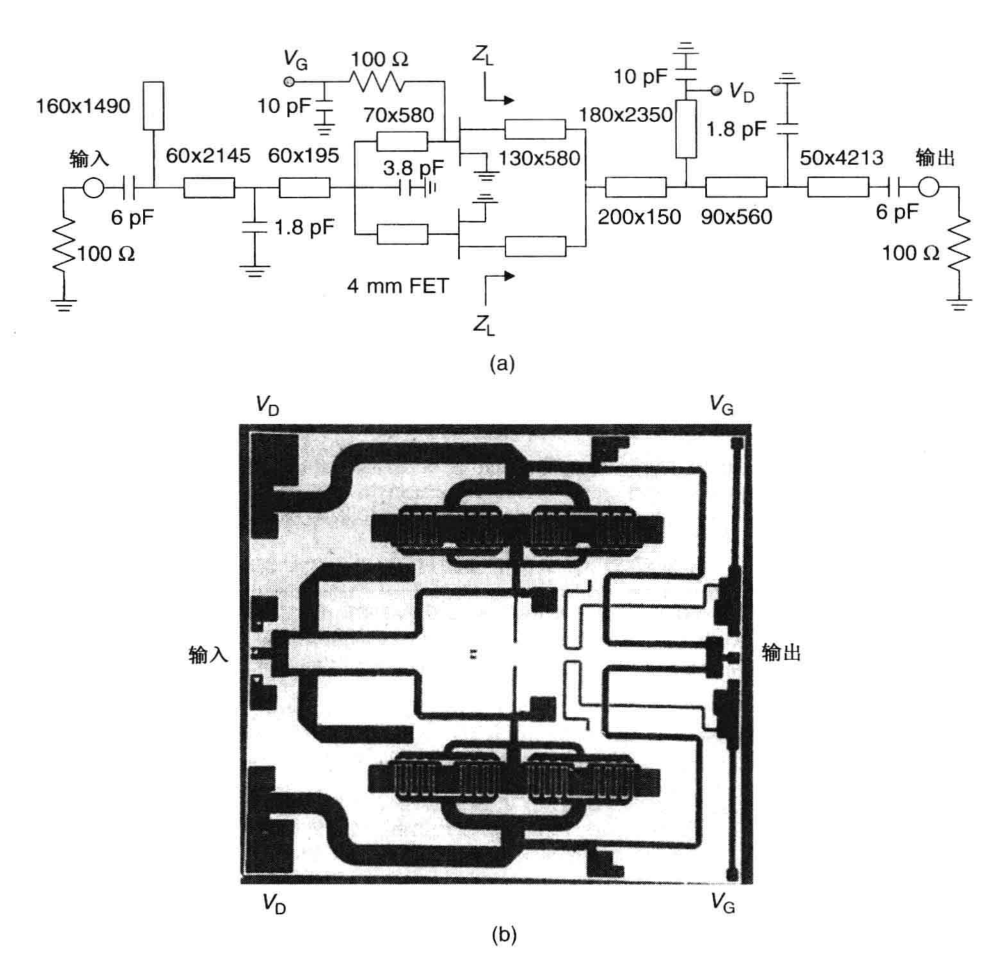


图 10.3　(a)5 W 过驱动功率放大器原理图，两个这样的放大器组合起来获得10 W HPA，微带尺寸(长，宽)的单位为微米(μm)；(b)10 W MMIC功率放大器的照片，芯片大小为4.14 ×4.48 mm^2

10.1.2　B 类放大器设计

B 类放大器的设计与过驱动 HPA 设计相似，不同的是 B 类放大器偏置的导通角要小些，为 180°～270°范围内。最优负载值与 A 类很接近。在 RF 或低频微波频段，经常使用宽带、低损耗的 180°巴伦的推挽结构来消除偶次谐波，从而在输出端重新生成完整的正弦波形。原理上，终端没有很强的谐波。这种情况下，B 类放大器的小信号增益比过驱动 HPA 要低。在 B 类放大器中，增益扩张可以经常观察到。因为 B 类放大器的增益比 A 类放大器低 6 dB，因此在微波频段经常使用 AB 类。设计这些放大器都是类似的，B 类放大器的设计在参考文献[3～15]中被广泛研究。

例 10.2　这是一个个人通信网络(personal communication network，PCN)功率放大器的设计例子。这类放大器的典型参数与表 10.2 中所列相似。

解　此放大器包括两级。下面，我们将一步步地讲述放大器的设计。

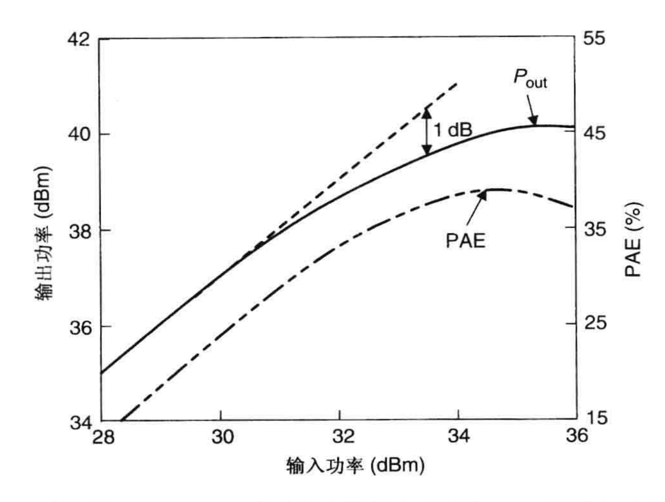


图 10.4　过驱动 10 W MMIC 功率放大器输出功率与 PAE 随输入功率的变化

表 10.2　使用双电源供电的 PCN 功率放大器的详细参数

频率范围	1.7 ~ 2.2	GHz
增益	20	dB
输出功率	34.5	dBm
PAE	45	%
输入回波损耗	2∶1	VSWR
负载失配	(V_D = 5.5 V, VSWR = 10∶1, P_{in} = 最大)	输出功率保持不变
谐波(P_{out} = 34.5 dBm)	−35	dBc
稳定性	(P_{out} = −46 ~ +34.5 dBm, P_{in}控制, V_D = 2 ~ 5.5 V, 负载 VSWR = 8∶1)	所有的非谐波输出功率至少低于想要信号 70 dB
噪声功率	−64	dBm
漏极电压, V_{ds}	3.5	V

FET 的选择　首先选择合适的 FET 类型，本例子使用 MESFET，它有能力实现足够的功率和效率，以满足如上条件。第二级与第一级的 FET 栅宽选择为 4.2∶1，这样足够低的比值使第一级放大器有足够的输出功率让第二级放大器饱和。21 mm 的 MESFET 在最大工作效率下能输出34.5 dBm(134 mW/mm)的功率，足够作为末级放大器的晶体管。在小 FET 单元上进行负载牵引法测量得到：当 V_{ds} = 5 V 时，MESFET 能够达到260 mW/mm 的功率密度，具有 13 dB 的增益(压缩点以下)和 68% 的 PAE。通常，当 FET 单元减小 5 ~ 20 倍，功率密度急剧下降。相比于小 FET 单元，大 FET 单元在增益与功率密度上有更大的损耗，因为大 FET 单元由于源电感灵敏度不好，输入和输出匹配会带来损耗，且大 FET 单元每个栅指的相位灵敏度也不好，也会带来损耗。

本例中使用的功率晶体管为自对准栅的 MESFET，它的夹断电压典型值为 −2.9 V，它有 440 mA/mm 的峰值电流、0.9 V 的拐点电压(knee voltage)。图 10.5 为测量出的 S 参数，

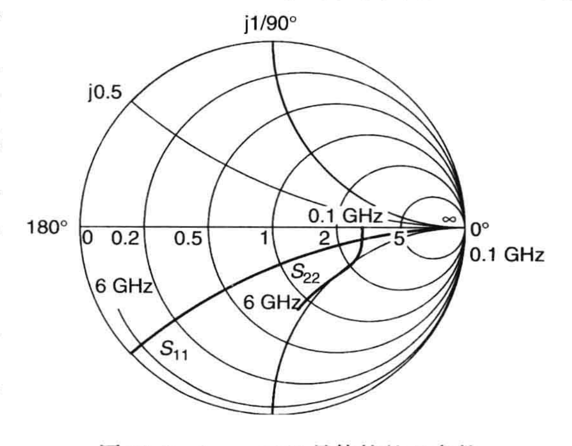


图 10.5　1 mm FET 晶体管的 S 参数

S_{21}与计算出的最大增益如图 10.6 所示。在 1.9 GHz 时，FET 具有 22 dB 的稳定的小信号增益。图 10.7为1 mm FET 的负载牵引线。通过 ATN 负载牵引系统测量得到，在3.5 V 时，MESFET 最大功率密度约为 186 mW/mm。图 10.8 为使用1 mm FET 模型负载牵引法测出的 PAE。在3.5 V 时，1 mm FET 最大输出功率的负载阻抗为0.411∠161.5°，具有最大效率的负载阻抗为0.191∠47.1°。为获得最大效率或最大输出功率，输入阻抗要求为0.809∠77°。

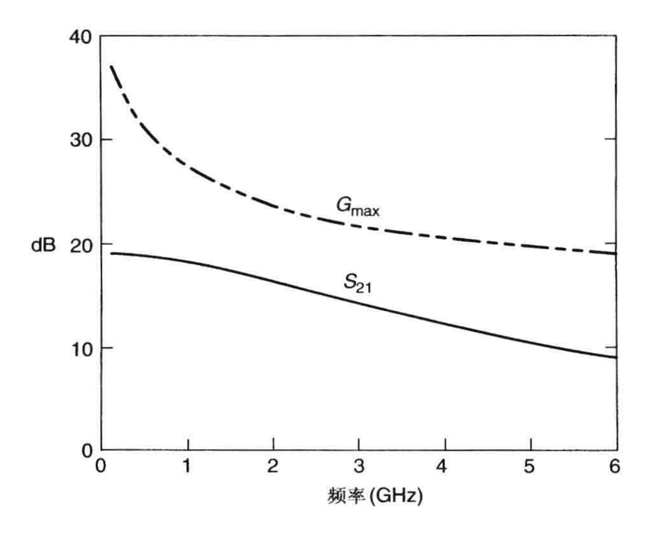


图 10.6　1 mm FET 的 S_{21} 和 G_{max}

设计考虑　设计一个两级放大器，既有芯片内匹配，也有芯片外匹配。片外匹配是为了减少 GaAs 芯片尺寸，并节约成本。片外电路主要包括偏置扼流电路、直流模块与 RF 旁路电容。片外匹配电路实际达到 3 GHz。21 mm MESFET 的负载为一个低通网络，由键合线、封装引脚产生的电感与一个并联电容组成。芯片使用 16 脚超薄紧缩小型封装（Thin Shrink Small Outline Package，TSSOP）。图 10.9 为 40 mil 键合线与引线架的集总参数等效模型。

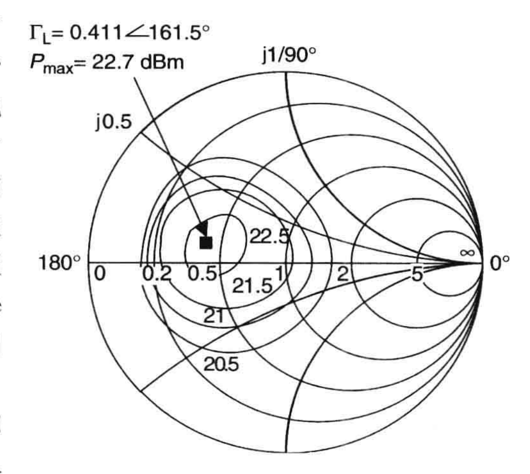


图 10.7　使用 1 mm FET 模型和负载牵引法测量出的输出功率

基波频率与二次谐波频率的负载阻抗如图 10.10 所示。第一级 FET 的负载阻抗是输入功率的函数，如图 10.11所示。

此 PA 需要片外输入匹配和片外级间匹配。这需要考虑到最小芯片尺寸与最大灵活性。此放大器适合于工作在 C 波段以下。输入匹配由一条足够长的传输线和一个并联电容构成。级间匹配网络由漏极的一个串联隔直电容和并联电感构成。此并联电感产生于多个键合线与多个引线架引脚串联，并端接在一个高 Q 值的 RF 旁路电容上。通过选择适当数量的键合线和引脚，可以控制并联电感的大小，达到优化调节 PA 以满足特定的参数要求。调节输入/输出元件值也可以优化 PA，以达到最大性能。图 10.12 为两级功率放大器的原理框图，图 10.13 为放大器的片外电路元件。栅漏反馈用于稳定第一级 FET 放大器。MMIC 芯片版图如图 10.14 所示。

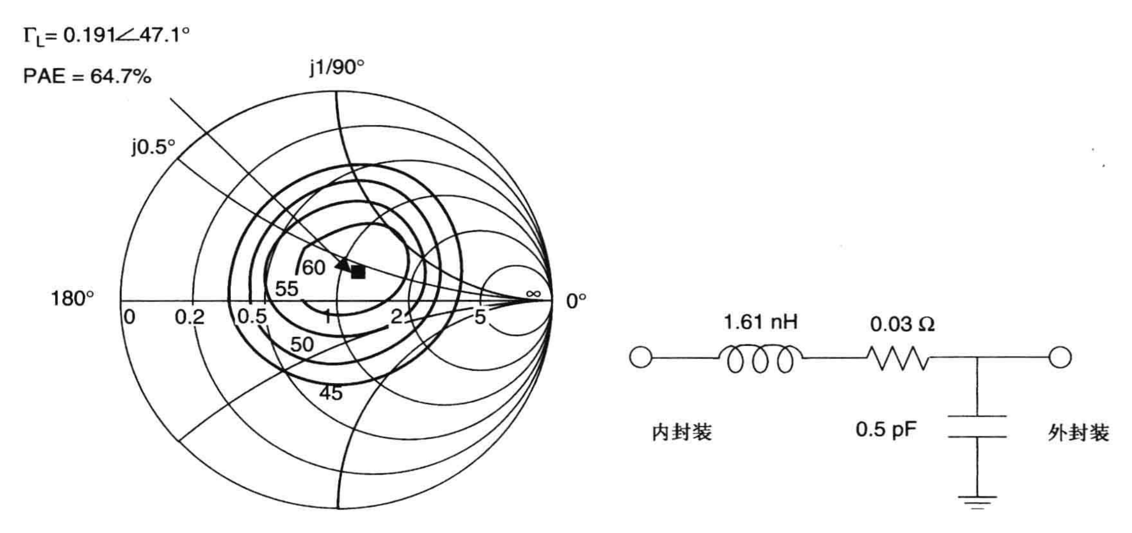


图 10.8 使用 1 mm FET 模型和负载牵引法测出的 PAE　图 10.9 结合 TSSOP 键合线与引脚的等效电路模型

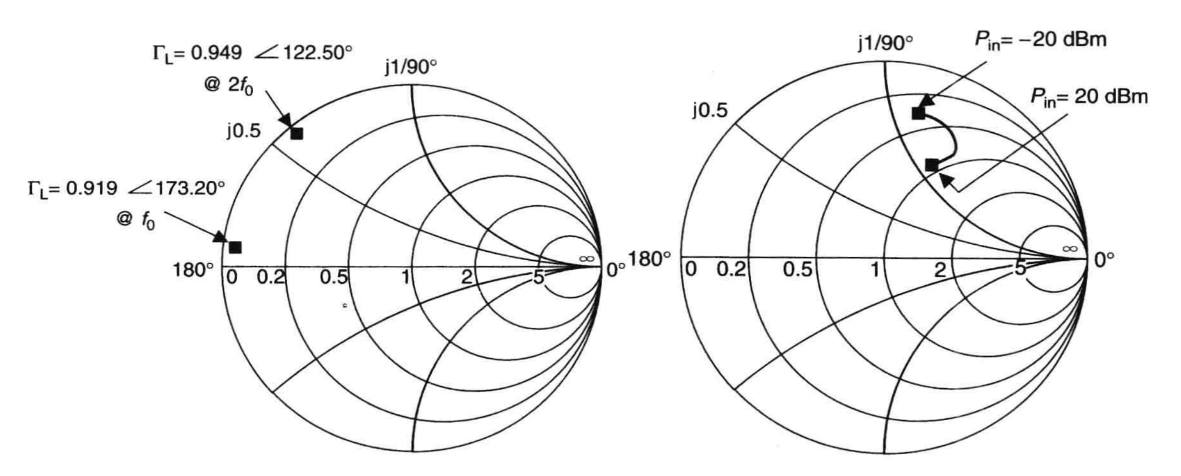


图 10.10 21 mm FET 的仿真负载阻抗

图 10.11 第一级 MESFET 负载为输入功率的函数(仿真结果)

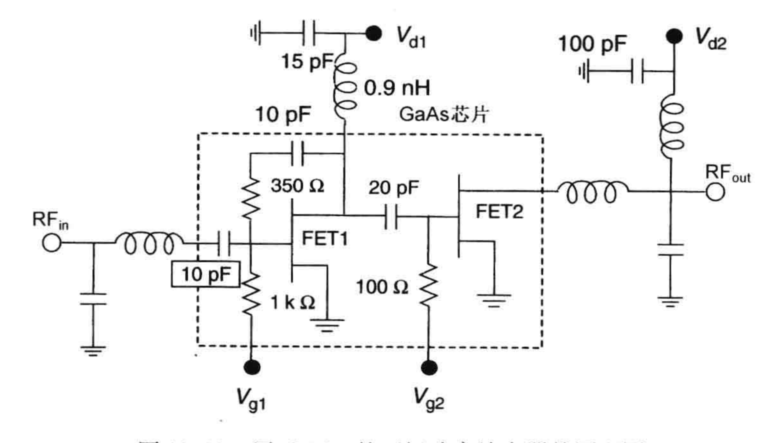


图 10.12 用于 PCN 的两级功率放大器的原理图

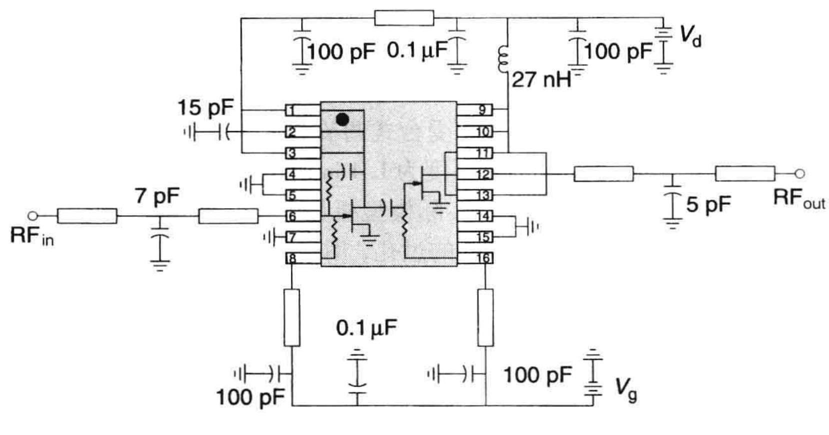


图 10.13　PCN 功率放大器的原理图(片外元件)

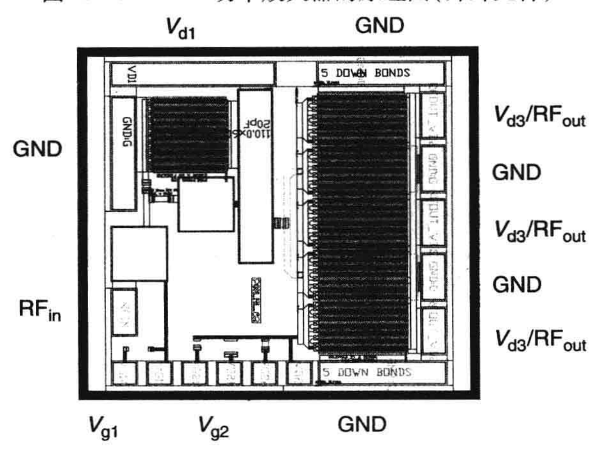


图 10.14　PCN 功率放大器的物理版图

封装选择　MESFET 放大器芯片使用环氧树脂胶合在 TSSOP 的 16 脚塑料封装内。高热传导率的环氧树脂用于将放大器芯片绑定在引线架上。环氧树脂的热传导率为 80 W/m·℃。放大器芯片用 1 mil 直径的金线键合在引线架上。引线架被焊接在一块 FR-4 模型板上。每个引线架的引脚宽 18 mil，与 50 mil 的焊盘通过微带线或共面波导相连。图 10.15(a)显示了塑料封装的 MMIC 芯片的引线连接。封装后功放的裸露结构如图 10.15(b)所示。

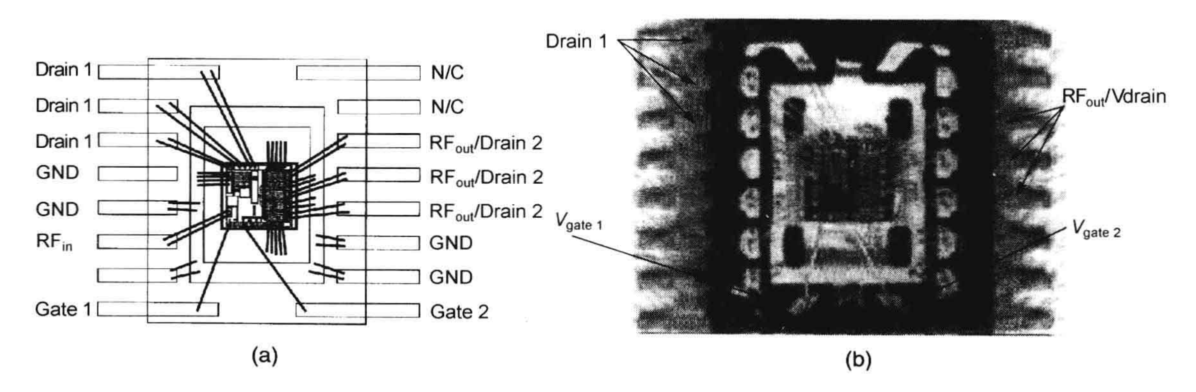


图 10.15　(a)两级 PCN 功率放大器的键合图;(b)开放腔式的 TSSOP 封装的 PCN 功率放大器

板材特性　RF 模型板为多层 FR-4 板。顶部电介层为 10 mil 厚。顶部金属层由 1 盎司[①] Cu(1.4 mil 厚)构成。地在顶部金属层 10 mil 以下，由 2 盎司 Cu(2.8 mil)构成。RF 层与地层之间的厚度为 10 mil，50 Ω 微带线的线宽为 17.5 mil。整个板子的厚度为 62 mil，与标准 RF 连接器兼容。这个 62 mil 厚的 FR-4 非常坚固，能承受台式调节测试。

FR-4 的介电常数大约为 $\varepsilon_r = 4.3$，金属厚度为 1.4 mil。10 mil 厚 FR-4 上的微带线的介质损耗为 $\delta = 0.012$，典型的钻孔直径为 14 mil。实际模型板如图 10.16 所示，板上的每个组件都是电镀焊接的。FR-4 板有一部分打满了 14 mil 的过孔，用于引线架的散热，这可以让封装内的芯片变冷一点。

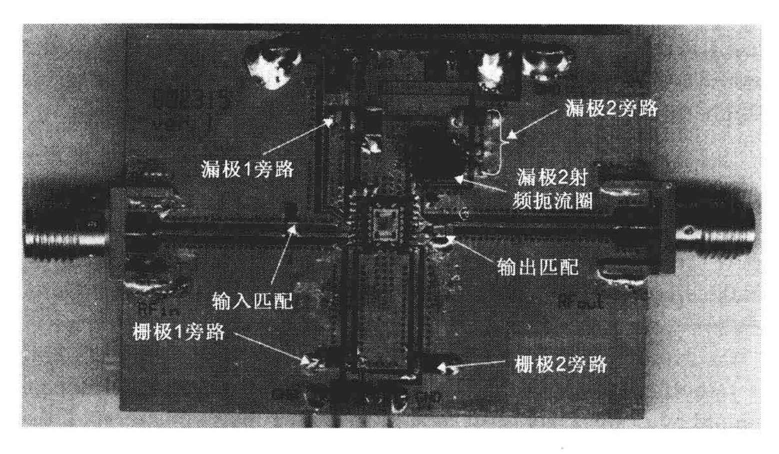


图 10.16　PCN 功率放大器的模型板

放大器的仿真 RF 漏极电流、输出功率、PAE 等性能如图 10.17、图 10.18、图 10.19 所示。封装级/板子级提供了足够的谐波调节，由仿真所得的 68% 的 PAE 是可以达到的。

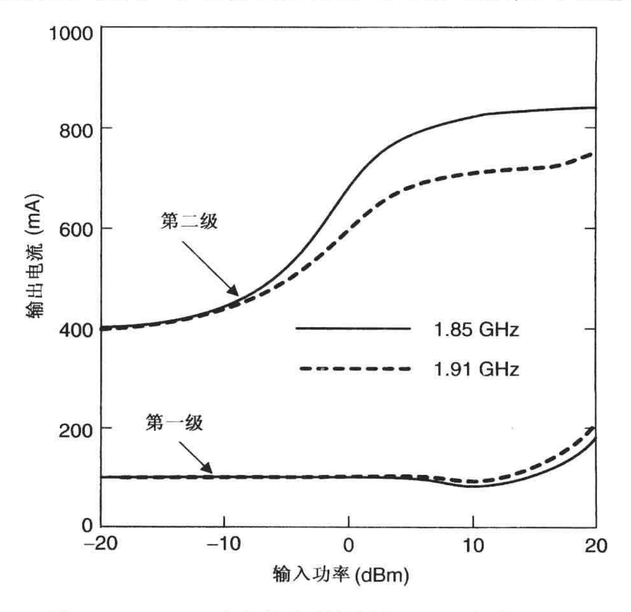


图 10.17　PCN 功率放大器的漏极电流(仿真结果)

① 1 盎司 = 28.35 克。

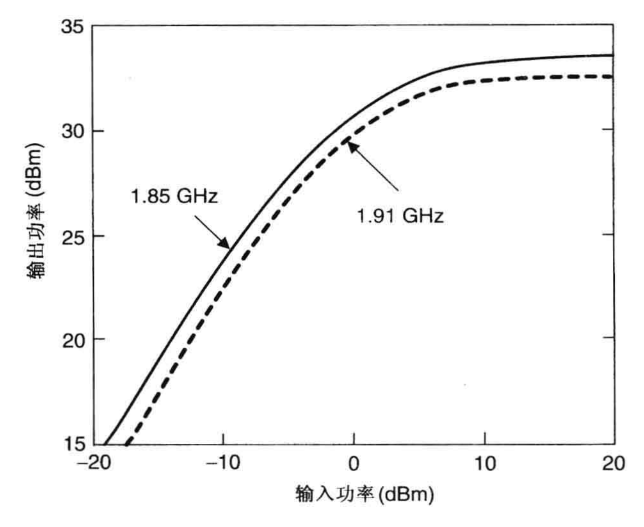


图 10.18　PCN 功率放大器的输出功率(仿真结果)

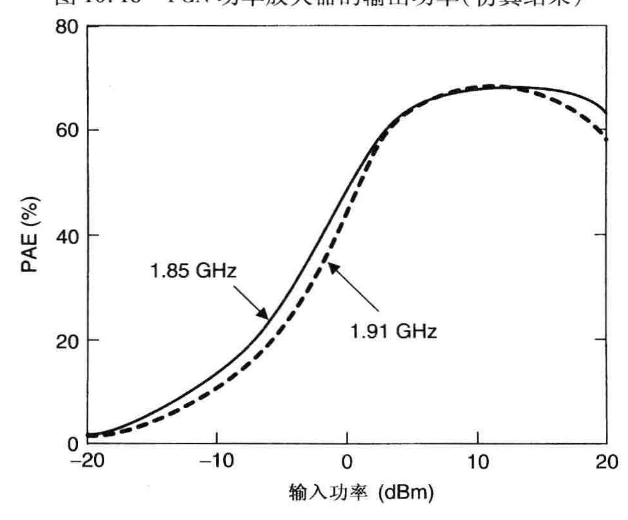


图 10.19　PCN 功率放大器的 PAE(仿真结果)

10.1.3　E 类放大器设计

如参考文献[16]所述，在射频频率低端，E 类放大器比 B 类、C 类、F 类具有更高的效率和更好的线性度。到目前为止，E 类放大器仅仅使用在 VHF 频段;然而，最近在无线应用的研究显示，FET/pHEMT 可以在更高的射频频率甚至微波频率低端作为 E 类器件。E 类放大器的设计在众多刊物上已发表[16~35]。E 类放大器的理论分析在第 8 章已经讲到。下面将简要讨论此类放大器的设计。

图 10.20 为 E 类放大器的基本结构，其中晶体管器件由一理想开关 S 代表。器件的输出电容 C_{ds}(同第 8 章中的 C_d)与开关并联。在输出端，串联 L_0-C_0 调谐电路、电抗元件 jX、负载 R_L 将串联连接。通过选择合适的偏置条件和输入驱动功率电平，器件可以近似为一开关，它以 RF 输入频率周期性地开启与关闭。串联调谐电路调谐在输入频率上，因此基波频率信号会达到负载 R_L。电抗元件 jX 调节输出电压与开关电压波形之间的相位以达到最大效率。理想 E 类的漏极效率接近 100%。

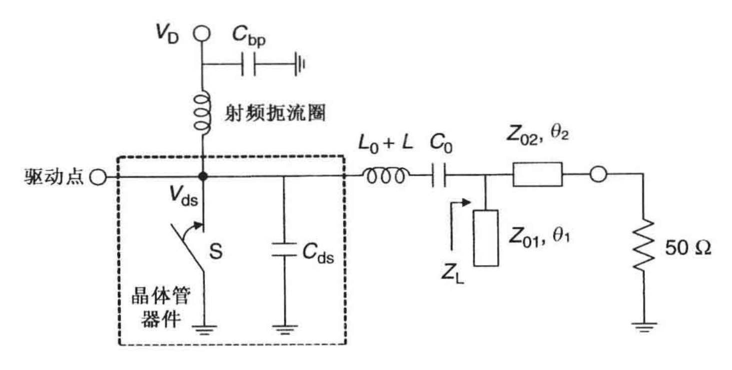


图 10.20 经典 E 类功率放大器阻抗匹配网络的原理图

E 类放大器设计的公式在第 8 章已经给出，内在电阻 R_S、输出电容、最大电流与工作电压都会影响放大器的性能和 E 类放大器可工作的最大频率。最大频率 f_{max}、负载阻抗 Z_L、输出功率 P_o、串联电感 L 与漏极效率 η_D 如下所示[22, 23]：

$$f_{max} = \frac{I_{max}}{56.5\, C_{ds} V_{ds}} \tag{10.1}$$

$$Z_L = (0.183 + j0.211)/(\omega_0 C_{ds}) = R_L + jX_L \tag{10.2}$$

$$P_o = 0.577\frac{V_{ds}^2}{R_L} = 1.7337\ I_{ds}^2 R_L \tag{10.3}$$

$$L = 1.1525\ R_L/\omega_0 \tag{10.4}$$

$$\eta_D = \frac{1+\left(\frac{\pi}{2}+\omega_0 C_{ds} R_s\right)^2}{\left(1+\frac{\pi^2}{4}\right)(1+\pi\ \omega_0 C_{ds} R_s)^2} \tag{10.5}$$

这里，V_{ds}为供电电压，I_{ds}为器件电流，I_{max}为器件的开放沟道电流，ω_0为角工作频率，假设谐波都开路。

例 10.3 图 10.20 为经典 E 类放大器阻抗匹配网络原理图。阻抗匹配网络的目的是将 50 Ω 转换成由式(10.2)给出的最优负载 Z_L。电感 L_0与电容 C_0在基波频率f_0处提供串联谐振。单级 E 类放大器设计为高 PAE。单端式放大器设计中含一个使用 1.0 mm FET 的单级放大器。FET 偏置在 8 V，15% I_{dss}，接近 B 类。对于该器件，C_{ds}与 I_{max} 分别为 0.12 pF 和 0.32 A。f_T与f_{max}分别为 16 GHz 和 5.9 GHz。注意f_T是对晶体管而言的，而f_{max}是对 E 类工作而言的。放大器的工作频率f_0设为5 GHz。此设计已经使用表 5.7(见第 5 章)的非线性模型仿真了，基片使用 75 μm 厚的 GaAs。设计参数为

$$Z_L = (0.183 + j0.211)/\omega_0 C_{ds} = 48.54 + j55.97\ \Omega$$
$$L = 1.1525 \times 48.54/31.4 = 1.7816\ \text{nH}$$

总电感$(L + L_0)$为 3 nH，因此

$$L_0 = 1.2184\ \text{nH} \quad 和 \quad C_0 = 1/[(2\pi f_0)^2 L_0] = 0.8324\ \text{pF}$$
$$W_1 = 50\ \mu\text{m} \quad \ell_1 = 4000\ \mu\text{m}$$
$$W_2 = 14\ \mu\text{m} \quad \ell_2 = 4600\ \mu\text{m}$$

使用这些参数计算出的输出功率与效率都很低，因此需要调节 L 的值以获得最优的输出功率与效率。将 L 的值调节为 0.7316 nH。此设计中，1 mm FET 输入端实现共轭匹配，则仿真出的功

率增益、输出功率、漏极效率、PAE 分别为 8.7 dB、24.7 dBm、77.3%、66.9%。输出功率比预期的 28.7 dBm 低了 4 个 dB。频率低端负载由式(10.2)给出，而在频率高端则对功率估计过高了[22]。

为获得最大 PAE，前面提到的晶体管测量出的负载为 56.25 Ω，它与 C_{ds} 并联。在这种情况下，设计参数为

$$Z_L = 53.83 + j11.42\ \Omega$$
$$L = 1.1525 \times 53.83/31.4 = 1.9758\ \text{nH}$$

因此，

$$L_0 = 1.2184\ \text{nH},\quad C_0 = 0.8324\ \text{pF}$$
$$W_1 = 35\ \mu\text{m},\quad \ell_1 = 5150\ \mu\text{m}$$
$$W_2 = 35\ \mu\text{m},\quad \ell_2 = 2300\ \mu\text{m}$$

使用这些参数计算出的输出功率与效率都很低，因此需要调节 L 的值以获得最优的输出功率与效率。将 L 的值调节为 1.1816 nH，则仿真出的功率增益、输出功率、漏极效率、PAE 分别为 8.5 dB、26.5 dBm、79.2%、68%。这样，输出功率比预期的 28.7 dBm 仅低了 2 个 dB。

表 10.3 对参考文献[23]中的 3 个 E 类功率放大器的测量性能和预期性能进行了比较。此器件使用 5 mm 栅长的 FET，使用 6 V 的供电电压。此器件的 C_{ds} 和 I_{max} 分别为 2.6 pF 和 1.2 A。负载值的计算由式(10.2)得出。

表 10.3　3 个 E 类功率放大器的测量值与预期值的比较

频率(GHz)		0.5	1.0	2.0
测量的增益(dB)		15.3	14.7	9.1
P_o(W)	预期值	0.77	1.35	2.07
	测量值	0.55	0.94	0.53
η_d(%)	预期值	85	73	56
	测量值	83	75	62
测量的 PAE (%)		80	73	54

除了工作在 2 GHz 的输出功率之外，测量值与预期值都能合理地吻合。这是因为此晶体管的 f_{max} 为 1.4 GHz，而工作频率低于 f_{max}。

通过控制二次和三次谐波，E 类放大器的效率可以进一步提升[22]。如图 10.21 所示，此电路包括二次和三次谐波处的方波开路节。选择合适的 θ_1、θ_2、θ_3、θ_4 值，这样在基波频率 f_0 时，匹配网络能够在开关位置 1 处提供想要的负载阻抗。在 $2f_0$ θ_2 时，θ_4 在位置 3 处提供短路，当 $\theta_1 + \theta_3 = \lambda/2$ 时，将在位置 1 处也实现短路。在 $3f_0$ 时，θ_2 在位置 2 处提供短路，当 $\theta_1 = \lambda/4$ 时，将在位置 1 处实现开路。

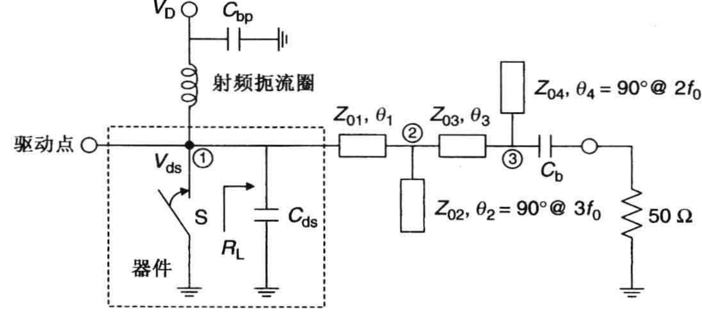


图 10.21　基于 E 类放大器的谐波调节传输线

10.1.4 F 类放大器设计

在微波频率，开关模式的 E 类晶体管放大器没有很好的输出功率和效率性能，因为开关速度的有限性与电压和电流波形的重叠。相比于其他类的放大器，随着频率的提高，E 类放大器输出功率下降得更快。F 类放大器经常用于在微波频率获得高的 PAE。F 类放大器的理论分析已经在第 8 章讲过。下面将简单讨论一下 F 类放大器的设计。

F 类放大器的设计需要谐波调节或谐波终端，这在参考文献[36 ~ 56]中已得到广泛研究。然而，在高频(低于 18 GHz)，终止二次到三次谐波是可能的，从而获得更高效率。除了阻抗匹配网络之外，谐波谐振器会在输出匹配时产生额外的损耗。因为高于三次的谐波对降低复杂度和损耗的意义不大，因此在大多数实际的高效率放大器设计中，仅仅考虑二次和三次谐波。

谐波终端

原理上，在输入/输出端带有合适的谐波调节的功率放大器，能增加输出功率 0.5 ~ 1.0 dB，增加 PAE 10% ~ 15%。PAE 的提高可以通过控制二次谐波或三次谐波，或二者都控制。在较高的频率时，由于匹配网络元件的寄生电抗和其他寄生电抗(例如非连续性)，因此在器件非线性工作条件下，如果要精确知道谐波终端，就需要确定谐波信号的正确相位终端。在这种情况下，一个简单的方法是:将晶体管非线性输出电流源看过去的负载看成是阻性的，也就是电抗部分将呈现给所有谐波。在这种情况下，负载连接在晶体管的内部端口，如图 10.22 所示。为获得最大输出功率与 PAE，需满足如下三个条件:

1. 在输入端口(A 端口)共轭匹配，以获得最大增益。
2. 需要从内部端口转换过去的基波频率负载，可获得最大输出功率与 PAE。
3. 需要从内部端口转换过去的谐波频率负载，可获得最大 PAE。

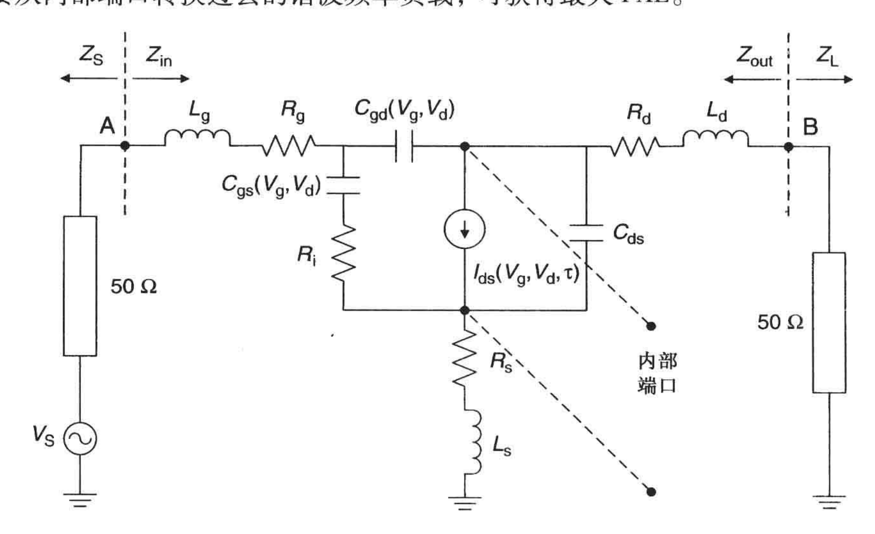


图 10.22 呈现负载的非线性晶体管

当然，这三个条件需要在工作的频带范围内都满足。在输入端口，对偶次谐波的短路传输线将导致晶体管栅极上出现方波电压，这也将提高 PAE。

带匹配网络的器件输出如图 10.23 所示。其中，Z_L 为从内部端口看过去的 R_{opt} 的转换值。给定 R_{opt}、C_{ds}、R_{ds}、R_d、L_d，可以计算出 Z_L。匹配网络的作用是将 50 Ω 转换成需要的负载 Z_L。放大器输出的简单匹配网络，包括带偏置电路的和不带偏置电路的，如图 10.24 所示。

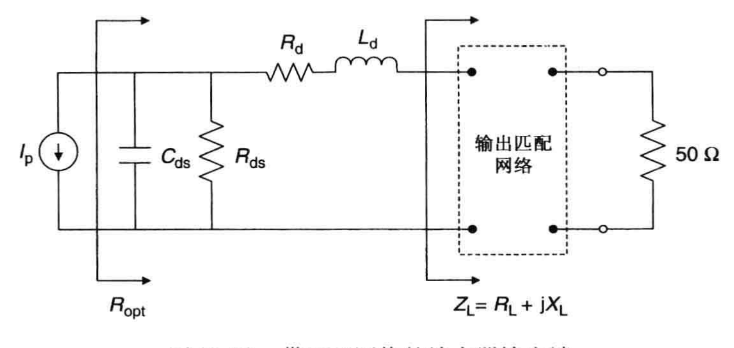


图 10.23　带匹配网络的放大器输出端

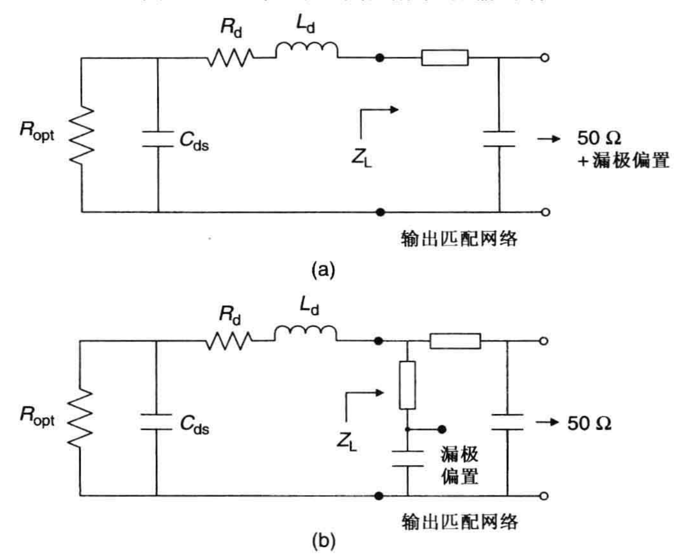


图 10.24　带匹配网络的器件输出端:(a)不带偏置网络;(b)带偏置网络

图 10.25 为 F 类放大器的结构。为提高放大器的效率，输入/输出都需要谐波终端。有很多种匹配网络可以用于提供想要的终端条件;然而，必须考虑的是，如何获得终端条件而不增加电路损耗和电路复杂度。在 C 波段，输入端的二次谐波终端可以提高 PAE 3% ~5%，输出端的二次与三次谐波终端可以提高 PAE 7% ~10%。加起来，10% ~15% 的 PAE 提高是可能的。

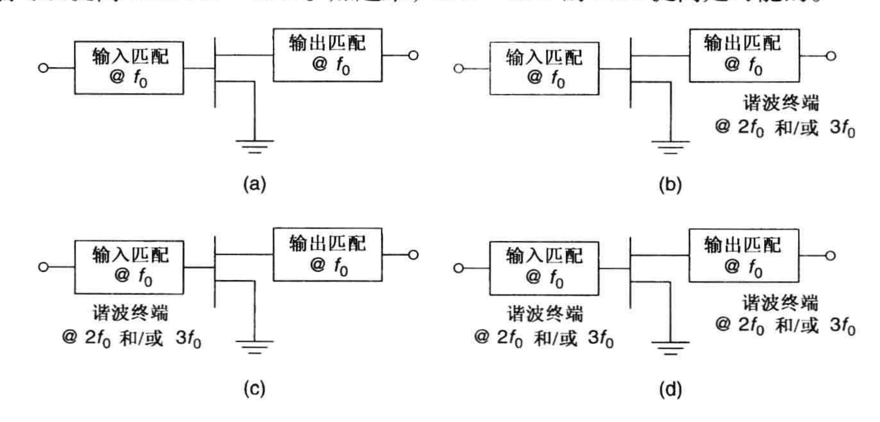


图 10.25　谐波调节拓扑结构:(a)无谐波终端;(b)输出端二次和/或三次谐波终端;(c)输入端二次和/或三次谐波终端;(d)输入和输出端二次和/或三次谐波终端

图 10.26 为几种可能的谐波终端的输出匹配网络。在 F 类放大器中，PAE 的提高是通过采用多个谐振输出匹配网络来控制谐波功率电平，从而整形漏极电压和/或漏极电流波形。理想设计中，在器件内部端口，所有的偶次谐波都短路以产生半正弦波，而所有的基次谐波都开路以将输出电压波形整形为方波。当输出电压与电流没有重叠时，理想情况下，100% 的漏极效率是可能的。

在图 10.26(a)中，输出匹配网络包括一个串联 $\lambda/4(f_0)$传输线和一个并联连接的并联电感-电容谐振器。选择的电容 C_0需与 L_0在基波频率 f_0处提供谐振，并且在谐波频率处有较低的阻抗。在 C 波段以上，$C_0=5$ pF 或更大以满足上面的条件。在 f_0时，谐振器开路，$\lambda/4$ 传输线将 50 Ω 转换为需要的负载阻抗 Z_L。在谐波频率时，谐振器短路，$\lambda/4$ 传输线让偶次谐波对漏极短路，让奇次谐波对漏极开路。在图 10.26(b)中，输出匹配包括一个 $\lambda/4(f_0)$短路节和一个串联的 $\lambda/4(f_0)$传输线。短路节让偶次谐波对漏极短路。图 10.26(c)显示了另一种原理，它在 f_0时提供需要的阻抗，在 $2f_0$时短路(串联谐振)，在 $3f_0$时开路(并联谐振)。这种原理对前两次谐波很有用，并在实际中应用很多。一个任意长度的短截线不可能在所有基次和偶次谐波处提供期望的终端。然而，一种强耦合传输线[见图 10.26(d)]，外加一个合适的电容 C 可以在 f_0时提供需要的阻抗，在 $2f_0$时短路(串联谐振)，在 $3f_0$时开路(并联谐振)。

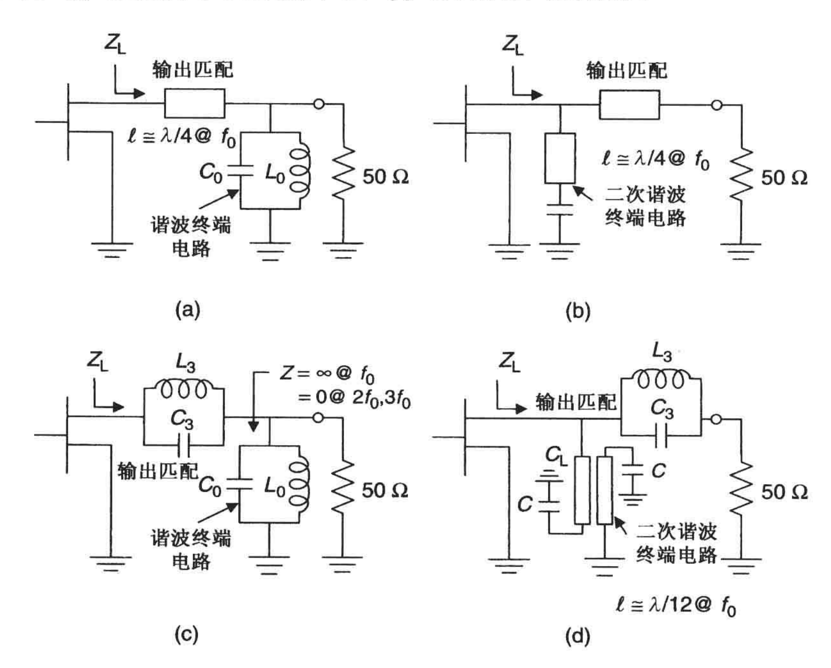


图 10.26　输出端谐波调节拓扑结构，谐波终端电路：(a)二次与三次谐波；(b)二次谐波；(c)二次与三次谐波；(d)二次与三次谐波

图 10.27 为宽带(高达一个倍频程)谐波终端电路。图 10.27(a)在输入/输出端使用了 180°的耦合器，图 10.27(b)在输入端使用了 180°耦合器，在输出端使用了巴伦/变压器。中间抽头变压器在输出端为二次和更高阶偶次谐波电流提供短路。

F 类放大器的设计步骤如下：

1. 输入共轭匹配，从而获得最大增益。

2. 晶体管工作在 B 类，导通角为 180°到 270°。

3. 基波频率的负载阻抗与 B 类放大器相同。
4. 并联 L_0、C_0网络(并联支路)谐振在f_0，并联 L_3、C_3网络(串联支路)谐振在三次谐波 $3f_0$。在f_0时，谐振频率为 $3f_0$的谐振电路表现为一小电感，可以作为匹配元件。
5. 晶体管漏极三次谐波电压应为基波电平的 1/9，请参见第 8 章的 8.6 节。
6. 在多级放大器中，可选择性地使用谐波终端。Trask[43]讨论了许多中间级的负载网络。

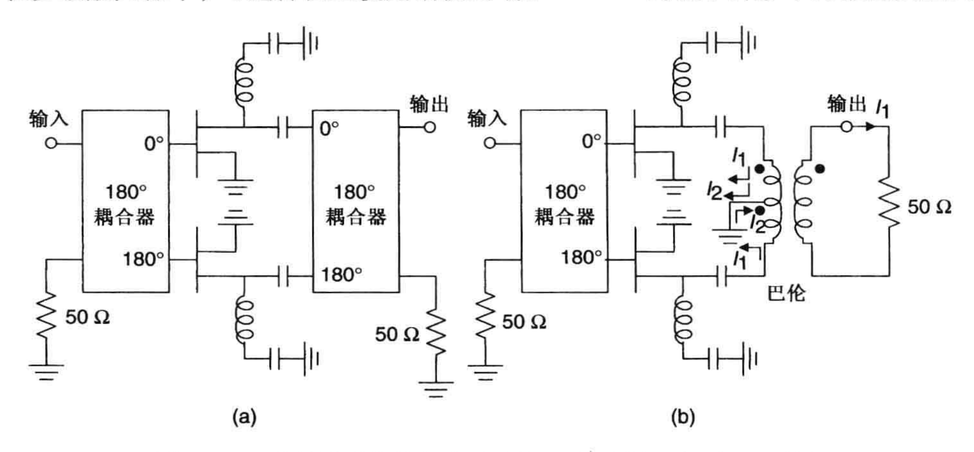


图 10.27　宽带谐波终端电路：(a)输入/输出端都使用 180°耦合器；(b)输入端使用180°耦合器，输出端使用巴伦

例 10.4　在 RF 或微波频率低端，对于 F 类放大器，最大可达到的漏极/集电极效率约为 88.4%。图 10.28为基于此类放大器可能要应用的传输线。在基波频率，各传输线相角由下式[45]给出：

$$\theta_1 = \frac{\pi}{2},\ \theta_2 = \frac{1}{3}\arctan\left(\frac{1}{3Z_{02}\omega_0 C_{ds}}\right),\ \theta_3 = \frac{\pi}{6} \tag{10.6}$$

其中，$\omega_0 = 2\pi f_0$。这些传输线将 50 Ω 变换到晶体管输出端的最优阻抗。这些传输线的参数一般是可以调节的，以获得最大的 PAE。

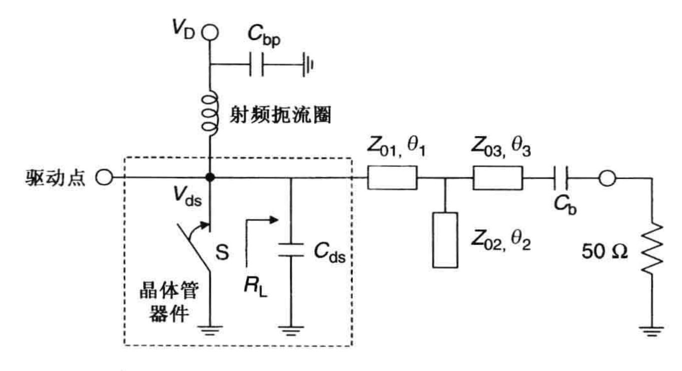


图 10.28　基于 F 类放大器的谐波调节传输线

一个单级的 F 类放大器(见图 10.28)设计为高 PAE，工作在 5 GHz。此单端设计包括一个 1.0 mm FET、输出匹配网络、二次和三次谐波作用终端。FET 偏置在接近 B 类，工作在 8 V，15% I_{dss}。负载阻抗为一 56 Ω 电阻与 −0.3 pF 电容并联。此设计使用表 5.7 给出的非线性模型仿真，基片为 75 μm 的 GaAs。设计参数：

$$W_1 = 20\ \mu\text{m},\ \ell_1 = 4500\ \mu\text{m}$$
$$W_2 = 20\ \mu\text{m},\ \ell_2 = 3600\ \mu\text{m}$$
$$W_3 = 35\ \mu\text{m},\ \ell_3 = 1300\ \mu\text{m},\ \ell_4 = 0$$

此设计中，1 mm FET 输入端为共轭匹配。功率增益、饱和输出功率、PAE 的仿真值分别为 10.1 dB、27.1 dBm、65.3%。

例 10.5 下面将讲述高 PAE 的 F 类放大器设计例子。单端设计包括一级使用 2.5 mm FET[3] 的带高次谐波终端的放大器。FET 偏置在接近 B 类。2.5 mm FET 偏置在 12 V、5% I_{dss}时的集总模型参数(见图 5.2)为

$$R_g = 2\ \Omega,\ R_i = 0.4\ \Omega,\ R_s = 0.6\ \Omega,\ R_d = 0.3\ \Omega,\ R_{ds} = 70\ \Omega$$
$$C_{gs} = 2.5\ \text{pF},\ C_{gd} = 0.1\ \text{pF},\ C_{ds} = 0.2\ \text{pF}$$
$$g_m = 150\ \text{mS},\ \tau = 5\ \text{ps}$$
$$L_g = 0.05\ \text{nH},\ L_s = 0.08\ \text{nH},\ L_d = 0.07\ \text{nH}$$

RF 旁路电容由两个短路短截线($\lambda/4$ 和 $\lambda/6$，在 5.5 GHz 时)连接到漏极来短路掉二次和三次谐波，以增加整个电路的效率。$\lambda/4$ 短截线不会影响基波频率性能。然而，在二倍基波频率处，传输线变为 $\lambda/2$，因而对二次谐波来说阻抗很低。$\lambda/6$ 短路短截线在基波频率处为感性的，是匹配网络的一部分。在三倍基波频率处，此传输线变成 $\lambda/2$，从而可以终止三次谐波。此设计中，2.5 mm FET 在输入与输出端都匹配到 50 Ω。

放大器设计为 MMIC，制作在 75 μm 厚的 GaAs 基片上，接地通过过孔。MIM 电容密度为 300 pF/mm²。满足设计参数的 1.5 W 放大器原理图如图 10.29 所示。在 5.5 GHz 和 12 V 供电电压下，典型性能测量值如图 10.30 所示。输出功率、PAE、增益、二次谐波、三次谐波的测量值分别为 1.7 W、70%、8 dB、-26 dBc、-28 dBc。

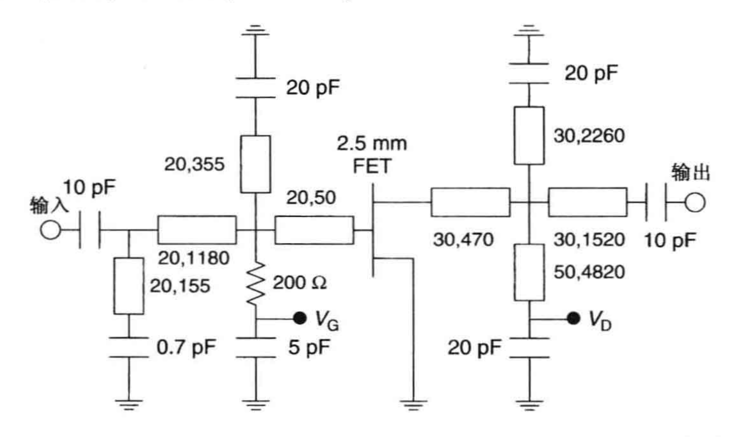


图 10.29 1.5 W F 类 MMIC 放大器原理图(所有传输线尺寸以 μm 为单位)

大多数情况下，在输入/输出端，为所有需要的谐波频率设计出准确的终端条件是很困难的。频率较高时，如在 Ku 波段或更高，实际中因为谐波终端提高的 PAE 只占很少的百分点。由于损耗和匹配网络对二次谐波和三次谐波的滤波作用，因此 PAE 的提高将会减小。因为漏源间的寄生容抗在微波频段是很显著的，所以宽带(跨基波、二次谐波、三次谐波频带)操作是很困难的。然而，在偶次谐波频率上，器件的容抗趋于短路，这将导致更高的 PAE。

在设计高 PAE 功率放大器时，有几个影响 PAE 的因素。频率较低时，谐波终端是非常重要的；而频率较高时，低损耗匹配和精确的负载是非常重要的。为完成谐波终端，需要产生要求的谐波电平，以整形漏极电压和电流。这可以让晶体管工作在接近夹断状态来达到。因为频率较

低时，器件的增益非常高，器件工作在 AB 类(接近 B 类)，可获得大于 12 ~ 14 dB 的小信号增益。为获得高 PAE，必须压缩器件 3 ~4 dB。这种条件下，器件产生丰富的谐波用于波形整形，从而导致高的 PAE。然而，当频率较高时，器件工作在 AB 类(更可能接近 A 类)，通过获得高增益来获得高 PAE。频率较高时，放大器的增益为 8 ~ 10 dB 范围，器件被压缩仅仅 1 ~2 dB。在这种条件下，不能产生丰富的谐波用于小型整形，从而不能获得很高的 PAE。这可能就是为什么对于大多数晶体管工作在 Ku 波段的谐波终端对 PAE 的贡献，比工作在 C 波段或以下的贡献要小得多的原因。

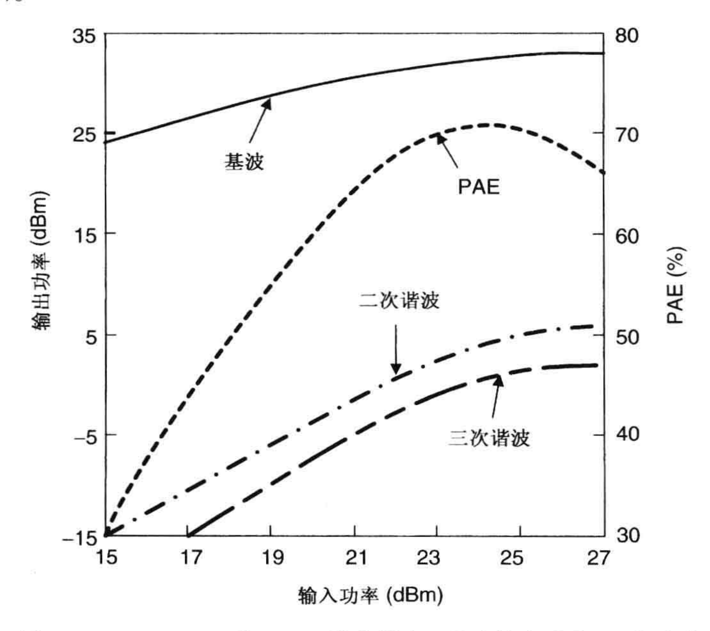


图 10.30　1.5 W F 类 MMIC 放大器中，基波输出功率、二次谐波输出功率、三次谐波输出功率、PAE与输入功率的关系

逆 F 类

逆 F 类，也称 F^{-1}类，是 F 类的另一个版本。在逆 F 类中，谐波终端是开关的，即奇次谐波是开路的，偶次谐波是短路的。理想设计中，在器件输出端，所有的偶次谐波是开路的，以整形输出电流波形为方波;而奇次谐波是短路的，以重新生成输出电压为半正弦波。在理想逆 F 类中，100% 的漏极效率是可能的。有研究说逆 F 类的效率比 F 类的效率要好[55]。然而，考虑器件寄生参数和匹配网络的损耗及非连续性的影响，在微波频段要演示这个结论可能有些困难。

还有其他一些技术可以用于提高功率放大器的 PAE。这将在后面简要介绍。

10.2　谐波作用放大器

谐波作用放大器(HRA)的基本电路结构如图 10.31 所示[57, 58]。它包括两个单端式放大器，通过 Wilkinson 功分器或 90° 电桥组合起来。

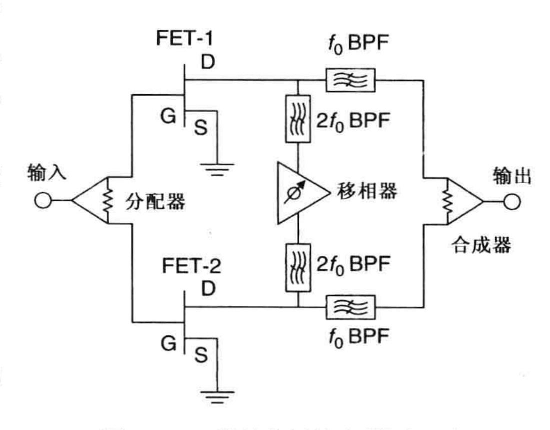


图 10.31　谐波作用放大器原理图

FET 的输出通过传输线路径连接，传输线路径上包含了两个带通滤波器。每个 FET 在基波频率上匹配到想要的阻抗，在传输线路径上匹配在二次谐波频率。当两个器件工作在 AB/B 类时，加入 RF 驱动后在输出端将产生很大的二次谐波信号，但它只会注入二次谐波路径。因此，在这种结构中，二次谐波信号相互注入另一个 FET，从而没有反射。当两个单端式放大器具有相同的性能时，通过调节传输线路径的相位，漏极的二次谐波信号电压相互抵消或短路，从而可以实现高效率。2 GHz、5 W 的 MESFET HRA 已经有 70% 的PAE。

10.3 谐波注入技术

放大器的 PAE 也可以通过如图 10.32(a)所示的谐波注入技术[59]来提高。这种方法中，输入信号被采样、倍频、放大，并以合适的相位注入到功率放大器的漏极。注入的谐波信号允许多谐波波形，以整形基波频率的 RF 输出信号，达到最大可能的 PAE。

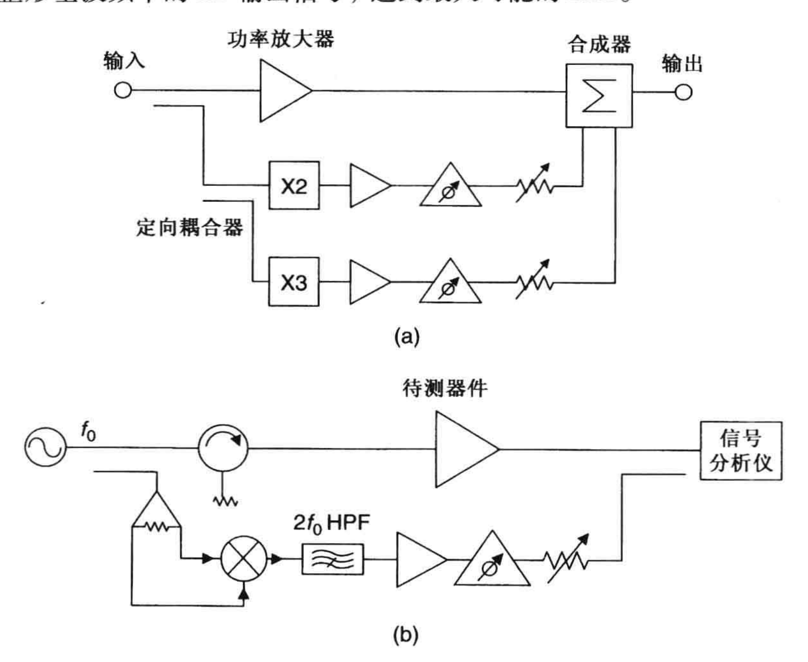


图 10.32 (a)谐波注入放大器原理图，基波、二次谐波、三次谐波的相位与幅度分别单独控制，并在输出端相加；(b)二次谐波注入HPA的测试装置

图 10.32(b)为工作在 1.5 GHz 的验证谐波注入技术有效性的实验平台。待测器件(Device Under Test, DUT)为使用2.5 mm FET 的平衡放大器，放大器设计为最大的增益、输出功率和 PAE，工作在 1.5 GHz，偏置在 10 V。在这个测试系统中，输入信号被采样、倍频，最后注入到放大器的漏极。谐波的相位和幅度是可以调节的，因此可以仿真在 FET 漏极呈现的任意二次谐波阻抗。测试结果是出乎意料的[59]，由表 10.4 给出。二次谐波电平对应于二次谐波为零时的输出功率。利用 -12 dBc 的谐波电平，PAE 可以从 59% 变化到 84%，由此可以看出高效率放大器中合适的谐波终端是极其重要的。本身这种技术是窄带的，并且需要额外的元件来实现。

表 10.4　10 V 偏置时二次谐波注入实验总结

二次谐波电平		Q 点 I_{ds}	P_{out}	PAE	I_{ds}
(-dBc)	(W)	(% of I_{dss})	(W)	(%)	(mA)
0	0	5	0.851	62	131
9	0.107	5	1.148	81	137
12	0.054	5	1.023	75	133
15	0.027	5	0.977	72	132
0	0	10	0.955	59	158
9	0.120	10	1.259	84	147
12	0.060	10	1.148	77	147
15	0.030	10	1.096	72	151
0	0	25	0.977	55	174
9	0.123	25	1.259	62	202
12	0.062	25	1.230	74	166
15	0.031	25	1.122	67	163

10.4　谐波控制放大器

谐波控制技术利用 A 类与 B 类的特性来实现高 PAE 和低失真。谐波控制放大器(HCA)在参考文献[60, 61]中介绍过，本节将给出其显著特点。

图 10.33 为使用两级放大器的 HCA 原理图。第一级放大器偏置在 B 类，第二级偏置在 A 类。第一级设计为双工，即有两个输出信号端口——f_0和 2 f_0。即将基波信号与二次谐波信号分开。调节网络包括衰减器与移相器，用于调节f_0和 2 f_0信号的幅度与相位，然后通过另一个双工器注入第二级的输入。调节网络让第二级的栅极电压整形为方波，这将导致 HCA 工作在 F 类，并具有很低的失真。在 $P_{1\,dB}$双音测试下，放大器的单载波 PAE 为 64%，IM3 为 -29 dBc。饱和点电压与 PAE 分别为 27.9 dBm、71%。

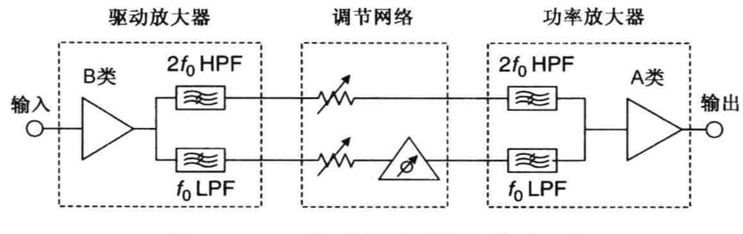


图 10.33　两级谐波控制放大器原理图

10.5　高 PAE 设计考虑

在高 PAE 功率放大器设计中，有几点必须认真考虑。它们分别是谐波终端、高 PAE 负载匹配、低损耗输出匹配网络。几种谐波终端技术将在接下来的章节中讨论。这些技术在窄带设计中往往工作得更好。然而，如果谐波阻抗终端不合适，则可能反过来影响 PAE，特别是在宽带放大器中。这种情况下，谐波必须终止在 50 Ω 负载上，器件应该工作在接近 A 类，从而让产生的谐波比较低。为高 PAE 负载匹配选择低损耗匹配网络，无论是在窄带还是宽带放大器中，都同样重要。

10.5.1 谐波调节平台

很多种谐波调节技术已经在前面介绍了。下面，我们将介绍谐波调节平台，它是一种通过精确的非线性模型预测谐波的产生和它们对 PAE 的影响的测试装置或 CAD。目的是独立检验对功率放大器效率的影响和单个晶体管的谐波调节能力。它能通过如图 10.34 所示的四端口放大器结构实现。四端口多路器可以使用理想集总滤波器或使用理想四端口 S 参数。图 10.35 为使用集总元件设计的四端口多路器的原理图。所有的端口匹配到 $Z_0=50\ \Omega$。

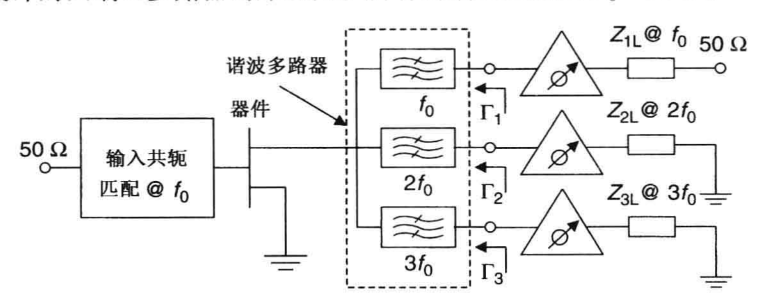


图 10.34 使用四端口多路器的谐波调节功率放大器原理图

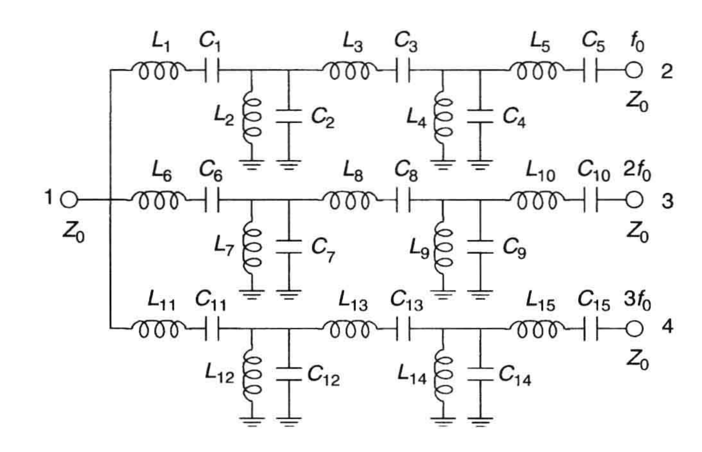


图 10.35 使用集总元件的四端口多路器原理图，所有端口匹配到 $Z_0=50\ \Omega$

对于四端口多路器使用理想集总元件进行设计，在基波频率为 7 GHz 时的各元件值为

$L_1=0.001623$, $L_2=0.686835$, $L_3=19.74598$, $L_4=12.90148$, $L_5=1.373211$

$C_1=0.545355$, $C_2=0.533216$ $C_3=0.026556$, $C_4=0.248627$, $C_5=9.817777$

$L_6=0.521705$, $L_7=0.262430$, $L_8=1.321280$, $L_9=0.077168$, $L_{10}=0.444648$

$C_6=9.857342$, $C_7=0.715008$, $C_8=9.724642$, $C_9=1.854019$, $C_{10}=9.736774$

$L_{11}=0.589948$, $L_{12}=0.032772$, $L_{13}=3.721135$, $L_{14}=20.04767$, $L_{15}=2.976402$

$C_{11}=0.414891$, $C_{12}=1.859923$, $C_{13}=0.296352$, $C_{14}=0.037720$, $C_{15}=9.638715$

电感、电容的单位分别为 nH、pF。多路器仿真出来的插入损耗如图 10.36 所示。输入匹配到三个频率，分别为 7 GHz、14 GHz、21 GHz，插入损耗大于 30 dB。

上面提到的测试平台用于研究谐波终端对放大器性能的影响。在基波频率上，器件是输出匹配到最佳负载，以获得好的输出功率和 PAE；输入端则共轭匹配。偏置在 8 V、25% I_{dss}、工作在 7 GHz 的 1.25 mm FET 的仿真性能如下：

$$G_A = 10 \text{ dB}$$
$$P_o = 28.2 \text{ dBm}$$
$$\text{PAE} = 62\% \ @ \ \Gamma_2 = \Gamma_3 = 0$$
$$\text{PAE} = 70\% \ @ \ \Gamma_2 = 1 \angle -100^\circ \ 和 \ \Gamma_3 = 1 \angle 140^\circ$$

因此，PAE 大约有 8% 的提高(由于二次与三次谐波终端)。器件工作在 9 GHz 时，测量出的增益与输出功率分别为 9.4 dB、28.0 dBm。器件工作在 9 GHz 时，在不同谐波终端条件下，测量出的 PAE 与仿真出的 PAE 对比如表 10.5 所示。

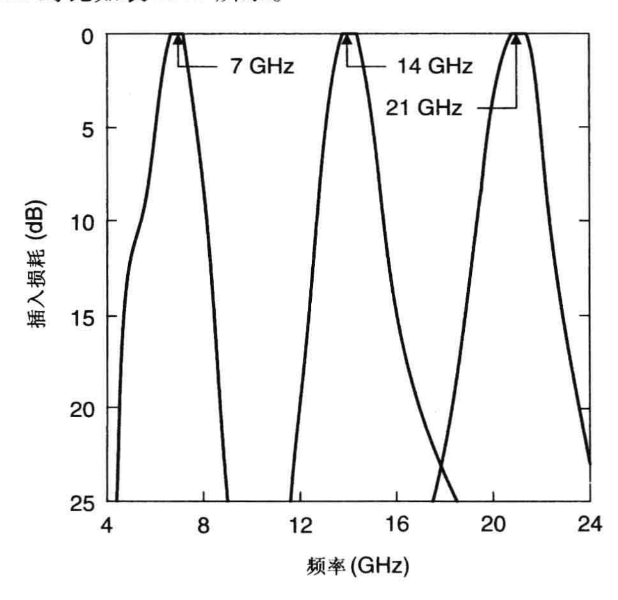


图 10.36　四端口多路器插入损耗的仿真值

表 10.5　谐波调节 PAE 的仿真值与测量值对比

仿真值			测量值		
Γ_2	Γ_3	PAE(%)	Γ_2	Γ_3	PAE(%)
0	0	61	0.1	0.035	58
1.0∠ -60°	0	66	0.95∠ -80°	0.035	62.5
0	1∠160°	63			
1∠ -60°	1∠160°	67.5			

除了使用如图 10.35 所示的四端口多路器之外，也可以使用理想的 S 参数作为多路器。在频率 f_0、$2f_0$、$3f_0$ 的 S 参数分别为

$$[S]_{f_0} = \begin{bmatrix} 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \tag{10.7a}$$

$$[S]_{2f_0} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \tag{10.7b}$$

$$[S]_{3f_0} = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \tag{10.7c}$$

为了获得一定的带宽，可以分别在频率$f_0 \pm \Delta f_0$、$2(f_0 \pm \Delta f_0)$、$3(f_0 \pm \Delta f_0)$处使用相应的S参数。使用S参数比使用实际多路器电路更具有可用性。

10.5.2 匹配网络损耗计算

在功率放大器设计中，输出匹配网络的损耗对输出功率和PAE的影响很大。当器件阻抗变低时，也就是低于Z_S或Z_L时，电流密度变大，因此会导致匹配网络中更大的导体损耗。换句话说，在高功率放大器中，晶体管的输出阻抗变低后，会导致严重的输出匹配失配，从而降低器件的效率。特别注意的是，应该使用高Q值的匹配元件以降低导体损耗。选择合适的匹配网络元件和电路拓扑结构来实现低损耗负载阻抗匹配。输出匹配损耗最好限制在0.2～0.3 dB的范围内，对于窄带，不要超过0.5 dB；但对于超宽带，不要超过1 dB。本节将学习电路Q值和阻抗变换比对匹配网络损耗的影响[70]。

分布元件匹配网络

像第7章讨论过的，考虑特征阻抗为Z_0的$\lambda/4$阻抗变换器。如果阻抗变化比为n，且$n>1$，则

$$n = Z_L/Z_S \tag{10.8a}$$

$$Z_0 = \sqrt{Z_L Z_S} = Z_S/\sqrt{n} \tag{10.8b}$$

尽管阻抗是匹配的，但$\lambda/4$传输线上存在驻波。如果S_i为输入VSWR，S_o为输出VSWR，则它们可以写成

$$S_i = \frac{Z_0}{Z_S} = \sqrt{n} \tag{10.9a}$$

$$S_o = \frac{Z_L}{Z_0} = \sqrt{n} \tag{10.9b}$$

或者

$$S_i = S_o = S = \sqrt{n} \tag{10.9c}$$

驻波的存在，增加了传输线的衰减常数。设α为匹配传输线的衰减常数，即当$\lambda/4$传输线输入与输出端接阻抗都为Z_0，α_S为非匹配（端接阻抗不是传输线的特征阻抗）传输线的衰减常数，则有

$$\alpha_s = \alpha \frac{S^2+1}{2S} = \alpha \frac{n+1}{2\sqrt{n}} \tag{10.10}$$

当$n=4$时，$\alpha_S = 1.25\alpha$；当$n=16$时，$\alpha_S = 1.875\alpha$。因此$\lambda/4$传输线的衰减可以增加50%。

当入射功率为1 W时，长度为ℓ的传输线耗散功率为

$$P_{diss} = 1 - e^{-2\alpha_s \ell} = 1 - e^{-\alpha_s \lambda/2} \tag{10.11}$$

当$\alpha_S \lambda/2 \ll 1$时，

$$P_{diss} = \alpha_s \lambda/2 = \alpha\lambda \frac{n+1}{4\sqrt{n}} \tag{10.12}$$

功率耗散(dB)为

$$P_{\text{diss}} = 10\log\left[1 - \alpha\lambda\frac{n+1}{4\sqrt{n}}\right]^{-1} \tag{10.13}$$

其中 α 的单位为 neper/cm，λ 单位为 cm。1 个 neper 为 8.686 dB。式(10.12)也可以用传输线的品质因素 Q 来表示，因而[71]

$$Q = \frac{\pi}{\lambda\alpha} \quad 或 \quad \lambda\alpha = \frac{\pi}{Q} \tag{10.14}$$

由式(10.12)和式(10.13)可得

$$P_{\text{diss}} = 10\log\left[1 - \frac{\pi}{Q}\frac{n+1}{4\sqrt{n}}\right]^{-1} \tag{10.15}$$

对于一空载 Q 值为 100 的 $\lambda/4$ 微带线且 $n=10$，则 $P_{\text{diss}}=0.12$ dB，而当传输线端接特征阻抗时，耗散功率为 0.068 dB。当 $Q=100$、$n=50$ 与 $Q=25$、$n=50$ 时，耗散功率 P_{diss} 分别为0.253 dB 和 1.11 dB。

集总元件匹配网络

与式(10.15)相似，低通 L 形集总元件匹配网络(在第 7 章讨论过)的耗散损耗近似表达式为[70]

$$P_{\text{diss}} = 10\log\left[1 - \left(\frac{1}{Q_{\text{L}}} + \frac{1}{Q_{\text{C}}}\right)\frac{n+1}{\sqrt{n}}\right]^{-1} \tag{10.16}$$

其中，Q_{L}和 Q_{C}分别为串联电感和并联电容的品质因素。当 $Q_{\text{L}}=Q_{\text{C}}=Q$ 时，有

$$P_{\text{diss}} = 10\log\left[1 - \frac{2}{Q}\frac{n+1}{\sqrt{n}}\right]^{-1} \tag{10.17}$$

当 $Q_{\text{L}}=100$、$Q_{\text{C}}=30$、$n=10$ 时，$P_{\text{diss}}=0.71$ dB。更低的 Q 值将导致更高的损耗。

比较式(10.15)和式(10.17)可知，对于相同的 Q 值，分布元件匹配网络比集总元件匹配网络的损耗小。因此在 HPA 中，常常使用的是分布元件的输出匹配网络。下面，我们将讨论如何减小匹配网络的损耗。

10.5.3　匹配网络损耗的减小

具有提高 PAE 性能潜力的另一领域是减少无源匹配网络结构中的损耗。像前面讨论的一样，匹配网络中的损耗，特别是输出端的匹配网络，严重降低了放大器的效率。尽管使用集总元件设计匹配网络是可行的，但当频率较高时，分布元件具有更低的损耗。其他分布元件中的损耗机理与简单的微带传输线机理相同，都为导体中的欧姆损耗、电介质(MMIC 中的 GaAs，混合 MIC 中的铝)损耗。

导体损耗的减小

表 10.6 为金、银、铜的一些性质。在频率较高时，电流仅仅在导体表面流动，因此让用于传输线的导体变厚并不能减少 RF 损耗。然而，将铜/银换成金则可以减小它们的损耗。由表 10.6 可知，铜/银的表面电阻率比金低了约 20%。在射频频率下，使用相对厚一点的导体($t>5\delta$)也可以减小微带匹配网络的损耗。厚的导体也可以增加电流与功率处理能力。

表 10.6 金、银、铜的性质

元素	电导率 σ(S/m)	磁导率 μ_0(H/m)	趋肤深度，δ，14 GHz 时(μm)	表面电阻，$1/(\sigma\delta)$，14 GHz 时(ohm/□)
金	4.1×10^7	$4\pi\times10^{-7}$	0.66	0.037
铜	5.8×10^7	$4\pi\times10^{-7}$	0.56	0.031
银	6.17×10^7	$4\pi\times10^{-7}$	0.54	0.030

基片厚度的增加

另外一个减小微带线损耗的方法是增加 MIC 和 MMIC 的基片厚度。在 GaAs MMIC 中，如果用 125 μm 的基片代替 75μm 的基片，则微带线的损耗减小约 35%。使用这种方法的问题是这样会影响 FET 的热电阻。根据 Cooke 模型(见第 16 章)，不考虑其他因素引起的改变，625 μm FET 的热电阻从 138℃/W 增加到 167℃/W。这意味着为保证 150℃的最大沟道温度，底板温度必须从最大 80℃减小到最大 65.3℃。然而，在小信号应用中，厚的基片会导致低的噪声系数。

微带结构的修正

为了减小微带匹配网络的损耗，可以使用如图 10.37 所示的脊状微带结构[72]。在这种结构中，带状导体制作在一层薄的聚酰亚胺电介质层上，而聚酰亚胺电介质层则放在 GaAs 基片上。在这种情况下，电能量线更多地分布在空气中，这种结构类似一种悬挂着的微带线，它比传统微带线有更低的损耗。据研究，通过在导体与 GaAs 基片之间放一层薄的、低电介常数材料层(14 μm 厚的聚酰亚胺)，微带线的损耗以因子 2 减小[72]。这种线要比类似的直接在 GaAs 基片上的线有较低(25% ~30%)的线路电容。这是我们想要的另外一个特性，可以让晶体管跨越更宽的带宽。

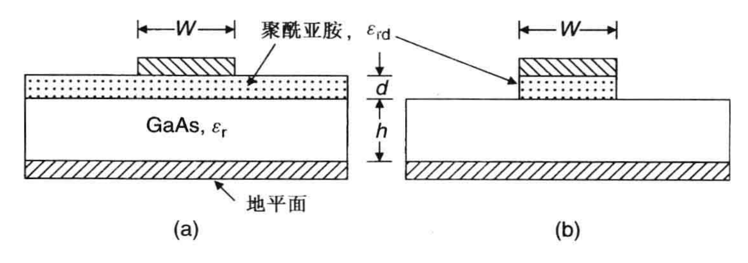


图 10.37 低损耗微带结构

这种修正的结构也用来制作 FET 的偏置电路[11]。在 HPA 设计中，在 10 μm 厚的聚酰亚胺上的低损耗微带线有较低的损耗，特别是在输出匹配网络中。由于在聚酰亚胺上的线有更差的热导率，因此需要考虑这种传输线的热设计[73, 74]。

参考文献

1. D. M. Snider, A theoretical analysis and experimental confirmation of the optimally loaded and overdriven RF power amplifiers, *IEEE Electron Devices*, Vol. 14, pp. 851–857, December 1967.
2. I. J. Bahl et al., C-band 10W MMIC class-A amplifier manufactured using the refractory SAG process, *IEEE Trans. Microwave Theory Tech.*, Vol. 37, pp. 2154–2158, December 1989.

3. I. J. Bahl et al., Class-B power MMIC amplifiers with 70 percent power-added efficiency, *IEEE Trans. Microwave Theory Tech.*, Vol. 37, pp. 1315–1320, September 1989.
4. T. Yokoyama et al., High-efficiency low adjacent channel leakage GaAs power MMIC for 1.9GHz digital cordless phones, *IEEE Trans. Microwave Theory Tech.*, Vol. 42, pp. 2623–2628, December 1994.
5. K. Tateoka et al., A GaAs MCM power amplifier of 3.6V operation with high efficiency of 49% for 0.9GHz digital cellular phone system, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 569–572, 1994.
6. W. L. Pribble and E. L. Griffin, An ion-implanted 13 watt C-band MMIC with 60% peak power added efficiency, *IEEE Microwave Millimeter Wave Monolithic Circuits Symp. Dig.*, pp. 25–28, 1996.
7. C. F. Campbell, A fully integrated Ku-band Doherty amplifier MMIC, *IEEE Microwave Guided Wave Lett.*, Vol. 9, pp. 114–116, March 1999.
8. E. L. Griffin, X-band GaAs MMIC size reduction and integration, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 709–712, 2001.
9. I. Bahl, Design of a generic 2.5W, 60 percent bandwidth, C-band MMIC amplifier, *Microwave J.*, Vol. 45, pp. 54–70, August 2002.
10. T. Shimura et al., A high power density, 6W MMIC for Ku/K-band applications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 851–854, 2003.
11. I. Bahl, Ku-band MMIC power amplifiers developed using MSAG MESFET technology, *Microwave J.*, Vol. 49, pp. 56–82, February 2006.
12. M/A-COM, *RF and Microwave Product Solutions*, 1011 Pawtucket Blvd., Lowell, MA.
13. TriQuint Semiconductor, 13510 North Central Expressway, Dallas, TX.
14. Mimix Broadband Inc. 10795 Rockley Road, Houston, TX.
15. Hittite Microwave Corporation, 20 Alpha Road, Chelmsford, MA.
16. N. O. Sokal and A. D. Sokal, Class E—a new class of high-efficiency tuned single-ended switching power amplifiers, *IEEE J. Solid-State Circuits*, Vol. SC-10, pp. 168–176, June 1975.
17. F. H. Raab, Idealized operation of the class E tuned power amplifier, *IEEE Trans. Circuits Syst.*, Vol. CS-24, pp. 725–735, December 1977.
18. T. B. Mader and Z. B. Popovic, The transmission-line high-efficiency class-E amplifier, *IEEE Microwave Guided Wave Lett.*, Vol. 5, pp. 290–292, September 1995.
19. T. Sowlati et al., Low voltage, high efficiency GaAs class E power amplifiers for wireless applications, *IEEE J. Solid State Circuits*, Vol. 30, pp. 1074–1079, October 1995.
20. J. F. Davis and D. B. Rutledge, A low-cost class-E power amplifier with sine-wave drive, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1113–1116, 1998.
21. N. O. Sokal, Class E high-efficiency power amplifiers, from HF to microwave, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp 1109–1112, 1998.
22. F. J. Ortega-Gonzalez et al., High-efficiency load-pull harmonic controlled class-E power amplifier, *IEEE Microwave Guided Wave Lett.*, Vol. 8, pp. 348–350, October 1998.
23. T. B. Mader et al., Switched-mode high efficiency microwave power amplifiers in a free-space power-combiner array, *IEEE Trans. Microwave Theory Tech.*, Vol. 46, pp. 1391–1397, October 1998.
24. M. Markovic, A. Kain, and Z. Popovic, Nonlinear modeling of class-E microwave power amplifiers, *Int. J. RF Microwave Computer-Aided Design*, Vol. 9, pp. 93–103, March 1999.
25. V. S. Rao Gudimetla and A. Z. Kain, Design and validation of the load networks for broadband class E amplifiers using nonlinear device models, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 823–826, 1999.
26. A. Mediano and P. Molina, Frequency limitation of a high-efficiency class E tuned RF power amplifier due to a shunt capacitance, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 363–366, 1999.
27. D. K. Choi and S. I. Long, A physically based analytic model of FET class-E power amplifiers—designing for maximum PAE, *IEEE Trans. Microwave Theory Tech.*, Vol. 47, pp. 1712–1720, September 1999.

28. W. H. Cantrell, Tuning analysis for the high-Q class-E power amplifier, *IEEE Trans. Microwave Theory Tech.*, Vol. 486, pp. 2397–2402, December 2000.
29. C. Yoo and Q. Huang, A common-gate switched 0.9-W class-E power amplifier with 41% PAE in 0.25-μm CMOS, *IEEE J. Solid State Circuits*, Vol. 36, pp. 823–830, May 2001.
30. F. H. Raab, Class-E, class-C, and class-F power amplifiers based upon a finite number of harmonics, *IEEE Trans. Microwave Theory Tech.*, Vol. 49, pp. 1462–1468, August 2001.
31. T. K. Quach et al., Ultrahigh efficiency power amplifier for space radar applications, *IEEE J. Solid State Circuits*, Vol. 37, pp. 1126–1134, September 2002.
32. A. Grebennikov, Switched-mode RF and microwave parallel-circuit class E power amplifiers, *Int. J. RF Microwave Computer-Aided Design*, Vol. 14, pp. 21–35, January 2004.
33. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.
34. D. P. Kimber and P. Gardner, Power series analysis of the class E power amplifier, in *European Microwave Conference Proceedings*, pp. 1461–1464, 2004.
35. Y. Qin et al., Design of low-cost broadband class-E power amplifier using low voltage supply, *Microwave Opt. Tech. Lett.*, Vol. 44, pp. 103–106, January 2005.
36. T. Nojima, S. Nishiki, and K. Chiba, High-efficiency quasimicrowave GaAs FET power amplifier, *Electron. Lett.*, Vol. 23, pp. 512–513, May 1987.
37. M. Easton, R. Basset, D. S. Day, C. Hua, C. S. Chang, and J. Wie, A 3.5 watt high-efficiency GaAs FET amplifier for digital telephone communications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1183–1184, 1992.
38. C. Duvanaud, S. Dietsche, G. Pataut, and J. Obrgon, High-efficient class F GaAs FET amplifiers operating with very low bias voltages for use in mobile telephones at 1.75GHz, *IEEE Microwave Guided Wave Lett.*, Vol. 3, pp. 268–270, August 1993.
39. S. Toyoda, High-efficiency single and push-pull power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 277–280, 1993.
40. S. Toyoda, High efficiency amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 253–256, 1994.
41. F. H. Raab, Introduction to class-F power amplifiers, *R.F. Design*, Vol. 19, pp. 79–84, May 1996.
42. F. H. Raab, Class-F power amplifiers with maximally flat waveforms, *IEEE Trans. Microwave Theory Tech.*, Vol. 45, pp. 2007–2012, November 1997.
43. C. Trask, Class-F amplifiers loading network: a unified design approach, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 351–354, 1999.
44. P. Colantonio et al., On the class-F power amplifier design, *Int. J. RF Microwave Computer-Aided Design*, Vol. 9, pp. 129–149, March 1999.
45. A. Grebennikov, Circuit design technique for high efficiency class F amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.* pp. 771–774, 2000.
46. P. Colantonio et al., Class G approach for low-voltage, high-efficiency PA design, *Int. J. RF Microwave Computer-Aided Design*, Vol. 10, pp. 366–378, November 2000.
47. P. Colantonio et al., Multiharmonic manipulation for highly efficient microwave power amplifier, *Int. J. RF Microwave Computer-Aided Design*, Vol. 1, pp. 366–384, November 2001.
48. F. H. Raab, Maximum efficiency and output of class F power amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. 47, pp. 1162–1166, June 2001.
49. P. Colantonio et al., Theoretical facet and experimental results of harmonic tuned PAs, *Int. J. RF Microwave Computer-Aided Design*, Vol. 13, pp. 459–472, November 2003.
50. H. Jager et al., Broadband high-efficiency monolithic InGaP/GaAs HBT power amplifiers for wireless applications, *Int. J. RF Microwave Computer-Aided Design*, Vol. 13, pp. 496–510, November 2003.
51. M. Spirito et al., Power amplifier PAE and ruggedness optimization by second-harmonic control, *IEEE J. Solid-State Circuits*, Vol. 38, pp. 1575–1583, September 2003.

52. S. Gao et al., High-efficiency power amplifier design including input harmonic termination, *IEEE Microwave Wireless Components Lett*., Vol. 16, pp. 81–83, February 2005.
53. A. Wakejima et al., C-band GaAs FET power amplifiers with 70-W output power and 50% PAE for satellite communication use, *IEEE J. Solid-State Circuits*, Vol. 40, pp. 2054–2060, October 2005.
54. S. Gao, High efficiency class F RF/microwave power amplifiers, *IEEE Microwave Mag*., Vol. 7, pp. 40–48, February 2006.
55. Y. Y. Woo et al., Efficiency comparison between highly efficient class-F and inverse class-F amplifiers, *IEEE Microwave Mag*., Vol. 8, pp. 100–110, June 2007.
56. C. Roff, J. Benedikt, and P. J. Tasker, Desgn approach for realization of very high efficiency power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 143–146, 2007.
57. S. Nishiki and T. Nojima, Harmonic reaction amplifier—a novel high-efficiency and high-power microwave amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 963–966, 1987.
58. T. Nojima and S. Nishiki, High-efficiency microwave harmonic reaction amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1007–1010, 1988.
59. D. A. Willems, E. L. Griffin, I. J. Bahl, and M. D. Pollman, High efficiency harmonic injection power amplifier, US Patent #5,172,072, December 15, 1992.
60. B. Ingruber et al., High efficiency harmonic control amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 46, pp. 857–862, June 1998.
61. B. Ingruber et al., Rectangularly driven class-A harmonic-control amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 46, pp. 1667–1672, November 1998.
62. M. Akkul et al., 50 Watt MMIC power amplifier design for 2GHz applications, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1355–1358, 2004.
63. S. Piotrowics et al., High power and high efficiency 30W compact S-band HBT power chips with gold or diamond heat spreaders, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1527–1530, 2004.
64. H. Minamide et al., 70% High efficiency C-band 27W hetero-structure FET for space application, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 621–623, 2002.
65. D. Conway, M. Fowler, and J. Redus, New process enables wideband high-power GHz amplifiers to deliver up to 20W, *Defense Electronics*, pp. 8–11, February 2006.
66. Q. Zhang and S. A. Brown, Fully monolithic 8W Ku-band high power amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1161–1165, 2004.
67. K. Kong et al., Ka-band MMIC power amplifier (4W at 30GHz) with record compact size, *IEEE Compound Semiconductor IC Symp. Dig*., pp. 232–235, 2005.
68. M. V. Aust et al., A 2.8-W *Q*-band high-efficiency power amplifier, *IEEE J. Solid State Circuits*, Vol. 41, pp. 2241–2247, October 2006.
69. Y. C. Chen et al., A 95-GHz InP HEMT MMIC amplifier with 427-mW power output, *IEEE Microwave Guided Wave Lett*., Vol. 8, pp. 399–401, November 1998.
70. J. V. Dilorenzo and D. D. Khandelwal (Eds.), *GaAs FET Principles and Technology*, Artech House, Norwood, MA, 1982.
71. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
72. I. J. Bahl et al., Low loss multilayer microstrip line for monolithic microwave integrated circuits applications, *Int. J. RF Microwave Computer-Aided Eng*., Vol. 8, pp. 441–454, November 1998.
73. KELDIST, M/A-COM's Internal Software.
74. I. J. Bahl, Average power handling capability of multilayer microstrip lines, *Int. J. RF Microwave Computer-Aided Eng*., Vol. 11, pp. 385–395, November 2001.

习题

10.1 描述图 10.26 几种谐波调节匹配网络的优、缺点。

10.2 确定 B 类功率放大器的漏极电流与 Q 点漏极电流之比，放大器偏置在 10% I_{max}，放大器设计为最大输出功率。

10.3 单级 E 类放大器使用两个 pHEMT 器件并行连接。pHEMT 的 EC 模型由表 5.10 的#1 给出。此器件偏置在 8 V，100 mA，具有 600 mA 的峰值电流。输入匹配满足最大增益需求，输出匹配如图 10.20 所示。在频率为 3.5 GHz 时，计算小信号增益和最大可能输出功率、PAE。放大器是条件稳定的。使用 1.5 mil 厚铝基片。

10.4 重新完成习题 10.3，输出匹配网络使用图 10.21 的结构。

10.5 单级 F 类功率放大器工作在 2.4 GHz，使用 0.9 mm pHEMT 晶体管，其 EC 模型由表 5.11 给出。器件偏置在 12 V 和 10% I_{dss}。输出级使用图 10.26(a)的拓扑结构。在器件内部端口上，二次谐波短路，三次谐波开路。基波频率等效负载阻抗为 $R_L = 50\ \Omega$，$C_L = -0.28$ pF。计算使用 15 mil 铝基片的输出匹配参数。

10.6 在习题 10.5 中，计算增益、最大输出功率、PAE，输入匹配为最大增益匹配。峰值电流 I_{max} 为 400 mA，比 I_{dss} 高 30%。器件的输出功率为 1 W。

10.7 重新完成习题 10.5，输出级使用：(a)图 10.26(c)和(b)图 10.26(d)。

10.8 工作在 5 GHz 的 MESFET 的等效负载阻抗为 $R_L = 56\ \Omega$/mm，$C_L = -0.32$ pF/mm。晶体管分别使用 1 mm、10 mm、50 mm，计算每个晶体管在 15 mil 铝基片上设计出的输出匹配网络的损耗。

第11章 宽带放大器

很多系统需要宽带放大器，本章的目的就是介绍基本的宽带放大器结构，并针对每种类型的放大器按照噪声、功率和频率带宽给予一个严格的评价。

回顾过去20年，在晶体管低噪声和功率放大器的设计上已经取得了巨大的进步。以前讨论的都是窄带放大器，低于50%的带宽。对于一些应用，比如电子战和宽带通信系统，它们都需要多倍频程的放大器。设计一个相对带宽大于50%的高功率放大器是一项重大的挑战，因为器件的低阻抗和热限制导致了低PAE。尽管当大批量生产时(将在第14章介绍)可以使用混合MIC技术开发宽带功率放大器，但是功率MMIC放大器与由放大管单元构成的放大器级联模块组合相比，可以减小体积、降低重量、提高增益、增加带宽、增加可实现性、降低成本，获得很好的幅度和相位跟踪能力。单片技术更适合实现宽带放大器(将在第15章介绍)，因为利用混合MIC技术消除了连线和分立元件的寄生效应。15.5节将讲到在LNA上的进展，在宽带MMIC功率放大器[1~10]上的进步总结在表11.1中。

表11.1 宽带MMIC功率放大器的总结[a]

频率范围(GHz)	级数	增益(dB)	输出功率(W)	功率附加效率(%)	器件技术	年份
2~8	1	9	1.4	18	GaAs HBT	2000
2.5~5.5	2	17	2	30	GaAs MESFET	2003
4.5~9	2	17	2	25	GaAs MESFET	2003
4.7~10	1	7	5	8	GaN on Sapphire	2000
6~18	3	22	2.3	20	GaAs pHEMT	2002
0.7~2.7	2	20	12	22	GaAs MESFET	2006
1.35~2.8	2	23	12	28	GaAs MESFET	2006
2.0~6.0	2	15	10	26	GaAs MESFET	2006
2.0~8.0	2	13.5	8	16	GaAs MESFET	2006

[a]所列的性能都是在频带内的最小值。这里选择的都是输出功率大于1 W的MMIC。

11.1 晶体管的带宽限制

这一节我们将简要讨论在设计LNA和HPA时晶体管的带宽限制因素。

11.1.1 晶体管的增益滚降

在第5章我们讨论了晶体管的增益随着频率的增高而降低，一般是每倍频程降低4~6 dB。然而很多放大器都要求在设计的频带内有平稳的增益响应。因此在功率放大器中，必须设计良好的匹配网络来给每个器件在输出端提供一个合适的负载，同时利用插入损耗对增益进行补偿来实现平稳的增益、最大的输出功率和PAE。在低噪声放大器中，输入匹配网络是按最佳噪声系数来设计的，级间匹配是按平稳增益来设计的，输出匹配就是按最好匹配来设计的。换句话说，匹配网络必须在低频时有较大的损耗，同时这个损耗的斜率最好能匹配放大器的增益斜率。因此在功率放大器中，输出匹配网络通常是为了最大的输出功率而设计，输入匹配网络和级间

匹配网络则更关心在工作频段的高端用最小的损耗来进行增益补偿。例如，工作在一个倍频程的两级功率放大器要求 8 ~ 12 dB 的增益补偿，通常一半的增益补偿由输入完成，另一半则由级间完成。在低频端的输入可能用负反馈来设计以获得稳定增益，匹配元件的选择是让增益损耗在频带高端尽可能小。因此第 9 章讨论的低损耗匹配(Low-loss Match，LLM)技术在设计宽带 HPA 时 就很合适。每一级所要求的插入损耗用来补偿器件的增益斜率以获得一个可调的平稳增益，从而使功率和 PAE 维持在一个最优的值。

11.1.2 变化的输入和输出阻抗

除了增益随频率降低，晶体管的输入和输出阻抗也随频率改变，就像第 5 章讨论的，随着频率的增加而降低。在设计的频带内，变化的阻抗要匹配好。就像第 7 章说明的，一个低 Q 值的匹配网络具有较宽的带宽。因此，输入和级间匹配网络的低 Q 值增益补偿电路有高的损耗，这使得它很适合用来设计宽带放大器。然而在多级功率放大器中，这就使器件前级的体积变得更大，导致 PAE 较低。另外，输出匹配网络为了高功率和高 PAE，要求高 Q 值的元件，这就给设计输出匹配网络提出了一个严峻的挑战：在多倍频程内把 50 Ω 转换到要求的负载阻抗。

11.1.3 功率–带宽积

在多级放大器的级间匹配网络中，由于增益补偿而引入的附加损耗和在宽带放大器中的输出匹配网络引入的损耗，降低了器件的长宽比和输出功率，从而导致 PAE 较低。所以在窄带里可以实现的高 PAE 和高输出功率的放大器，在宽带里就很难实现，致使功率–带宽积变低。对于给定的器件尺寸，多级多倍频宽带放大器比窄带放大器的输出功率和 PAE 将降低50%。类似地，多倍频程宽带 LNA 的噪声系数要比窄带的高出 50%。例如，窄带 LNA 的噪声系数在 10 GHz 时是 1.0 dB，在 2 ~ 18 GHz 时是 2.7 dB。因此就需要非常规的匹配技术来有效地设计多倍频程 LNA 和高功率、高 PAE 放大器，以提高其性能。

11.2 宽带放大技术

图 11.1 中给出了实现宽带放大器的各种电路拓扑结构。这些技术包括传统的电抗/电阻性网络、并联电阻性反馈、平衡结构、行波方法。对于电抗性匹配的放大器，在晶体管的输入/输出端使用纯电抗匹配网络，或者说使用电感、电容和传输线。这种技术可以提供适中的带宽、优良的噪声性能和功率性能。可是，由于晶体管固有的不稳定性和增益滚降，宽带设计就变得很困难。使用电抗/电阻性技术设计的匹配网络中用到了电阻，其作用是降低电路的 Q 值，这样可以在宽带内获得平坦的增益。最典型的结构就是在并联线或在电感上串联电阻。在频率低端，并联线的电长度很短，致使晶体管端接电阻，降低其增益。在频率高端，因为并联线的感性作用，电阻对放大器的影响很小。因此匹配网络可以引入一个正斜率的增益线以补偿晶体管的增益滚降。电抗/电阻性技术很适合带宽小于一个倍频程的应用，使用更多的匹配元件可以实现超宽带。但是它们的增益平坦度和 VSWR 很差。

反馈放大器在栅极和漏极之间接入一个电阻(几百欧姆数量级)。这样做的作用有几个，一是可以让器件稳定，二是可以让器件的输入和输出阻抗更接近 50 Ω。由于在反馈电阻上引入的附加损耗，因此电阻反馈结构导致噪声系数升高、每个器件的功率密度降低。然而这种方案的增益平坦度好、VSWR 好，可以达到多倍频带宽。平衡结构可以在两个倍频程内获得优良的增益平坦度和 VSWR。比起单端式放大器，平衡放大器的噪声系数要稍高，PAE 要稍低，这是因

为耦合器引入的 0.3 ~ 0.8 dB 的损耗。行波或分布式功率放大器可以获得优秀的增益带宽性能——平坦的增益、低 VSWR、多倍频带宽，但是输出功率有限制（在 18 GHz 的时候有 2 ~ 4 W）、PAE 低（在 10% 的数量级上）。分布式放大器可以获得最好的增益带宽性能，而电抗/电阻性匹配方法很适合高功率和高 PAE 场合。这些技术将在本章讨论。

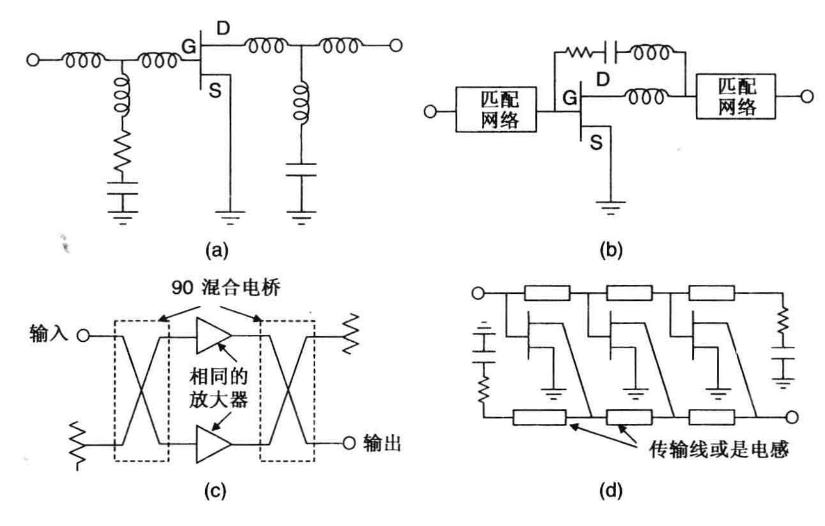


图 11.1　宽带放大器结构：(a)电抗/电阻性；(b)反馈式；(c)平衡式；(d)分布式(行波式)

11.2.1　电抗/电阻性拓扑

用于宽带的电抗/电阻性匹配技术和 9.3.1 节讨论的很类似，只是在宽带应用中要使用更多的匹配元件。功率放大器和缓冲放大器要在输入和级间加上增益补偿网络(GCN)。然而对于低噪声放大器，可以将 GCN 放在级间匹配网络和输出匹配网络中。图 11.2(a)给出了一个两级放大器的例子。在很多应用中，匹配网络(MN)和 GCN 都是混合在一起的。图 11.2(b)给出了一些常用的增益补偿电路。图中选择的元件值很容易就实现了 1 ~ 8 GHz 的带宽。

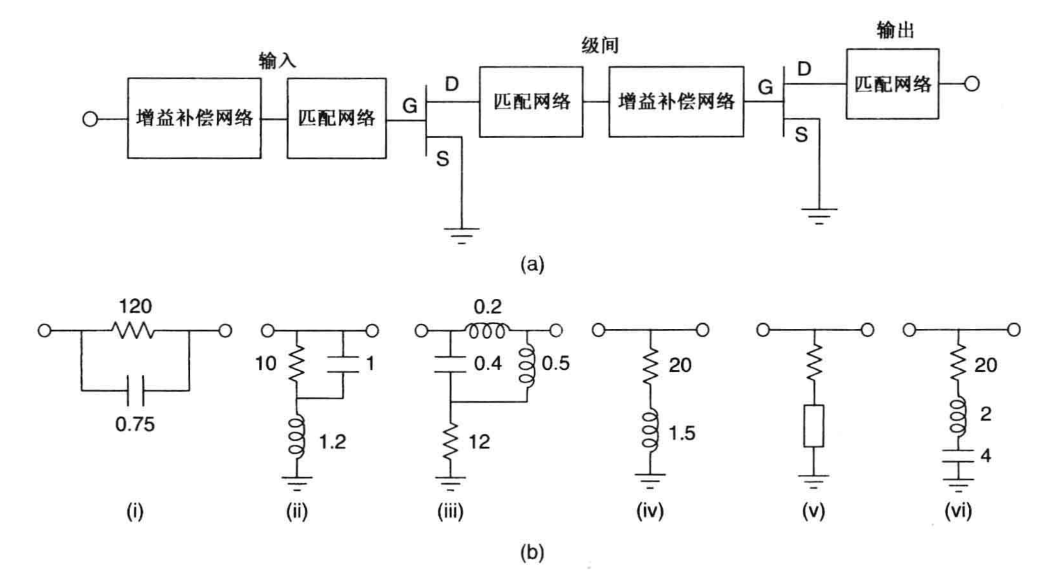


图 11.2　(a)带有增益补偿网络的两级放大器原理图；(b)常用的增益补偿网络。电阻的单位为Ω，电容的单位为pF，电感的单位为nH

图 11.3 展示了补偿电路[见图 11.2(b)]的增益性能。选取的电路元件值使得在 3 个倍频程带宽内的衰减在 6 ~ 10 dB。一部分衰减是由于功率反射。在频率高端 GCN 匹配良好，网络(i)和网络(iv)有类似的响应，网络(ii)和(iii)有更高的损耗但是它们的斜率不同。网络(v)的性能没有在图 11.3 中给出，但是和(iv)很相似。网络(vi)在电容电感串联谐振处衰减最大。工作频率、LRC 结构的元件值和它们的寄生电抗对这些电路的性能影响较小。每个设计要求的增益斜率和衰减可以通过合理地选择元件值来实现。初步的分析用来选择 MN 和 GCN 的拓扑结构，然而很多情况下要依靠 CAD 工具来选取电路的元件值。

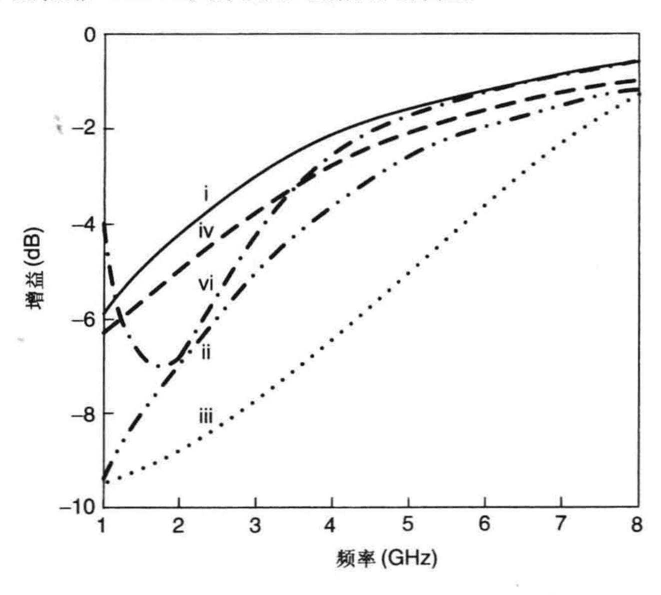


图 11.3　图 11.2(b)中补偿电路的增益响应

例 11.1　这个例子显示了宽带 12 W MMIC HPA 的一些突出性能。设计用基于 MMIC 技术的 MSAG MESFET 完成[9]。这个 HPA 选用两级全单片集成，工作在 AB 类，偏置在 10 V 供电电压。这个两级放大器覆盖 0.7 ~ 2.7 GHz，而且输入匹配良好。之所以使用 MSAG MESFET 技术实现宽带放大器，是因为在晶圆上一致性好、线性度优秀、成本低[9]。

解　设计 MMIC 功率放大器从选择 FET 单元尺寸开始，这个尺寸基于增益、PAE/线性度和输出功率的要求而定。此两级 HPA 在输入级包含 4 个 2 mm FET，用来驱动输出级的 6 个 2 mm FET。一个 2 mm FET 单元有 6 个引脚，栅极到栅极的间距有 54 μm，栅宽是 333.3 μm。计算得到的 FET 热阻是 35.8°C/W。测量得到的负载(Z_L)等效为 28 Ω 电阻和 -0.61 pF 电容并联。该设计使用 LLM 技术和负载线技术(见第 9 章)，2 mm FET 的小信号模型是在工作点处提取。负载线技术用来最优化电路参数。例如，在一个两级 HPA 中，第一级的最优负载 Z_{L1} 和第二级的最优负载 Z_{L2} 是为了实现最大输出功率和 PAE，如图 11.4(a)所示。该设计中的 Z_{L1}、Z_{L2} 分别是(7 Ω，-2.44 pF)、(1.75 Ω，-9.76 pF)。在低损耗匹配(LLM)技术中，需要计算和控制每一级的电阻或是耗散损耗(DL)和失配损耗(ML)，以满足设计要求。一般来说，输出匹配的耗散损耗和失配损耗都保持在最小，并且级间的失配损耗也控制在最小。级间耗散损耗、失配损耗的确定要考虑到稳定性和电性能，这在获得最优化 FET 长宽比中很有用。耗散损耗是由独立的无源部分产生的，例如输入、级间和输出。失配损耗是由于器件要求的最佳负载阻抗和 50 Ω 负载变换到 FET 漏极端阻抗的不同而引起的。以上的方法都是基于器件的输入阻抗强烈地依赖于与其漏极相连的负载，而不是其大信号参数的假设。

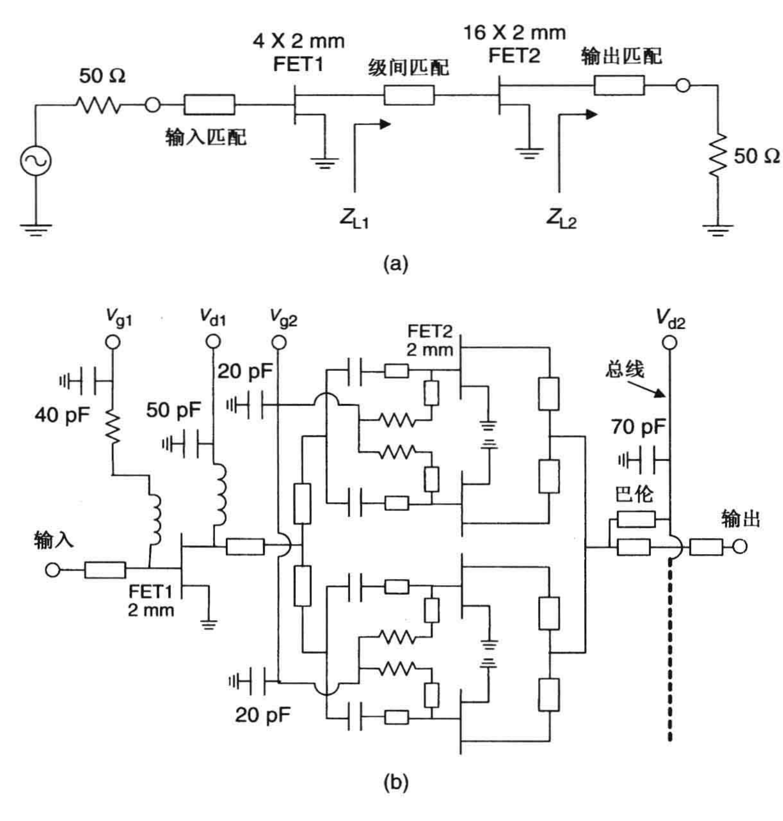


图 11.4　(a)标注了每级 FET 漏极所需负载的两级功率放大器结构;(b)12 W HPA 原理图,只画出了四分之一。这四段电路是相互并联的

宽带放大器的实现要考虑到 FET 的功率增益滚降随频率的变化(一般是 6 dB 每倍频程)、FET 输入/输出的增益带宽限制和整个带宽上的稳定性。在输出端，使用一个 16 路的电抗性合成匹配。匹配网络中使用了集总和分布元件。图 11.4(b)展示了一个 12 W 的 HPA 的简化方案(只显示了四分之一的电路)。这四段电路是并联连接的。

在输入端有一个增益补偿网络，如图 11.4(b)所示，这种设计用来实现良好的匹配、在频率高端实现最大的功率传输。图 11.5(a)给出了输入匹配网络的耗散损耗和总损耗(耗散损耗和失配损耗的总和)的仿真值。低频端的大耗散损耗是为了补偿器件的增益滚降。注意到失配损耗(总损耗和耗散损耗的差)在 0.75 ~ 3 GHz 的范围内小于 0.5 dB。这证实了放大器匹配到 50 Ω。级间匹配网络是为了提供平坦的增益响应和足够的输出功率给下一级 FET，以获得最大的输出功率和 PAE。级间匹配由 RLC 集总元件构成。图 11.5(b)给出了级间匹配网络的耗散损耗和总损耗的仿真值。耗散损耗随着频率的增加而单调降低，而且可以通过调节它来获得每个工作段上的无条件稳定。注意到在 0.75 ~ 3 GHz 的范围上，失配损耗都低于 3 dB。而对于高输出功率和高 PAE 的情况下，希望失配损耗远小于 3 dB。

输出匹配网络提供最优的匹配负载，而匹配网络元件的选取是为了使插入损耗最小，由于引入了大量的损耗，其输出功率、增益、FET 漏极端的可用直流功率都降低，导致效率大幅度降低。输出匹配使用粗线、不对称宽边带的耦合线变换器(在 7.5 节介绍的)和用于第二级 FET 漏极偏置的总线。图 11.5(c)给出了输出网络的耗散损耗和总损耗。在 0.7 ~ 2.5 GHz 的范围内耗散损耗大约有 1.2 dB。在大部分频带上，失配损耗低于 0.3 dB。

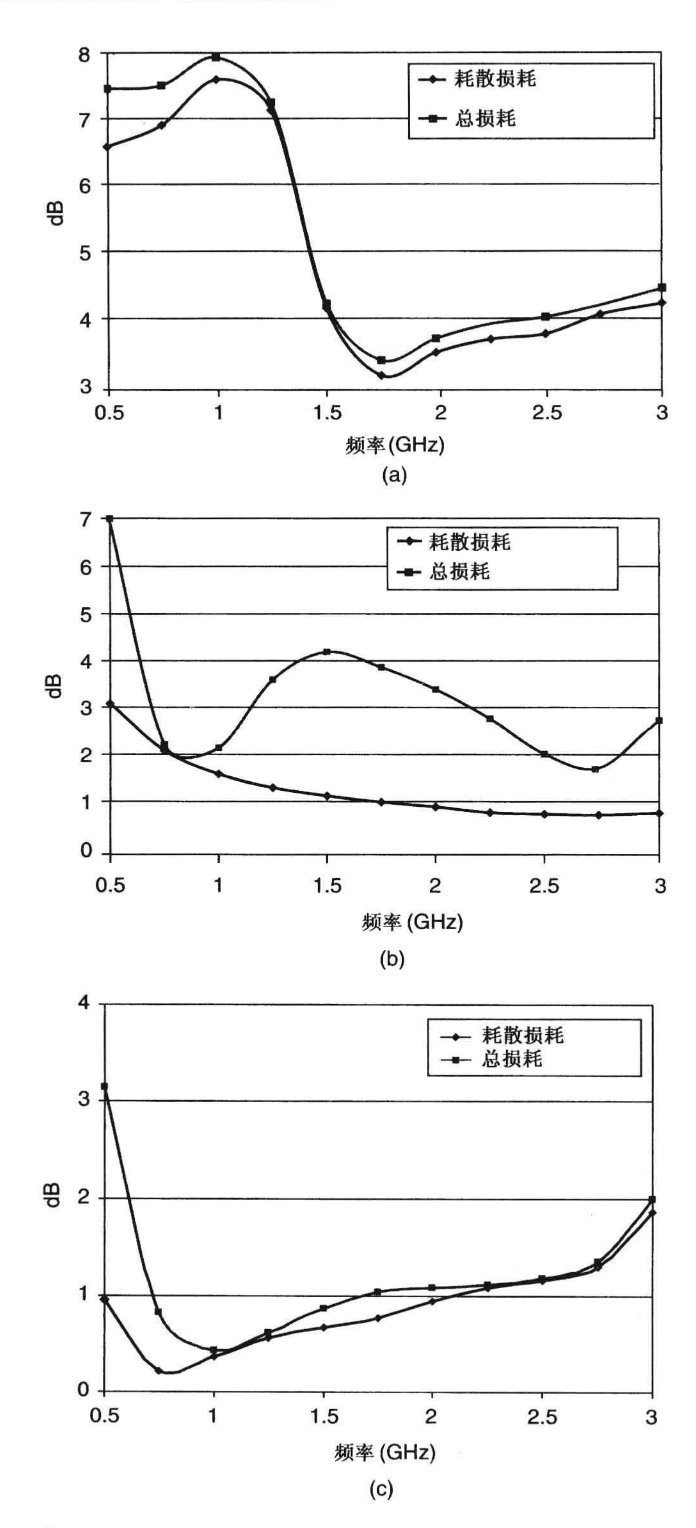


图 11.5　两级 12 W MMIC 功放的耗散损耗和总损耗：(a)输入匹配网络；(b)级间匹配网络；(c)输出匹配网络

在微波频率低端，HPA MMIC 的偏置一般需要片外 RF 扼流圈。在这个设计中，输出匹配网络中使用了不对称宽边带的耦合线变换器，从而实现漏极的偏置和宽带阻抗匹配。栅极偏置和漏极偏置都由“共同馈电结构”（在第 18 章将要讨论）实现。每个 FET 的栅极都通过独立的栅极电阻来偏置。漏极的偏置是用低电阻总线拓扑，其中使用了顶层导体 MIM 电容、栅极偏置电阻和 MIM 电容值以提供可靠的稳定性。此外，实际中还要特别关注保持放大器电路布局的对称性，以及选择合适的隔离电阻来抑制偶模振荡。每一级和整个放大器都要设计成无条件稳定。图 11.6 展示了 12 W 的宽带 HPA 的照片。

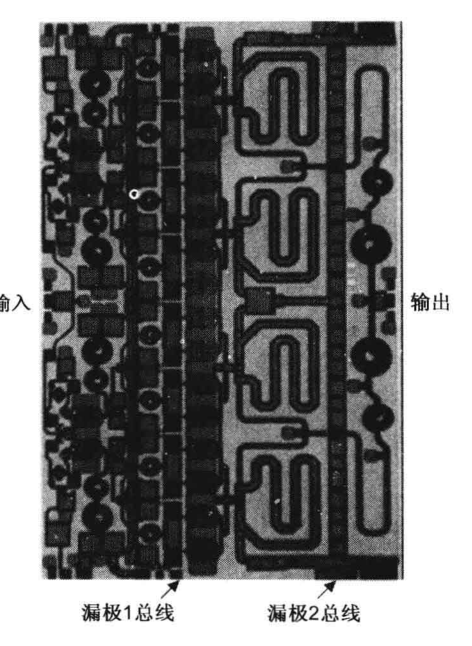


图 11.6　UHF/L/S 波段 12 W 功放照片，芯片尺寸：$5 \times 8\ mm^2$

两级宽带功率放大器的输出功率和 PAE 的平均测量值显示在图 11.7 中。当输入功率为 22 dBm 时，功率增益在 0.7 ~ 2.7 GHz 范围内大于 19 dB。输出功率大于 12 W，PAE 大于 22%。在 0.8 ~ 2.0 GHz 范围内，输出功率大于 14 W，PAE 大于 27%。二次谐波电平低于 −20 dBc，显示了目前多倍频宽带 HPA 的二次谐波特性的发展水平。

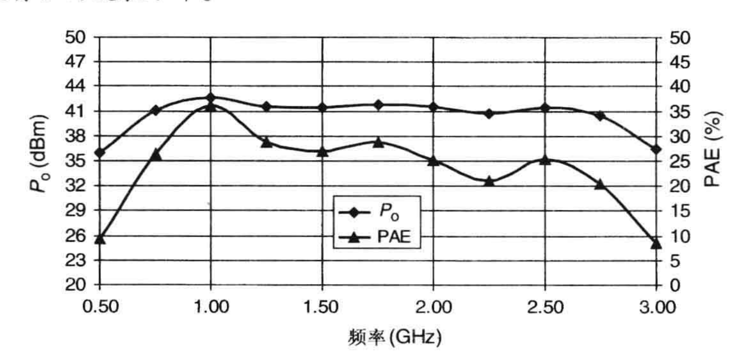


图 11.7　当偏置在 $V_{ds} = 10$ V、$P_{in} = 22$ dBm、25% I_{dss} 时的输出功率和功率附加效率

对于宽带和高效率应用，可以用 A/AB 偏置和 E 类负载。然而，E 类带宽受到限制，在 S 波段的输出功率也受到限制。一个合理的解决方案就是通过可变负载结合这两类好的特性，也就是在低频端使用 E 类负载，在高频端使用 B 类负载。

11.2.2　反馈放大器

图 11.8 给出了一个常见的反馈放大器结构，包含了一个 LRC 反馈网络。反馈环上的元件控制增益和带宽。反馈电阻 R_{fb} 控制增益，L_f 将频率范围扩展到更大的范围上。电感 $L_1 \sim L_4$ 决定放大器的宽带性能。C_f 的主要作用是提供栅极电压和漏极电压的直流隔离。这些放大器用 MMIC 技术实现比用混合 MIC 技术

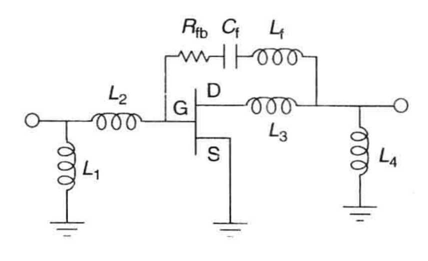


图 11.8　反馈放大器结构

实现可以获得更好的性能。反馈结构增加了带宽，提高了线性度，降低了失真而且降低了对工艺变化的敏感度。

图 11.9(a)给出了带有反馈电阻 R_{fb} 的晶体管π形等效电路。这里忽略器件的寄生电抗效应。利用式(2.13)~式(2.15)，导纳矩阵可以写成[11, 12]

$$[Y]=\begin{bmatrix} j\omega C_{gs}+j\omega C_{gd}+\dfrac{1}{R_{fb}} & -j\omega C_{gd}-\dfrac{1}{R_{fb}} \\ g_m-j\omega C_{gd}-\dfrac{1}{R_{fb}} & \dfrac{1}{R_{ds}}+j\omega C_{gd}+\dfrac{1}{R_{fb}} \end{bmatrix} \tag{11.1}$$

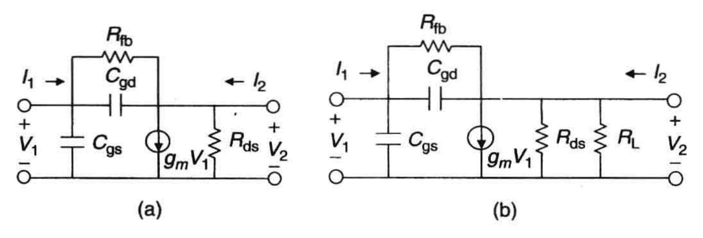


图 11.9 (a)带有反馈的晶体管π形等效电路；(b)带有反馈和负载的晶体管π形等效电路

利用表 2.3 中的方程，Y 矩阵可以转换成更有用的 S 参数矩阵。进行一阶近似，忽略电容效应；$C_{gs}=0, C_{gd}=0$，这时式(11.1)可以写成

$$[Y]=\begin{bmatrix} \dfrac{1}{R_{fb}} & -\dfrac{1}{R_{fb}} \\ g_m-\dfrac{1}{R_{fb}} & \dfrac{1}{R_{ds}}+\dfrac{1}{R_{fb}} \end{bmatrix} \tag{11.2}$$

这时，S 参数可以写成

$$S_{11}=\frac{1}{D}\left[\frac{R_{fb}}{Z_0}\left(1+\frac{1}{R_{ds}}Z_0\right)-\left(g_m+\frac{1}{R_{ds}}\right)Z_0\right] \tag{11.3a}$$

$$S_{12}=\frac{2}{D} \tag{11.3b}$$

$$S_{21}=\frac{-2}{D}[g_mR_{fb}-1] \tag{11.3c}$$

$$S_{22}=\frac{1}{D}\left[\frac{R_{fb}}{Z_0}\left(1-\frac{1}{R_{ds}}Z_0\right)-\left(g_m+\frac{1}{R_{ds}}\right)Z_0\right] \tag{11.3d}$$

其中

$$D=2+\left(g_m+\frac{1}{R_{ds}}\right)Z_0+\frac{R_{fb}}{Z_0}\left(1+\frac{1}{R_{ds}}Z_0\right)$$

Z_0 是系统阻抗。当加上良好匹配的条件后，这些方程可以进一步简化[13]，也就是

$$S_{11}=S_{22}=0 \tag{11.4}$$

这样，从式(11.3a)得到

$$R_{fb}=g_mZ_0^2 \tag{11.5a}$$

$$S_{12}=\frac{1}{g_mZ_0+1} \tag{11.5b}$$

$$S_{21} = -(g_m Z_0 - 1) \tag{11.5c}$$

功率增益 G 变成

$$G = |S_{21}|^2 = (g_m Z_0 - 1)^2 \tag{11.6}$$

如果器件匹配得不好，输入和输出 VSWR 是 $S:1$，则反馈电阻和功率增益[12]是

$$R_{\text{fb}} = SZ_0(1 + g_m Z_0) - Z_0 \tag{11.7}$$

和

$$G = [2(1 - Sg_m Z_0) / (1 + S)]^2 \tag{11.8}$$

下面我们计算负载电阻带来的损耗。假设器件的输出端接最优负载 R_L，如图 11.9(b)所示。这里

$$V_2 = V_1 + R_{\text{fb}} I_1 \tag{11.9}$$

或是

$$V_2 = -(g_m V_1 - I_1)\frac{R_L R_{\text{ds}}}{R_L + R_{\text{ds}}} \tag{11.10}$$

当 $R_{\text{ds}} >> R_L$ 时，

$$V_2 = -(g_m V_1 - I_1) R_L \tag{11.11}$$

从式(11.9)和式(11.11)，我们得到

$$V_2 = -V_1 g_m R_L \frac{1 - 1/g_m R_{\text{fb}}}{1 + R_L/R_{\text{fb}}} \tag{11.12}$$

如果没有反馈，输出功率为

$$P_o = V_2^2/R_L = (g_m V_1)^2 R_L \tag{11.13}$$

有反馈则为

$$P_{\text{ofb}} = V_2^2/R_L = (g_m V_1)^2 R_L \left(\frac{1 - 1/g_m R_{\text{fb}}}{1 + R_L/R_{\text{fb}}}\right)^2 \tag{11.14}$$

P_{ofb}/P_o 的比值给出了由于反馈而产生的功率损耗：

$$\frac{P_{\text{ofb}}}{P_o} = \left(\frac{1 - 1/g_m R_{\text{fb}}}{1 + R_L/R_{\text{fb}}}\right)^2 \tag{11.15}$$

对于 $g_m R_{\text{fb}} >> 100$，$R_{\text{fb}} >> R_L$，有

$$\frac{P_{\text{ofb}}}{P_o} \cong 1 - \frac{2R_L}{R_{\text{fb}}} \tag{11.16}$$

假设 $R_L = 100\ \Omega$，$R_{\text{fb}} = 1000\ \Omega$。由于反馈损失的功率 P_{ofb}/P_o 约等于 $1 - 200/1000 = 0.8$ 或是 1 dB。

例 11.2　一个 1 W 的器件，$g_m = 100$ mS，负载阻抗是 40 Ω。当反馈电阻是 400 Ω 时，计算该放大器的输出功率。

解　利用式(11.15)，得到

$$\frac{P_{\text{ofb}}}{P_o} = \left[\frac{1 - 1/(0.1 \times 400)}{1 + 40/400}\right]^2 = 0.7856$$

$$P_{\text{ofb}} = 1 \times 0.7856\ \text{W} = 0.7856\ \text{W}$$

例 11.3　设计一个工作在 30 MHz~3 GHz 的放大器。这个例子展示了宽带 HPA 的一些显著特点。该设计使用基于 MMIC 工艺的 MESFET 技术。

解 这个例子选用的反馈拓扑如图 11.10 所示。输入匹配是低通型的，加上一个电阻是为了稳定电路。输出电感是为了在高频端的增益到达峰值。这种设计没有输出匹配网络。这种晶体管的大小是 2 mm，在 3 GHz 时输出功率和 PAE 大约是 1.6 W 和 60%。图 11.11 显示了一个实际的放大器版图。这个电路使用外部偏置 T 形结进行片上测试。也可以在板子上或是载体上用第 6 章描述的锥形扼流圈进行测试。

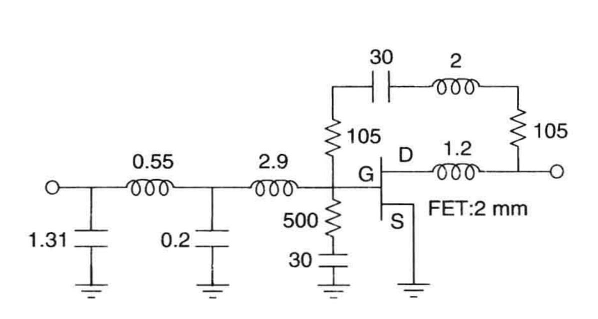


图 11.10 1 W 功放的原理图。电容的单位为 pF，电感的单位为 nH，电阻的单位为 Ω

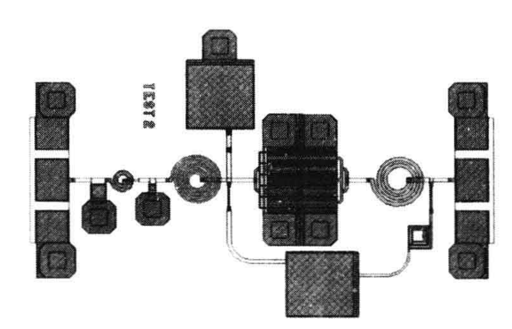


图 11.11 超宽带 1 W 功放的物理版图

片上脉冲功率测试（脉宽 = 10 μs，10% 的占空比）得到的输出功率和 PAE 显示在图 11.12 中。在相同的 0.5 ~ 3 GHz 范围内，连续波测试所得到的输出功率要低 1 dB，PAE 要高 5%。脉冲测试和连续波测试的 PAE 值的差异是由于准确的连续波电流测量结果。

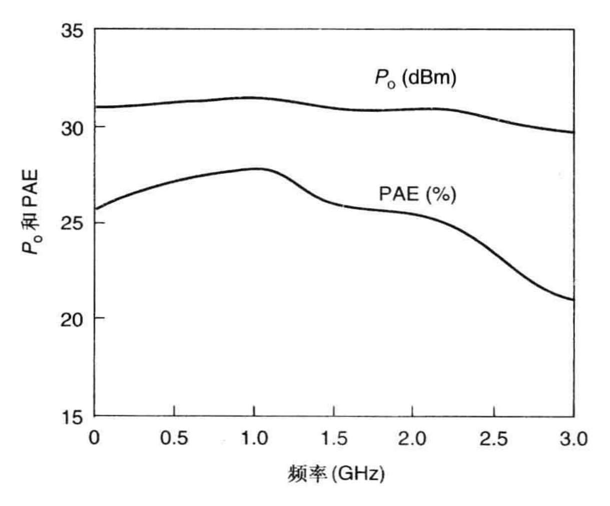


图 11.12 超宽带 1 W 放大器的输出功率和 PAE 的测量值

11.2.3 平衡放大器

利用电抗/电阻性或反馈技术设计的单端式放大器在前面的章节已经讨论了，使用两个 3 dB 正交耦合器连接两个相同的这种放大器就构成了平衡放大器[14]。正交耦合器一般是宽带兰格耦合器。单端式放大器为了平坦增益、低噪声系数（LNA 情况）、高输出功率、高 PAE 和稳定性而失配。从单端式放大器反射回来的反射波消耗在 50 Ω 上，这样可以保证稳定性。如果有一个放大器失效了，总的增益将降低 6 dB，对于一些应用可能提供有用的失效容忍度。平衡结构相比于电抗/电阻性的最大优点是良好的输入和输出 VSWR、平稳的增益平坦度、更好的稳定

性、对子系统失配的不敏感。平衡放大器的稳定性比单端式放大器的稳定性好得多，这是由于混合电桥的电阻和与其他电路之间的宽带隔离。

这种技术很适合用单片或混合电路技术将两片匹配好的 MMIC HPA 芯片结合在一起。在薄 GaAs 基底上实现的兰格耦合器比混合电路实现的损耗更高，而且带宽降低，MMIC 平衡放大器的输出功率受到限制，一般低于 10 W。兰格耦合器使用 λ/4 传输线;导致平衡功率放大器在低频段的体积较大，不是很理想。MMIC 平衡放大器一般都设计在高于 S 波段，通常都在 20 GHz 左右。

考虑图 11.13 给出的平衡结构。第一步的近似就是将耦合器假设为理想的(比如没有损耗)，隔离端口有无限大的隔离度，两路信号有 90°的相差。单端式放大器和平衡放大器的 S 参数如下：

$$S_V = \begin{bmatrix} S_{11V} & S_{12V} \\ S_{21V} & S_{22V} \end{bmatrix}, \quad S_T = \begin{bmatrix} S_{11T} & S_{12T} \\ S_{21T} & S_{22T} \end{bmatrix} \tag{11.17}$$

这里 V、T 分别代表放大器 A(B)和平衡放大器。平衡功率放大器(BPA)在端口 1 和端口 7之间。

输入信号分到端口 2 和端口 3，并且这两个信号有 90°的相差。同旁的端口，其相位一致，斜对的端口有 90°的相差。在端口 1，BPA 的反射信号是

$$S_{11T} = \frac{1}{2}[S_{11A} - S_{11B}] \tag{11.18}$$

图 11.13 使用 90°Lange 耦合器的平衡放大器结构

如果 $S_{11A} = S_{11B}$，则 $S_{11T} = 0$;也就是说，BPA 在端口 1 匹配。在端口 7 有

$$S_{21T} = \tfrac{1}{2}\,\mathrm{j}[S_{21A} + S_{21B}] \tag{11.19a}$$

$$S_{22T} = \tfrac{1}{2}[S_{22B} - S_{22A}] \tag{11.19b}$$

再有，如果 $S_{22A} = S_{22B}$，则 $S_{22T} = 0$;也就是说，BPA 在端口 7 匹配，端口 7 是输出端口。输出信号是两路前向信号的和。在端口 4，合并的反射信号是

$$\tfrac{1}{2}\,\mathrm{j}[S_{11A} + S_{11B}] \tag{11.20}$$

能量被电阻吸收。同样，反射信号在端口 6 也被吸收。如果这两个放大器有相同的增益，但 $\Delta\phi$ 相位不同，这时，

$$S_{21T} = \tfrac{1}{2}|S_{21}|\,|1 + \mathrm{e}^{\mathrm{j}\Delta\phi}| = \tfrac{1}{2}|S_{21}|\,[(1+\cos\Delta\phi)^2 + \sin^2\Delta\phi]^{1/2} \tag{11.21}$$

$\Delta\phi = 0$，$S_{21T} = S_{21}$，对于 $\Delta\phi = 22.5°$，$S_{21T} = 0.9808S_{21}$。

平衡结构也可以用图 11.14 中的结构实现。在这个设计中，使用了 Wilkinson 分配/合成器和 90° 50 Ω 相位补偿线来代替兰格耦合器。从两个单端式放大器反射回来的信号在隔离电阻 $R = 100\ \Omega$ 上有 180°的相位差。因此反相的反射信号被隔离电阻吸收。同样，反射的输出信号被输出隔离电阻吸收。两路信号在输出端同相叠加。这种拓扑结构把输入和输出端的反射信号最小化，VSWR 良好，但是由于有 λ/4 传输线和 Wilkinson 分配/合成器，其体积比较大。λ/4 传输线比起兰格耦合器，其带宽窄，大概是 40% ~50% 对一个倍频程的差距。在平衡结构中，由于键合线和封装引线框引起的失配对输出功率和 PAE 的影响降到最小。

例 11.4 设计一个三级平衡式 2 W HPA，工作在 12 ~ 16 GHz。这个设计可以用兰格耦合器连接两个 1.5 W MMIC 放大器，也可以由参考文献[15]所示的单片集成电路技术来实现。

解 这个2 W的HPA使用基于75 μm GaAs MMIC工艺的MSAG FET技术。75 μm GaAs的介质上兰格耦合器的损耗比Wilkinson耦合器要大，采用如图11.14所示的平衡结构。这个三级单端设计由一个0.625 μm的输入级FET驱动两个0.625 μm的中间级FET，再驱动4个0.625 μm的输出级FET。这个实例中2:1的FET长宽比是为了在宽带上获得高功率和高PAE。这个设计也是使用单漏极焊盘和单栅极焊盘工作。图11.15展示了这个平衡式2 W放大器。这个设计要求从两边偏置。

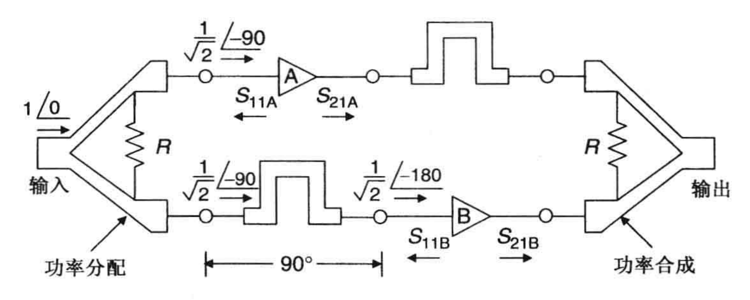


图11.14 使用了Wilkinson分配/合成器和90°延迟线的平衡放大器

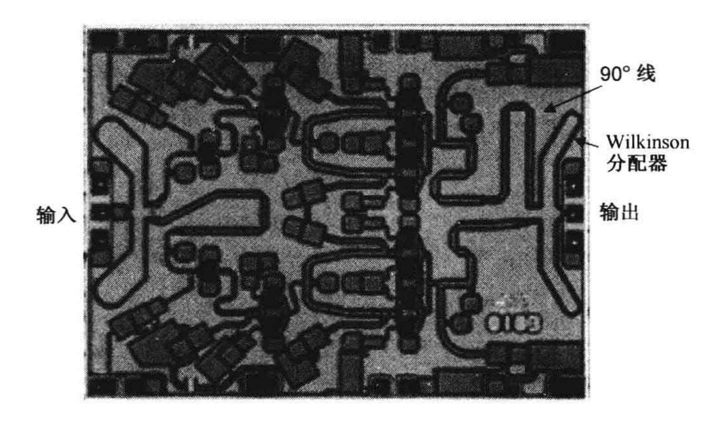


图11.15 Ku波段平衡式2 W放大器的照片。芯片尺寸为4.4×3.4 mm^2

图11.16展示了用连续波测试的P_o和PAE，这个MMIC放大器偏置在V_{ds} = 8 V，P_{in} = 18 dBm。在12～15.5 GHz范围中，输出功率大于33 dBm，PAE大于22%。当供电电压增加到10 V时，输出功率大于34.5 dBm。在11.5～15 GHz上[15]，输入VSWR小于1.5:1。

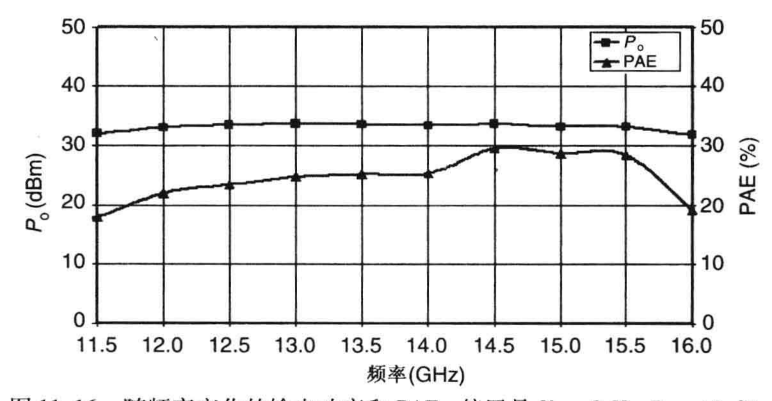


图11.16 随频率变化的输出功率和PAE，偏置是V_{ds} = 8 V，P_{in} = 18 dBm

11.2.4 分布式放大器

大量文献对分布式放大器进行了广泛的研究[1, 16~20]。图 11.17 展示了一个 n 节分布式放大器(DA)的拓扑图。DA 的简化等效电路如图 11.18 所示。栅极线电感和漏极线电感与器件的 C_{gs}和 C_{ds}构成人工传输线。器件的电容被吸收进传输线。在低噪声放大器和功率放大器设计中，这些电感一般用高阻抗的微带线代替。电感 L_g 和器件增益单元的输入电容、电感 L_d 和器件的输出电容构成人工传输线。这些线设计成特征阻抗 Z_{0g}的等效栅极线和特征阻抗 Z_{0d}的等效漏极线。只要在相应线的终端接上相应的阻抗就可以将之匹配。当一个信号灌入栅极线，每一个晶体管都被激励，信号被放大器以跨导倍放大，并沿漏极线相加。栅极线上的残留信号和漏极线上的反射信号都被终端电阻 R_g、R_d 消耗掉。由于这些线是低通结构的，并且还有很高的截止频率，所以行波结构具有宽频特性。对于绝大多数应用来说，节数 n 一般是 4 ~6。

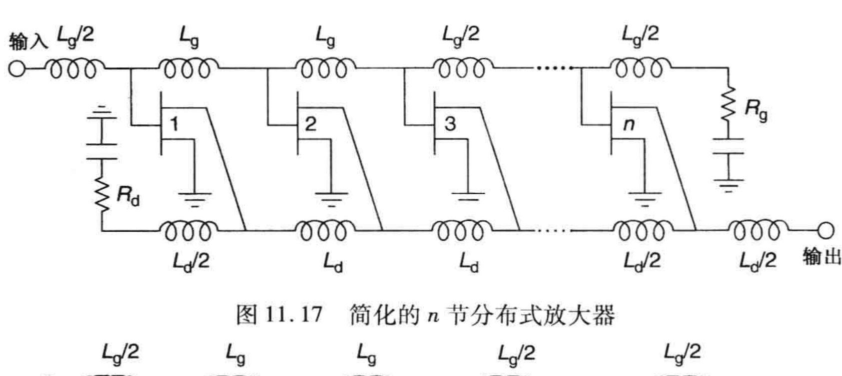
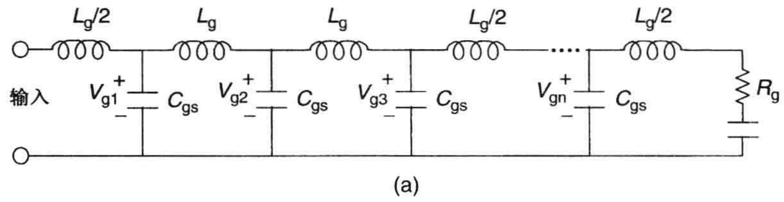
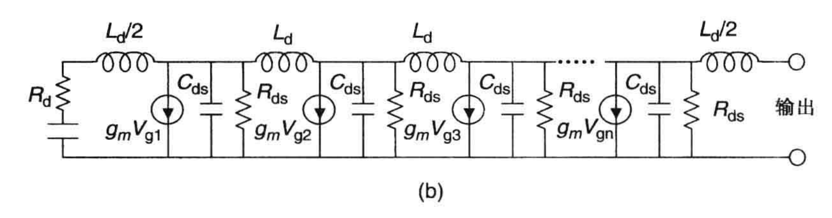


图 11.17　简化的 n 节分布式放大器



(a)



(b)

图 11.18　人工传输线的等效电路:(a)栅极；(b)漏极

输入线的阻抗是

$$Z_{0g} = (L_g/C_{gs})^{1/2} \tag{11.22a}$$

漏极线的阻抗是

$$Z_{0d} = (L_d/C_{ds})^{1/2} \tag{11.22b}$$

由于 $C_{gs} > C_{ds}$，DA 的带宽被栅极电容限制。等效栅极线的最高工作频率(即截止频率)是

$$f_c = \frac{1}{\pi Z_{0g} C_{gs}} \tag{11.23}$$

如果用一个电容 C_g 和栅极串联，如图 11.19 所示，有效栅极电容降低[17]：

$$C'_{gs} = \frac{q}{1+q}C_{gs}$$
$$q = C_g/C_{gs} \tag{11.24}$$

这里假设所有晶体管串联的电容值都是一样大小。此时，FET 跨导和截止频率是

$$g'_m \cong \frac{q}{1+q}g_m \tag{11.25a}$$

$$f'_c = \frac{1+q}{q}f_c \tag{11.25b}$$

给晶体管串联一个电容增加了带宽，但降低了增益。这个方法经常用在功率 DA 中增加功率-带宽能力。

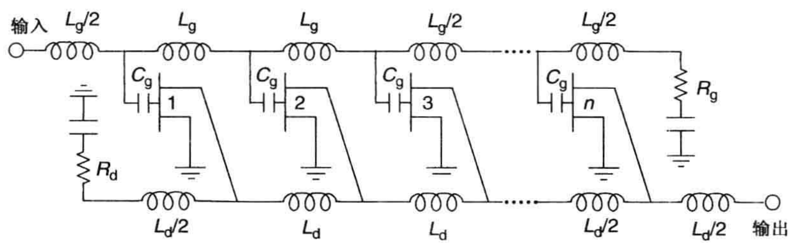


图 11.19 改良的 n 节分布式放大器

小信号 DA(见图 11.17)增益的近似表达式[1]是

$$G \cong \frac{g_m^2 n^2 Z_{0g}^2}{4}[1 - \alpha_g \ell_g n/2]^2 \tag{11.26}$$

这里n = FET 的数量

g_m = 每一个 FET 的跨导

Z_{0g} = 栅极线的特征阻抗

α_g = 栅极线的衰减常数

ℓ_g = 每个单元的栅极线长度

这个表达式中假设特征阻抗恒定、单元线长恒定，而且忽略漏极线损耗。从式(11.26)中可知，为了得到更大的增益，需要更高的 Z_{0g}和低 α_g。

计算最优节数 n_{opt}的近似表达式是

$$n_{opt} = \frac{\ln[\alpha_g \ell_g / \alpha_d \ell_d]}{\alpha_g \ell_g - \alpha_d \ell_d} \tag{11.27a}$$

这里

$$\alpha_g \ell_g = \frac{R_g Z_0 (2\pi f C_{gs})^2}{2} \tag{11.27b}$$

$$\alpha_d \ell_d = \frac{Z_0}{2R_{ds}} \tag{11.27c}$$

这里 R_g、C_{gs}、R_{ds}都是 FET/HEMT EC 模型参数，f 是最大工作频率，$Z_0 = 50\ \Omega$。

在电路设计中，可以通过在 DA 的栅极线和漏极线等效电路中使用超低损耗和高阻抗线来改善性能。可以用厚导体、厚介质和脊型微带来实现这样的线，就像在 10.5.3 节中论述的一样。在 GaAs MMIC 中，这样的线可以在 10 μm 厚的聚酰亚胺层上实现，聚酰亚胺层下是 GaAs 层，用多层电镀(MLP)工艺实现[20]。

在宽带 MMIC 中，作为一个展示多层电镀工艺性能优势的例子，图 11.20 展示了两个 2 ~ 20 GHz 分布式放大器的预测增益，一个使用标准的工艺，另一个使用多层电镀工艺[20]。可以很明显地看出，在 20 GHz 处，多层电镀工艺可以提升大约 1.5 dB 的增益。回波损耗优化了 10 dB。因此多层电镀工艺要么在给定带宽的情况下增加增益，要么在给定增益的情况下增加带宽。

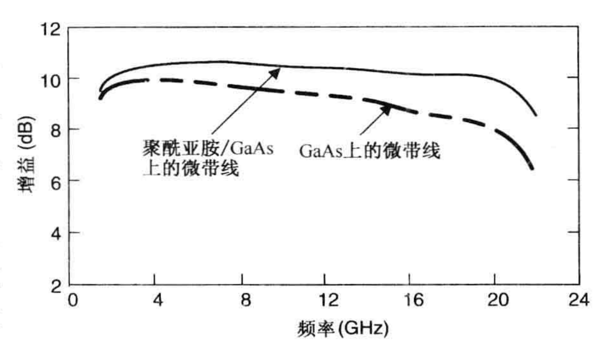


图 11.20　利用标准工艺和 MLP 工艺的 2 ~ 20 GHz 分布式放大器性能（预测）比较

下面我们将讨论几个用 MLP 工艺的 MSAG FET 实现的分布式放大器的例子。在这些 MMIC 中，栅极微带导体和漏极微带导体设计在 10 μm 厚的聚酰亚胺层上，其下是 GaAs 介质层。在电路设计中使用 FET 小信号模型，FET 的输入和输出端都匹配到 50 Ω。

例 11.5　高速增长的数据传输要求大容量的光纤通信系统。这样的系统要求数据速率高达 40 Gb/s。这个系统中最大的限速元件是接收机中的前置放大器，该放大器要求低噪声系数、平坦的增益响应、极高的带宽（DC ~ 40 GHz）。包括行波技术、MESFET、pHEMT、HBT 在内的各种放大器结构和晶体管技术都用来开发混合式或单片集成式的高速前置放大器。

图 11.21 中展示了一个用 M/A-COM 的 MSAG 工艺设计的用于 20 Gb/s 光纤通信系统的 6 单元单片集成分布式放大器[20]，它要求正负、双电源供电。外部连上 1000 pF、150 nF 和 0.01 μF的电容是为了将频率范围向下扩展到 500 kHz。图 11.22 展示了测试的增益、输入和输出回波损耗。这个放大器在 500 kHz ~ 20 GHz 范围上一般有 10 dB 的增益，最大的 VSWR 是 2∶1。增益平坦度是 ±1 dB。在 0.1 ~ 20 GHz 范围内测量的噪声系数（NF）低于 4.5 dB。如果采用 pHEMT 工艺，则噪声系数将降低 1 dB。

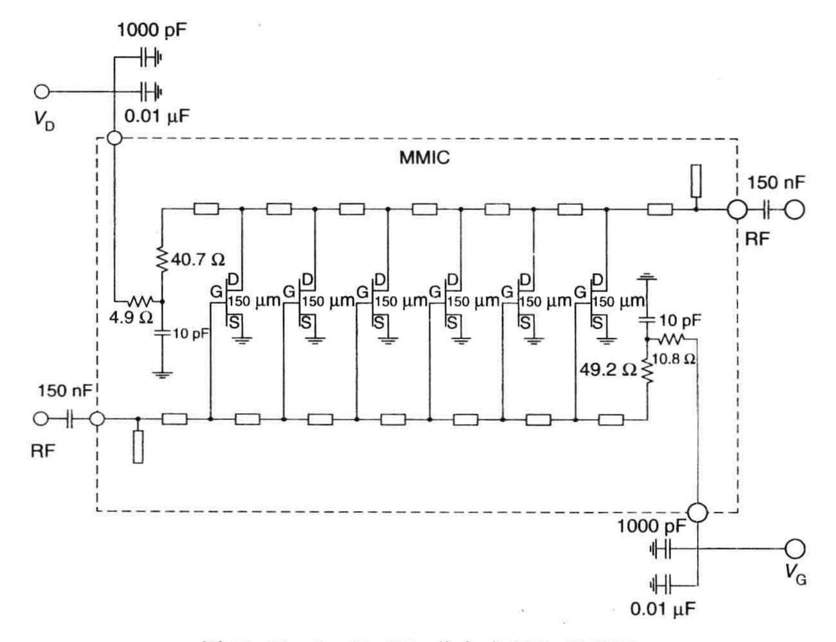


图 11.21　0 ~ 20 GHz 分布式 LNA 原理图

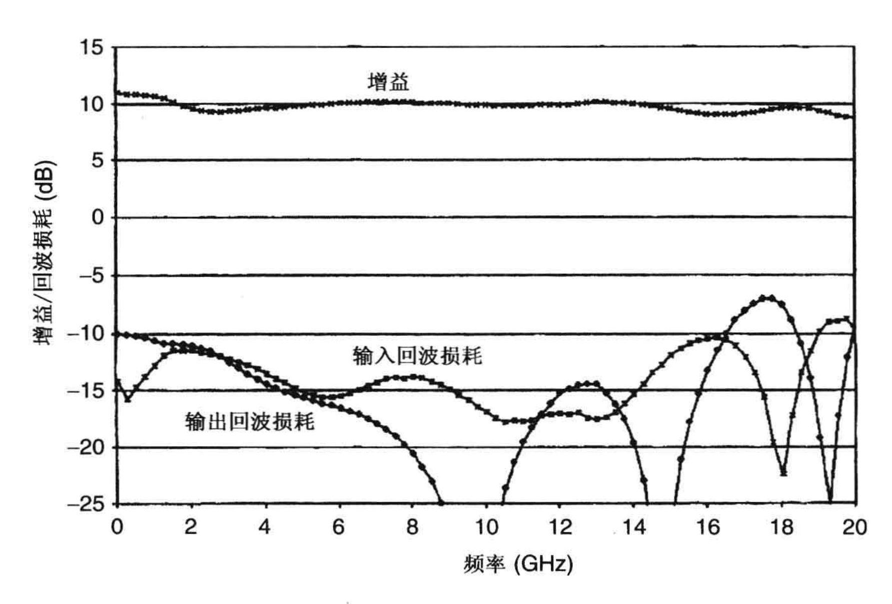


图 11.22 测量的 0 ~ 20 GHz 分布式 LNA 的增益、输入和输出回波损耗

例 11.6 图 11.23 展示了一个自偏置的 2 ~ 20 GHz 分布式 LNA 的物理版图。它包含 6 个 150 μm 栅宽的低噪声 FET。这个电路设计使用低噪声 FET 模型，从而实现低噪声系数和高增益性能。单电源工作通过"片上"自偏置网络实现。选择栅极到地的电阻，使器件偏置到 25% I_{dss}，这是在最小噪声系数和高 $P_{1\,dB}$之间做出的一个折中。漏极供电电压是 5 V。

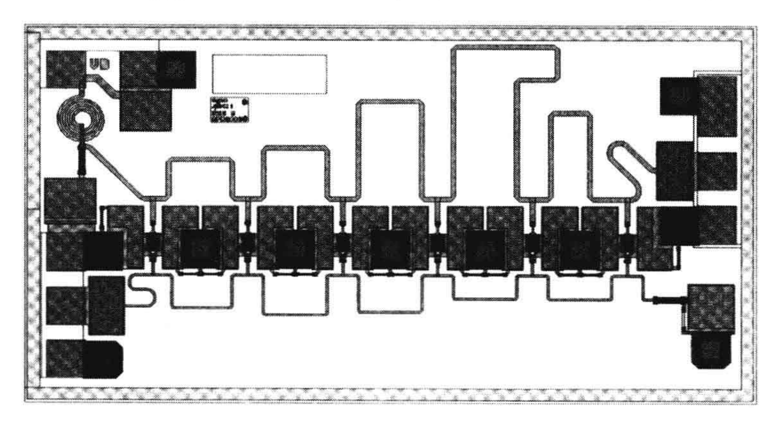


图 11.23 自偏置的 2 ~ 20 GHz 分布式 LNA 的版图，芯片尺寸为 3 × 1.6 mm^2

图 11.24 展示了该 LNA 的增益和噪声系数测试结果。器件电流从 Q 值点的 75 mA 增加到 $P_{1\,dB}$压缩点的 110 mA。测量的回波损耗在 2 ~ 20 GHz 范围中优于 10 dB，测量的 $P_{1\,dB}$压缩点在低频上是 20 dBm，在高频上是 17 dBm。

单级 DA 实例

这是一个高功率版本的低噪声放大器设计，低噪声放大器之前已经讨论过了。它也是使用相同的自偏置方法。图 11.25 展示了这个 2 ~ 18 GHz 的分布式放大器的照片。这个拓扑图中使用了 5 个 300 μm 栅宽的低噪声 FET。器件设计参数在表 5.1 中(见第 5 章)。这个设计的目的

是当输入和输出都匹配到 50 Ω 时，能获得高 $P_{1\,dB}$ 和高增益。单电源工作通过“片上”自偏置网络实现。正常的漏极供电电压是 5 V，然而片上降压电阻使得供电电压范围达到 5 ~8 V。

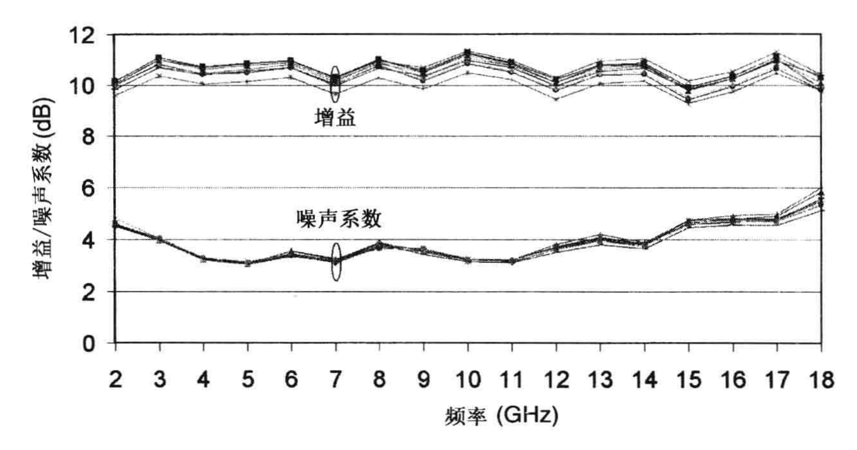


图 11.24　测量的自偏置 2 ~20 GHz 分布式 LNA 的增益和噪声系数

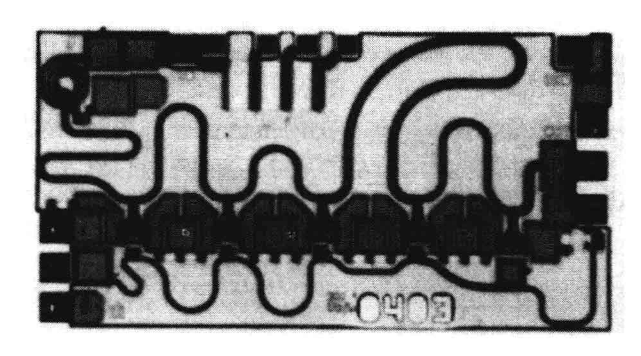


图 11.25　自偏置 2 ~18 GHz 分布式放大器的照片，芯片尺寸为 3 ×1.7 mm²

图 11.26 和图 11.27 展现了增益、VSWR 和不同漏极偏压下的饱和输出功率的测量结果。

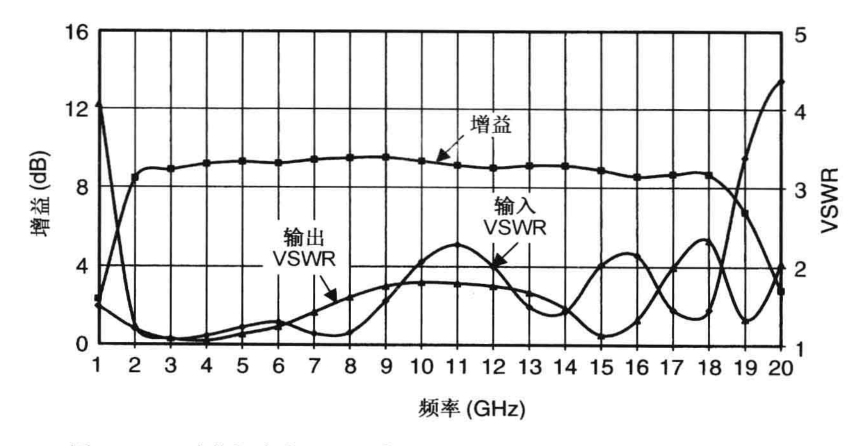


图 11.26　随着频率变化的小信号增益与输入和输出 VSWR，V_D =5 V

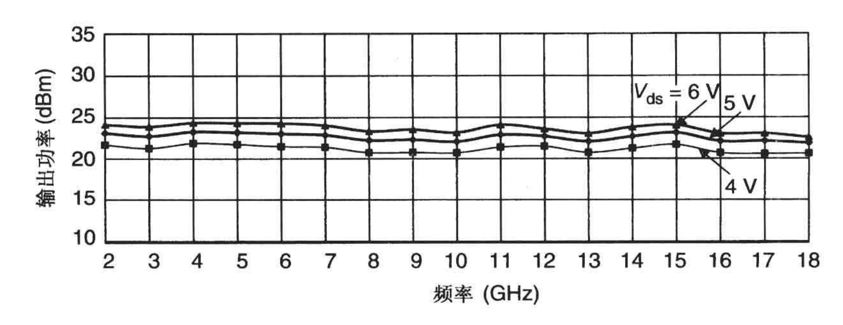


图 11.27 随着频率变化和漏极电压变化的饱和输出功率

这个 DA 在多倍频程内噪声和增益性能很优秀。然而为了最大增益和匹配到 50 Ω 系统阻抗，功率和 PAE 将会受到限制。这是由于每个器件都无法预测获得最大功率和 PAE 时的最佳负载阻抗。这可以通过一个 4 节 DA 的简化等效电路来解释，等效电路展现的电流聚集如图 11.28 所示。假设所有的 4 个器件都有相同的尺寸，都要求相同的实负载值 R_L。电流从左到右依次聚集[21]。根据等效传输线理论，从端口 1 向右看进进去的传输线特征阻抗应该是 R_L 或者是 $\sqrt{L_1/C_1} \cong R_L$。在端口 2，如果两路电流同相流入，总电流就是 $2i(t)$。这样从端口 2 向右看进去的传输线特征阻抗应该是 $R_L/2$，或者是 $\sqrt{L_2/C_2} \cong R_L/2$。利用相似的分析，端口 4 向右看进去的传输线特征阻抗必须是 $R_L/4$，或是 $\sqrt{L_4/C_4} \cong R_L/4$，并且所要求的特征阻抗必须是 $R_L/4$。因此对于高功率、高 PAE，DA 需要漏极线特征阻抗逐渐减小。这样的阻抗值也可以用逐渐减小的晶体管尺寸达到，在输入端采用最大的尺寸，在输出端采用最小的尺寸。如果我们要维持 $R_L/4 = 50\ \Omega$，这将限制分布式放大器的功率输出(由于小尺寸的晶体管)。

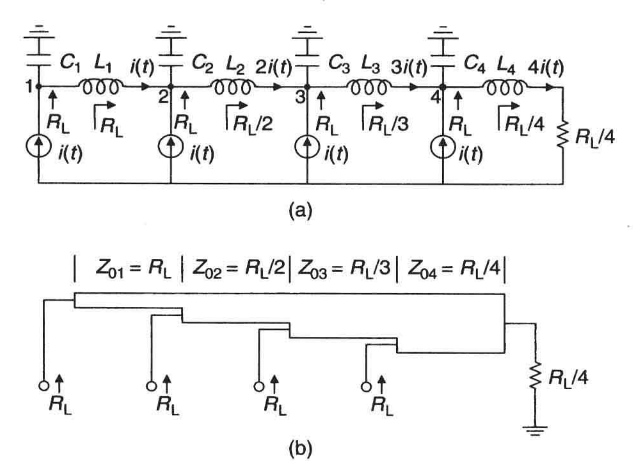


图 11.28 展现电流合并的 4 节 DA 等效电路图:(a)集总元件方法;(b)传输线方法

由于较大的晶体管尺寸和较低的系统阻抗，导致栅极截止频率降低，从而使 DA 的输出功率受到限制。图 11.29 将表明较低的系统阻抗，图中高功率 DA 匹配到 3 ~ 12 Ω 的源和负载阻抗上，一个超宽带巴伦(第 7 章讨论的)用来将 3 ~ 12 Ω 阻抗变换到 50 Ω，Z_T 估计在3 ~ 12 Ω 之间。

单级功率 DA 实例

这是另一个 DA，设计的目的是高功率。这个 1 W 单级功率放大器的拓扑如图 11.29 所示。

在这个结构中，在源和负载都低于 50 Ω 时设计一个 DA，并把两个这样的 DA 并联在一起，然后在输入和输出端用传输线巴伦将之匹配到 50 Ω。在这个设计中，每个单端级使用 5 个单元，器件尺寸逐渐减小，从而得到最大的功率、带宽和 PAE。在 DA 中，对功率贡献最大的就是前两个器件，剩下的器件都是用来扩展带宽的。因此在输入端使用大尺寸的晶体管来获得高输出功率，在输出端使用小尺寸的晶体管来实现较高的栅极截止频率。在这个单端设计中，FET 的栅宽分别是 625 μm、625 μm、625 μm、470 μm 和 300 μm。使用小信号 S 参数，每一级都优化到最大增益、最好的输入和输出 VSWR。图 11.30 显示了这个 6 ~ 18 GHz 的分布式放大器的物理版图。

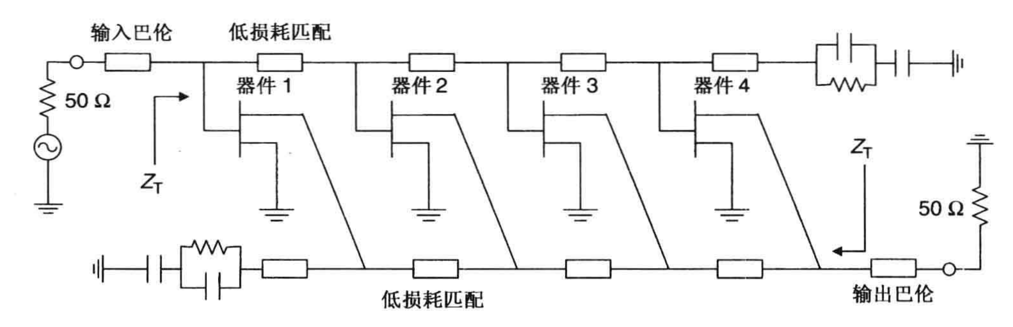


图 11.29　高 P_o、高 PAE 极宽带分布式放大器结构

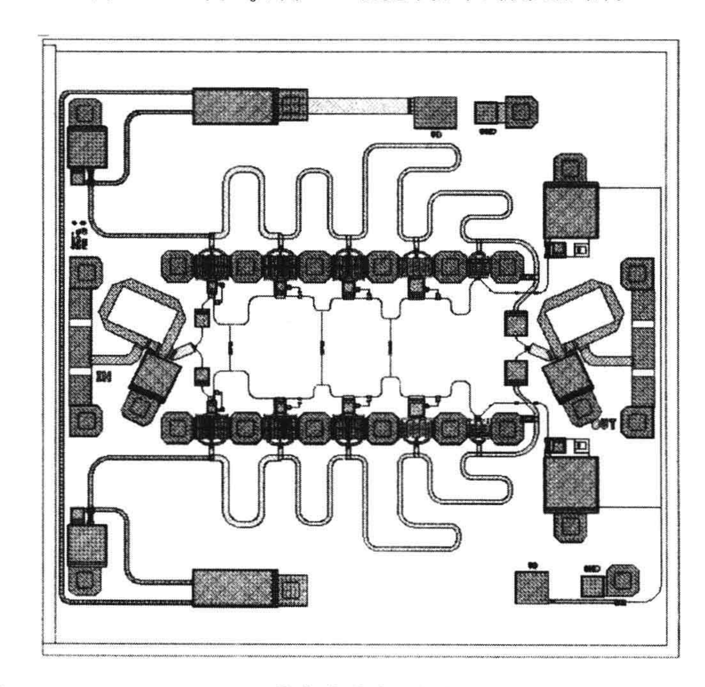


图 11.30　6 ~ 18 GHz 、1 W 分布式放大器的版图，芯片尺寸为 3 × 3 mm²

仿真得到的 6 ~ 18 GHz、1 W DA 的输出功率和 PAE 显示在图 11.31 中，输出功率是 31 dBm，PAE 在 10% ~ 12% 之间。输入和输出回波损耗优于 8 dB。

两级功率 DA 实例

下面给出一个工作在 2 ~ 18 GHz 的 1 W 两级功率 DA。像其他微波电路一样，DA 在增益-带宽积和功率-带宽积上都有限制。带宽被器件的输入电容限制，输入电容与器件的输出功率成比例。也就是说，如果想将输出功率提升两倍，则器件尺寸增加一倍，栅极截止频率降低。

因此对于一个 2 ~ 18 GHz 的功率放大器来说，给定器件类型，就会有一个最大可能的输出功率限制。对于工作在 10 V 供电电压的 MSAG 功率器件(见第5章)，它的功率限制在0.5 W。为了获得更高的输出功率，可以用第19章介绍的通用电桥合成技术尽可能地组合这样的电路。然而单片集成电路放大器的尺寸和它的成本阻碍了功率大于 3 ~4 W 的设计。

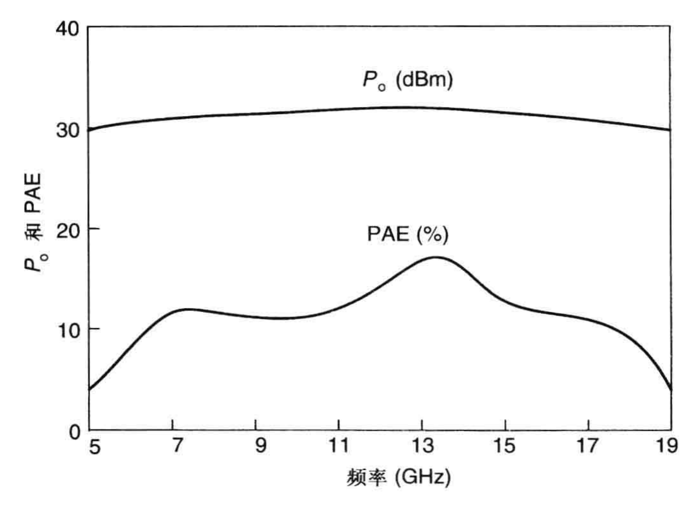


图 11.31 6 ~ 18 GHz、1 W DA 的输出功率和 PAE 的仿真

这个1 W 两级功率放大器的拓扑结构展示在图 11.32 中。第一级使用传统的 DA 结构;在第二级中，两个 DA 利用电抗性合成器组合在一起。在这个设计中，每级使用5个单元，为了获得最大的功率、带宽、PAE，晶体管尺寸逐渐减小。第一级 FET 的尺寸是625 μm、625 μm、470 μm、470 μm 和300 μm。在第二级的单端设计中，FET 的尺寸是625 μm、625 μm、625 μm、470 μm 和300 μm。使用小信号 S 参数，每一级都优化到最大增益、最好的输入和输出 VSWR。图 11.33 显示了这个 2 ~ 18 GHz 的分布式放大器的照片，图 11.34 显示了在不同漏极偏压下的饱和功率。

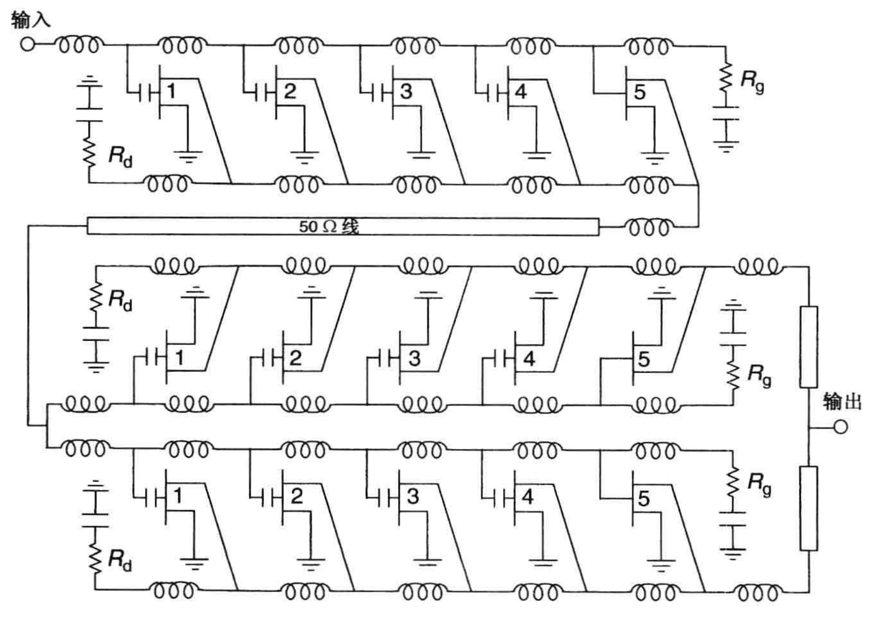


图 11.32 1 W 两级 DA 放大器的原理图

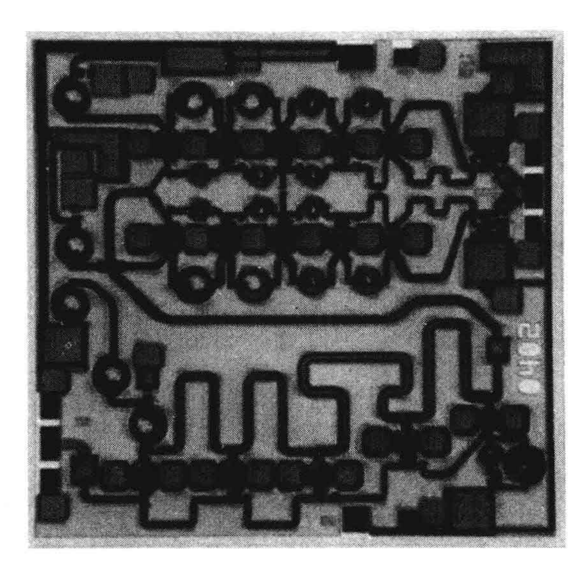


图 11.33　两级 2 ~ 18 GHz 分布式功率放大器的照片，芯片尺寸为 3 × 3 mm²

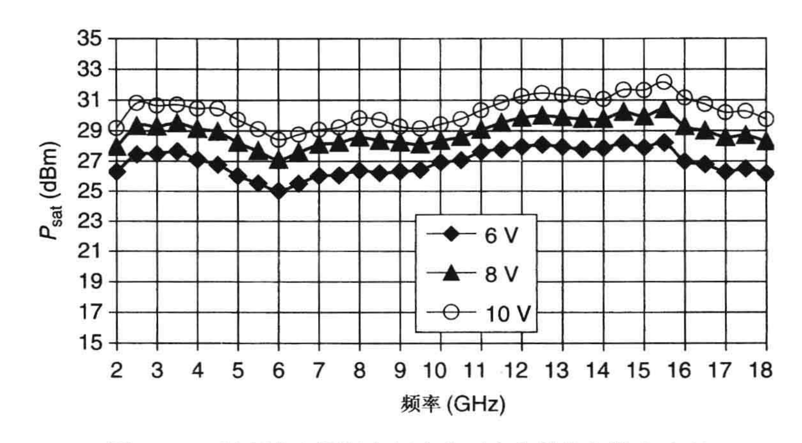


图 11.34　随频率和漏极电压变化而变化的饱和输出功率

11.2.5　有源宽带匹配技术

图 11.35 所示的有源宽带匹配技术适用于 RF、微波的低频段和低功率场合。这个多级设计用到了第 4 章介绍的所有 3 种可能的 FET 结构。第一级用到了共栅结构作为输入匹配，输出级用共漏结构作为输出匹配，常见的共源结构放在中间用于增益级。实际上在输入和输出端没有任何匹配元件。中间级使用匹配网络，R_1 和 R_2 是匹配的一部分，同时用来提高放大器的稳定性。Niclas[12]分析了这个结构。这种结构有很大的潜力，特别是在单片集成电路中[22]。

下面我们将讨论共栅和共漏是如何提供良好的输入和输出匹配。对于共栅结构，在低频且忽略器件的寄生电抗时，FET/HEMT 的 S 参数是[12]

$$S_{11} = \frac{1 - g_m Z_S + (Z_1 - Z_S)/R_{ds}}{1 + g_m Z_S + (Z_1 + Z_S)/R_{ds}} \tag{11.28a}$$

$$S_{12} = \frac{2(Z_S Z_1)^{1/2}/R_{ds}}{1 + g_m Z_S + (Z_1 + Z_S)/R_{ds}} \tag{11.28b}$$

$$S_{21}=\frac{2(g_m+1/R_{ds})(Z_S Z_1)^{1/2}}{1+g_m Z_S+(Z_1+Z_S)/R_{ds}} \tag{11.28c}$$

$$S_{22}=\frac{1+g_m Z_S-(Z_1-Z_S)/R_{ds}}{1+g_m Z_S+(Z_1+Z_S)/R_{ds}} \tag{11.28d}$$

这里 g_m 是器件的跨导，R_{ds}是器件的输出电阻。阻抗 Z_S 和 Z_1 表示在图 11.35 中。当 $S_{11}=0$ 时，输入完美匹配。从式(11.28a)可得

$$g_m Z_S = 1+(Z_1-Z_S)/R_{ds} \tag{11.29}$$

假设 $Z_1=Z_S=Z_0=50\ \Omega$，从式(11.28)和式(11.29)，我们发现

$$g_m = 1/Z_0 \tag{11.30a}$$

$$S_{12}=\frac{Z_0/R_{ds}}{1+Z_0/R_{ds}} \tag{11.30b}$$

$$S_{21}=1 \tag{11.30c}$$

$$S_{22}=\frac{1}{1+Z_0/R_{ds}} \tag{11.30d}$$

因此在共栅结构中，当选择器件尺寸使得 $g_m=20$ mS，它的输入就匹配到 50 Ω。这个结构的增益一致性较好。

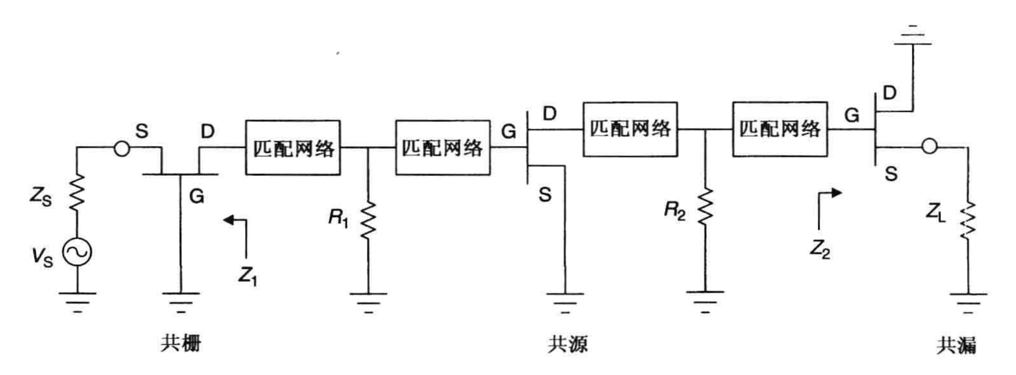


图 11.35 有源宽带放大器的原理图

类似地，对于共漏结构，在低频并且忽略器件的寄生电抗，FET/HEMT 的 S 参数是

$$S_{11}=1 \tag{11.31a}$$

$$S_{12}=0 \tag{11.31b}$$

$$S_{21}=\frac{2g_m(Z_2 Z_L)^{1/2}}{1+(g_m+1/R_{ds})Z_L} \tag{11.31c}$$

$$S_{22}=\frac{1-(g_m+1/R_{ds})Z_L}{1+(g_m+1/R_{ds})Z_L} \tag{11.31d}$$

当 $S_{22}=0$ 时，输出完美匹配。从式(11.31c)得到

$$(g_m+1/R_{ds})Z_L = 1 \tag{11.32}$$

假设 $Z_2=Z_L=Z_0=50\ \Omega$，$g_m \gg 1/R_{ds}$，从式(11.31)和式(11.32)得到

$$g_m = 1/Z_0 \tag{11.33a}$$

$$S_{21} = g_m Z_0 \tag{11.33b}$$

因此在共漏结构中，当选择器件尺寸使得 $g_m = 20$ mS，它的输出就匹配到 50 Ω。这个结构的增益一致性较好。

例 11.7　设计一个宽带低功率放大器，工作在 0.1 ~ 5 GHz。期望的增益和 VSWR 是 10 dB 和 2∶1。选择合适的器件并画出仿真性能。

解　一个 150 μm 的 5 A FET，偏置在 3 V，15% I_{dss}，并且选用以下 EC 模型参数：

$$R_g = 1\Omega,\ R_i = 4\ \Omega,\ R_s = 2\ \Omega,\ R_d = 2\ \Omega,\ R_{ds} = 500\ \Omega$$
$$C_{gs} = 0.19\ \text{pF},\ C_{gd} = 0.023\ \text{pF},\ C_{ds} = 0.05\ \text{pF}$$
$$g_m = 20.5\ \text{mS},\ \tau = 2\ \text{ps}$$
$$L_g = 0.02\ \text{nH},\ L_s = 0.001\ \text{nH},\ L_d = 0.02\ \text{nH}$$

这个器件的 g_m 大约是 20 mS。相同的 FET，但是共栅结构偏置在 3 V，45% I_{dss}，用来获得高增益。高电流版本需要 g_m 和 C_{gd} 大 20%，C_{ds} 小 20%。分析共栅和共漏结构的数据，发现共漏的隔离度没有共栅的好。在 5 GHz 共栅的隔离度是 19 dB，共漏的隔离度是 11.4 dB。在高频端，这些值还要下降。为了平坦增益，在共源两端跨接负反馈，如图 11.36 所示。这个负反馈电阻的值选在使增益平坦度位于 ±0.5 dB 之内。图 11.37 展示了这个放大器的仿真数据。

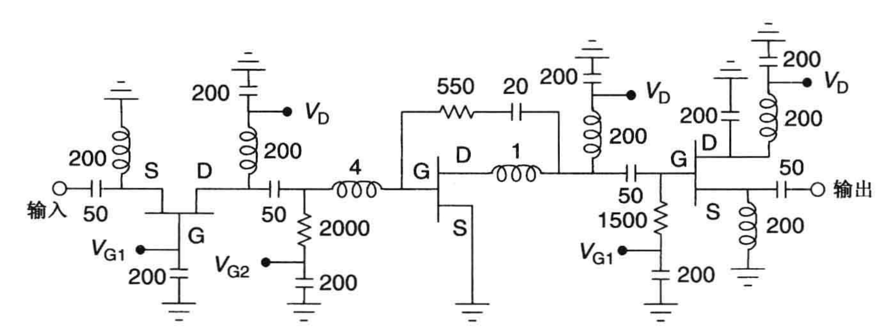


图 11.36　带有偏置网络的有源宽带放大器的原理图

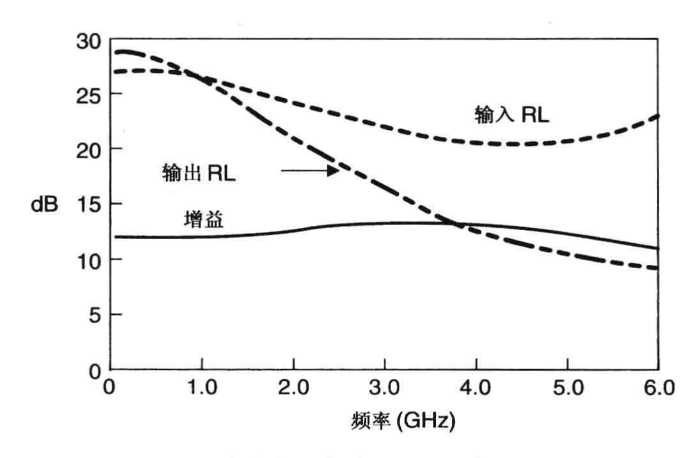


图 11.37　极宽带低功率放大器随频率变化的增益、输入回波损耗(RL)、输出回波损耗仿真

11.2.6 共源共栅结构

当共源和共栅结构串联在一起时，就构成了共源共栅结构，如图 11.38 所示。在共栅结构中，如果栅极端连着一个电阻，则这个共源共栅结构就变成双栅 FET，如果在栅极端连着一个电容，它就等效为两个 FET 串联，如同第 13 章所述。相对于共源放大器，共源共栅放大器有三点好处：(a)高输出阻抗；(b)高反向隔离，这是由于米勒电容很小，对 R_{ds}不敏感；(c)输出端可以承受大的电压摆幅。共源共栅结构的 g_m 和 C_{gs}与共源结构的大致相同，但是由于共源共栅结构的小反馈电容和高输出阻抗，其增益相比共源增加 3 ~4 dB。共源共栅结构已经成功地用在 DA 设计中，以提升增益和带宽。高压摆幅能力已经用在提高输出功率上，将在第 13 章讨论。

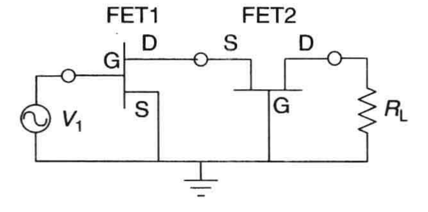


图 11.38 共源共栅的基本结构

共源放大器是一个反相放大器，因为它将信号反相(将输入信号乘以一个固定的负系数)。在这个结构中，由于米勒效应，电压增益越大，输入电容就越大。C_{gd}和通过米勒效应增加的输入电容将输出信号反馈到输入，同时也引起了潜在的不稳定，特别是负载是电抗性的。利用共源共栅结构可将米勒效应降到最小。图 11.39 给出了共源共栅结构的低频等效电路。

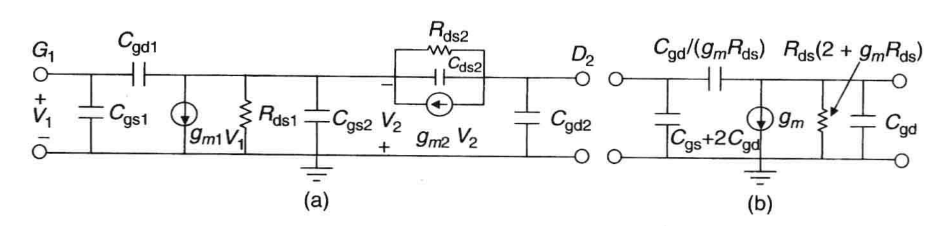


图 11.39 共源共栅结构的低频等效电路：(a)两个 FET 串联；(b)简化的电路

共源共栅的输出阻抗是

$$R_{ds}^{cascode}=R_{ds1}+R_{ds2}(1+g_{m2}R_{ds1}) \tag{11.34}$$

下标1代表FET1(共源)，下标2代表FET2(共栅)。对于相同的FET宽度，$g_{m1}=g_{m2}=g_m$，$R_{ds1}=R_{ds2}=R_{ds}$，

$$R_{ds}^{cascode}=R_{ds}(2+g_mR_{ds}) \tag{11.35}$$

对于较大的 g_mR_{ds}值，共源共栅的输出阻抗模值增加到比共源结构稍高的数量级上。类似地，使共源共栅的反馈电容降低到比共源结构稍小的数量级上。这些努力将使共源共栅放大器的增益提升 3 ~4 dB。

11.2.7 宽带技术的比较

表 11.2 中定性比较了一些放大器宽带技术。宽带放大器可以用第 7 章讨论的阻抗匹配技术或是 CAD 工具实现。在宽带放大器的设计中，CAD 工具起到了至关重要的作用，因为有好几个指标需要同时满足，例如增益、增益平坦度、VSWR、噪声系数、输出功率、PAE 和线性化。在使用解析方法设计时很难将指标全部满足。

表 11.2 宽带放大器技术的比较

电抗/电阻性匹配	平衡式电路	反馈	分布式方法
两倍频程	两倍频程	多倍频程	多倍频程
需要大 g_m 的器件	需要匹配好的器件对和正交耦合器	需要大 g_m 的器件和正、负反馈	需要很多小器件
尺寸适中	尺寸相对较大	尺寸相对较小	尺寸适中
提供很差的阻抗匹配	提供非常好的匹配	提供好的匹配	提供好的匹配
低噪声、高输出功率、高 PAE	高输出功率、适中的 PAE	适中的输出功率、适中的 PAE	低输出功率、较差的 PAE
制造公差的影响小	制造公差的影响小	制造公差的影响适中	制造公差的影响适中
模块化不容易	串联两个和多个增益模块时比较简单	模块化简单	模块化简单

11.3 宽带功率放大器设计的考虑事项

在设计高性能的宽带功率放大器时，电路拓扑图的选择、晶体管的长宽比、合适的匹配电路和准确的热设计都非常重要。下面将简单介绍设计的各个方面。

11.3.1 拓扑图的选择

首先必须选择一个满足设计要求(可用供电、功率输出、频率范围)的放大器拓扑图。例如，对于多倍频程(多于两个倍频程)情况下，反馈技术适合低频，DA 适合高频。然而当带宽小于两个倍频程时，电阻/电抗式技术可以提供最好的输出功率和 PAE。

11.3.2 器件长宽比

在多级放大器设计中，适当的器件长宽比对于实现高输出功率、高 PAE 或是线性放大器起到了至关重要的作用。假设输出电路损耗可以控制在 0.5 dB 以内，另外由于理想的负载阻抗和实际设计的负载阻抗之差又引入了 0.5 dB 的失配损耗，器件必须提供 5 W 的输出功率来实现一个 4 W 的功率放大器。在一个两级放大器中，输出级与输入级器件尺寸取决于器件在工作频率处的压缩增益、PAE、线性度要求和带宽。在宽带应用中，由于耗散损耗和晶体管输入和输出端的失配损耗而导致的 3 ~ 4 dB 增益损耗是可以接受的。例如，在 L 和 S 波段，每一级 FET 有 12 dB 的压缩增益，为了得到高 PAE，需要输出与输入的 FET 尺寸之比为 4∶1。因此一个工作在 1 ~ 4 GHz 的两级 5 W HPA 需要一个 1.25 W 的器件来驱动一个 5 W 的器件。然而在高频应用中，这个比值将下降到 3∶1。在 Ku 波段和 K 波段，由于器件的低增益，需要 2∶1 的器件长宽比。

11.3.3 低损耗匹配网络

我们非常希望降低使用微带线的功放输出匹配网络的耗散损耗，从而可以提高输出功率和 PAE。第 10 章(见 10.5.3 节)讨论的几种提高 PAE 的技术可以用在宽带 HPA 中。微带匹配网络中的耗散损耗可以通过使用相对较厚的导体[15]和在导体与介质之间加入低介电常数的层[20]而降低。厚导体(8 ~ 10 μm)也可以提升电流和功率的承受能力。在 MMIC 工艺中，通过合并两个 4.5 μm 厚的导体，在 MLP 中也可以实现厚的导体[15]。在 MLP 工艺中，增加的厚金属层可以在微波的低频段降低损耗，而且可以增加直流电流的流动面积。

11.3.4 增益平坦技术

绝大多数放大器要求带内增益平坦。11.2 节讨论的所有放大器设计技术都需要一些增益补偿方法，这些方法根据需要的指标而定。电阻/电抗式增益补偿技术同样也可以用在反馈和DA 中。在一些关键指标中，总有一些折中，这些关键指标包括增益平坦度、NF、输入匹配、输出匹配、PAE 和线性度。宽带设计中使用的增益平坦技术总会影响到其他指标，这种影响取决于增益平坦度要求的严格性。增益平坦度的要求越严格，NF、输出功率和 PAE 恶化得就越多。

11.3.5 谐波终端

第 10 章讨论的传统谐波终端仅能工作在窄带上(5% ~15%)。需要一个可以提高谐波终端带宽的技术，一个可行的宽带谐波终端技术就是使用第 10 章讨论的推挽结构。在这种情况下，如果巴伦是宽带的，二次谐波是电抗性终端，则可以在宽带上获得更高的 PAE。这个技术需要一个低损耗(0.3 ~0.5 dB)的巴伦。如果损耗大于 1 dB，增益将降低 2 dB，功率将降低 1 dB，推挽结构在增益和功率上就没有了优势。宽带终端技术的优势将被巴伦的大损耗和大体积所降低。

11.3.6 热设计

因为宽带功放的 PAE 较低，所以热设计就很值得关注。一般来说，多倍频程功率放大器的 PAE 只有窄带放大器的一半；宽带放大器中的温升将是两倍。因此从器件设计到散热器设计都很重要。第 16 章将讨论功放设计中热设计的所有方面。

参考文献

1. Y. Ayasi et al., A monolithic GaAs 1–13 GHz traveling-wave amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. MTT-30, pp. 976–981, 1982.
2. J. P. Fraysse et al., A 2W, high efficiency, 2–8 GHz, cascode HBT MMIC power distributed amplifier, *IEEE Int. Microwave Symp. Dig*., pp. 529–532, 2000.
3. J. J. Xu et al., A 3–10-GHz GaN-based flip-chip integrated broad-band power amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 48, pp. 2573–2578, December 2000.
4. A. Sayed and G. Boeck, Two-stage ultrawide-band 5-W power amplifier using SiC MESFET, *IEEE Trans. Microwave Theory Tech*., Vol. 53, pp. 2441–2449, July 2005.
5. TriQuint Semiconductor, 13510 North Central Expressway, Dallas, TX.
6. M/A-COM, RF and Microwave Product Solutions, 1011 Pawtucket Blvd., Lowell, MA.
7. I. D. Robertson and I. J. Bahl Solid-state circuits, in *Electrical Engineering Handbook: Electronics, Power Electronics, Optoelectronics, Microwaves, Electromagnetics, and Radar* (R. C. Dorf, Editor), 3rd edition, CRC Press, Boca Raton, FL. 2006.
8. D. Conway, M. Fowler, and J. Redus, New process enables wideband high-power GHz amplifiers to deliver up to 20W, *Defense Electron*., pp. 8–11, February 2006.
9. I. J. Bahl, 0.7–2.7 GHz 12-watt power amplifier MMIC developed using MLP technology, *IEEE Trans. Microwave Theory Tech*., Vol. 55, pp. 222–229, February 2007.
10. I. J. Bahl, 2–8 GHz 8-watt power amplifier MMIC developed using MSAG MESFET technology, *IEEE Microwave Wireless Comp. Lett*., Vol. 18, pp. 52–54, January 2008.
11. K. B. Niclas et al., The matched feedback amplfier: ultrawide-band microwave amplification with GaAs MESFETs, *IEEE Trans. Microwave Theory Tech*., Vol. MTT-28, pp. 285–294, April 1980.
12. K. B. Niclas, Multi-octave performance of single-ended microwave solid-state amplifiers, *IEEE Trans. Microwave Theory Tech*., Vol. MTT-32, pp. 896–906, August 1984.

13. W. C. Peterson, A. Gupta, and D. R. Decker, A monolithic GaAs DC to 2-GHz feedback amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 31, pp. 27–29, January 1983.
14. K. Kurokawa, A wideband low noise L-band balanced transistor amplifier, *Proc. IEEE*, Vol. 53, p. 237, 1965.
15. I. Bahl, Ku-band MMIC power amplifiers developed using MSAG MESFET technology, *Microwave J*., Vol. 49, pp. 56–82, February 2006.
16. J. B. Beyer et al., MESFET distributed amplifier design guidelines, *IEEE Trans. Microwave Theory Tech*., Vol. 22, pp. 268–275, March 1984.
17. Y. Ayasli et al., Capacitively coupled traveling-wave power amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 32, pp. 1704–1709, December 1984.
18. S. N. Prasad, J. B. Beyer, and I. S. Chang, Power–bandwidth considerations in the design of MESFET distributed amplifiers, *IEEE Trans. Microwave Theory Tech*., Vol. 36, pp. 1117–1123, July 1988.
19. S. N. Prasad, S. Reddy, and S. Moghe, Cascaded-transistor cell distributed amplifiers, *Microwave Opt. Technol. Lett*., Vol. 12, No. 3, pp. 163–167, June 1996.
20. M. Ashman and I. Bahl, High performance wideband MSAG gain block/driver amplifier MMICs using MLP technology, *Microwave J*., Vol. 47, pp. 74–88, December 2004.
21. S. Olson, B. Thompson, and B. Stengel, Distributed amplifier with narrowband amplifier efficiency, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 155–158, 2007.
22. W. C. Peterson et al., A monolithic GaAs 0.1 to 10 GHz amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 354–357, 1981.

习题

11.1 在平衡放大器中，S_{11A}和S_{11B}分别是 A、B 放大器的输入反射系数。证明平衡放大器的输入反射系数为

$$S_{11} = \frac{1}{2}[S_{11A} - S_{11B}]$$

11.2 推导平衡放大器的噪声系数 F，给定的参数是：每个放大器的噪声系数 F_1、F_2，增益 G_1、G_2，并且假设 90°的 3 dB 电桥是理想的。

11.3 证明平衡放大器的噪声系数等于耦合器与单端式放大器的损耗之和。

11.4 一个器件的输出阻抗用一个并联 RC 电路等效，将它在一个倍频程(3 ~ 6 GHz)内匹配到 50 Ω，$R = 100\ \Omega, C = -0.5$ pF，如果用理想的元件匹配，能获得的最小反射系数是多少？

11.5 一个器件的输入阻抗用一个串联 RC 电路等效，将它在一个倍频程上(3 ~ 6 GHz)匹配到 50 Ω，$R = 10\ \Omega, C = 1.0$ pF，如果用理想的元件匹配，能获得的最小反射系数是多少？

11.6 确定平衡放大器的输入反射损耗，其中 $S_{11A} = 0.5$，$S_{11B} = 0.5e^{j\theta}$，$\theta = 0$，$\pi/16$，$\pi/8$。

11.7 对于表 5.1 中给出的一个器件的 S 参数，在 4 mil GaAs 基底上使用 5 节分布式放大器(使用微带)，计算最大工作频率和增益。

11.8 设计一个 2 ~ 8 GHz 的反馈放大器，其最大稳定增益参考表 5.1。计算放大器的增益、S_{11}和 S_{22}。

第 12 章　线性化技术

当放大器的输出功率随输入功率的增大而线性增加时，这种放大器称为线性放大器。线性度定义为可接受的最大的失真度，例如 TOI、ACPR、EVM 或者 NPR。当输入功率增大时，放大器传输方程变得非线性，并且会达到这样一种状态，即输出功率不再随着输入功率的增大而增大。这主要是由于晶体管电流和电压的截断，以及晶体管跨导和结电容随着输入功率的变化而变化。测量放大器的非线性度的一个指标是交调失真(IMD)。当非线性放大器输入信号为多个载波时，由于混频就会产生类似于交调产物的多个频段的失真。IMD 也可能是由于幅度调制(AM)和相位调制(PM)的共同结果。

增益随着输入信号幅度的降低(增益压缩)和增长(增益扩展)可以称为 AM-AM 效应，降低了幅度调制信号的质量且增加了邻信道泄漏(ACL)，这种类型的非线性可以称为 AM-AM 失真。增益扩展主要发生在 B 类和 C 类放大器中。在放大器中，尤其是大信号条件下的增益压缩下，传输相位也会随着输入信号发生变化，这种非线性称为相位失真，即 AM-PM 失真，这同样会降低信号质量且增加 ACL。在大信号条件下，输出信号也包含了谐波产物，称为谐波失真，可以通过在放大器匹配网络中加入滤波器中或者增加一个独立的无源滤波器来抑制。

IMD 预测主要依靠于精确的仿真和测试。IMD 仿真需要精确的非线性模型和合适的计算机仿真算法，这些在参考文献[1 ~ 7]中有详细讨论。本章主要介绍一些放大器的线性化技术。IMD 的测试会在第 22 章介绍。

幅度调制(AM)信号通过饱和放大器时会被严重衰减，但是频率调制(FM)信号却能以高于 $P_{1\ dB}$的最大效率通过功率放大器。虽然 FM 信号比 AM 信号的增益压缩的失真要小，但是两者都会由于非线性器件而产生谐波失真。最简单形式的失真就是一个正弦波输入信号被转变为一个方波输出信号。在这些情况下，输出信号不仅包含基频 f，同样也包含了输入信号的奇次谐波 ($3f$, $5f$, …)。这些谐波会或多或少地传输到输出端，这取决于放大器的频率响应。例如，如果放大器的输出包含了一个低通滤波器可以通过 f 但是截断 $3f$，那么单频输入信号的输出可能会压缩，但是仍然是纯净的正弦波信号。如果削波是不对称的，就可能同时产生偶次和奇次谐波。但是如果滤波器可以削减 $2f$ 信号，那么输出仍然会是纯净的正弦波信号。

功率放大器主要应用在无线通信系统，例如 DECT、LAN、GSM、AMPS、WiMAX、CDMA 和 WCDMA 等系统。这些系统使用不同的调制原理(包括幅度调制和相位调制)来得到较高的频谱利用率。但是这些都对放大器的线性度和效率提出了更高的要求。而这两者是互相矛盾的，一般只能设计线性放大器或者高效率放大器。功率放大器的效率是很重要的，它可以延长终端系统的通话时间，减小基站发射机的功率耗散。因此提高线性放大器的效率对现代功率放大器来说是非常重要的。

12.1　非线性分析

对放大器的非线性和失真特性有一系列不同的测试方法，最简单的方法就是测量增益压缩 1 dB 时的功率值，即 $P_{1\ dB}$。对于单载波情形，三阶交调也就是 IP3 或 TOI 是最优先的测试方式；而对于多载波情形，ACPR、EVM 和 NPR 的测试则是最常用的。在这些方法中，IP3 测试方法是

最通用的，其采用了两个邻近的频率。当两个位于 f_1 和 f_2 频率处的信号通过放大器时，输出信号不仅含有这两种频率的信号，而且还有 $mf_1 \pm nf_2$ 频率处的失真信号，而 $m+n$ 是交调(IM)产物的阶数。

下面，我们来分析讨论交调产物。

12.1.1　单音信号分析

假设由输入正弦波信号 $v_i(t)$ 来激励一个弱非线性双端口放大器，输出电压 $v_o(t)$ 可以表示为一个输入电压的级数式：

$$v_o = k_1 v_i + k_2 v_i^2 + k_3 v_i^3 + \cdots \tag{12.1}$$

对于弱非线性放大器，$k_1 > k_2$，$k_2 > k_3$，…。若为线性放大器，则 $k_2 = k_3 = \cdots = 0$，k_1 为电压增益。若忽略相位特性，则 k_i 为一个实数。对于弱非线性放大器，输出电压可以由式(12.1)中的前三项表示。若输入信号 $v_i = A\cos\omega t$，则式(12.1)可表示为

$$\begin{aligned} v_o &= k_1 A\cos\omega t + k_2 A^2\cos^2\omega t + k_3 A^3\cos^3\omega t \\ &= k_1 A\cos\omega t + k_2 A^2\left(\tfrac{1}{2} + \tfrac{1}{2}\cos 2\omega t\right) + k_3 A^3\left(\tfrac{3}{4}\cos\omega t + \tfrac{1}{4}\cos 3\omega t\right) \\ &= \tfrac{1}{2}k_2 A^2 + \left(k_1 A + \tfrac{3}{4}k_3 A^3\right)\cos\omega t + \tfrac{1}{2}k_2 A^2\cos 2\omega t + \tfrac{1}{4}k_3 A^3\cos 3\omega t \end{aligned} \tag{12.2}$$

此处，正弦波信号 $\sin\omega t$ 可以由 $\cos\omega t$ 表示(见第 8 章)，因为这样可以将混合产物用一个简单的数学方式来表达。在式(12.2)中，一阶、二阶、三阶、四阶产物分别表示 DC、基频(ω)、二次谐波(2ω)、三次谐波(3ω)。奇次非线性特性产生奇次失真，偶次非线性特性产生直流和偶次失真。这就是为什么由半个正弦波激励的 B 类放大器会随着 v_i 的增大，其偶次失真的直流电流都会增大。在放大器的输出端其直流电流被隔直电容阻断。在非线性条件下放大器的增益(G_{NL})可以表示为

$$G_{NL} = 20\ \log\frac{k_1 A + \frac{3}{4}k_3 A^3}{A} = 20\ \log\left(k_1 + \tfrac{3}{4}k_3 A^2\right) \tag{12.3}$$

对于一个线性放大器，$v_o \propto v_i$ 并且 $k_3 = 0$，增益 G 可表示为

$$G = 20\ \log k_1 \tag{12.4}$$

对于稳定放大器 $G > G_{NL}$，因此 $k_3 < 0$ 。当 $G > G_{NL}$ 时，放大器处于增益压缩状态，1 dB 增益压缩点是表征放大器线性特性的重要参数。1 dB 压缩点可表示为

$$G_{1\,\mathrm{dB}} = G - 1\ \mathrm{dB} \tag{12.5}$$

增益降低 1 dB，等效压降比例为 0.8913；因此由式(12.3)和式(12.4)可得

$$0.8913k_1 = k_1 + \tfrac{3}{4}k_3 A^2$$

或者

$$A^2 = 0.145\frac{k_1}{|k_3|} \tag{12.6}$$

参考图 12.1，当 $Z_S = Z_L = Z_0$ 时，输入功率 P_{in} 和输出功率 P_o 可以表示为(dBm)

$$P_{in} = 10\ \log\left\{\left(\frac{A}{\sqrt{2}}\right)^2\frac{10^3}{Z_0}\right\} \tag{12.7}$$

$$P_o = 10\ \log\left\{\left(\frac{k_1 A + \frac{3}{4}k_3 A^3}{\sqrt{2}}\right)^2\frac{10^3}{Z_0}\right\} \tag{12.8}$$

由式(12.3)、式(12.7)和式(12.8)，可以得到

$$P_o = G_{NL} + P_{in} \tag{12.9}$$

在1 dB增益压缩点处，P_o可表示为

$$P_{1\,dB} = G - 1 + P_{in}\ \text{dBm} \tag{12.10}$$

此处，G为功率增益，用dB表示。由式(12.6)、式(12.7)和式(12.10)，当$Z_0=50\ \Omega$时，可以得到

Z_S
A
v_i(t)
Z_L
v_o(t)

图12.1 放大器网络图

$$P_{1\,dB} = 10\ \log k_1^2 - 1 + 10\ \log\left[\frac{0.145k_1}{2|k_3|}20\right]\ \text{dBm} = 10\ \log\frac{k_1^3}{|k_3|} + 0.614\ \text{dBm} \tag{12.11}$$

由此式可以建立单音信号$P_{1\,dB}$和二次谐波及三次谐波截断点之间的关系。在式(12.8)中，k_3是一个负数;在大信号条件下，它会降低P_o，导致增益压缩。

12.1.2 双音信号分析

接着，假设输入信号包含两个等幅但是频率为ω_1和ω_2的信号，此时v_i可表示为

$$v_i = B[\cos\omega_1 t + \cos\omega_2 t] \tag{12.12}$$

此处$\omega_1=2\pi f_1$和$\omega_2=2\pi f_2$。由式(12.12)和式(12.1)，保留前三项，v_o可表示为

$$\begin{aligned}
v_o &= k_1 B(\cos\omega_1 t + \cos\omega_2 t) + k_2 B^2(\cos\omega_1 t + \cos\omega_2 t)^2 + k_3 B^3(\cos\omega_1 t + \cos\omega_2 t)^3 \\
&= k_2 B^2 + k_2 B^2\cos(\omega_1 - \omega_2)t + \left(k_1 B + \tfrac{9}{4}k_3 B^3\right)\cos\omega_1 t \\
&\quad + \left(k_1 B + \tfrac{9}{4}k_3 B^3\right)\cos\omega_2 t + \tfrac{3}{4}k_3 B^3\cos(2\omega_1 - \omega_2)t \\
&\quad + \tfrac{3}{4}k_3 B^3\cos(2\omega_2 - \omega_1)t + k_2 B^2\cos(\omega_1 + \omega_2)t + \tfrac{1}{2}k_2 B^2\cos 2\omega_1 t \\
&\quad + \tfrac{1}{2}k_2 B^2\cos 2\omega_2 t + \tfrac{3}{4}k_3 B^3\cos(2\omega_1 + \omega_2)t + \tfrac{3}{4}k_3 B^3\cos(2\omega_2 + \omega_1)t \\
&\quad + \tfrac{1}{4}k_3 B^3\cos 3\omega_1 t + \tfrac{1}{4}k_3 B^3\cos 3\omega_2 t
\end{aligned} \tag{12.13}$$

此时输出电压不仅包含直流、基波、二次谐波和三次谐波，而且包含频率为$\omega_1\pm\omega_2$的二阶交调(SOI)产物及频率为$2\omega_1\pm\omega_2$和$2\omega_2\pm\omega_1$的三阶交调(TOI)产物。在窄带放大器中，当ω_1和ω_2距离很近时，除了ω_1、ω_2、$2\omega_1-\omega_2$和$2\omega_2-\omega_1$之外的频率都可以滤掉。那些离基波频率ω_1和ω_2距离很近的三阶交调产物会对需要的信号产生干扰。参考图12.1，输出功率(dBm)中的基波和TOI产物可表示为

$$P_o = 10\ \log\left\{\left(\frac{k_1 B}{\sqrt{2}}\right)^2\frac{10^3}{Z_0}\right\}\quad(\text{线性}) \tag{12.14a}$$

$$P_{\omega_1} = 10\ \log\left\{\left(\frac{k_1 B + \frac{9}{4}k_3 B^3}{\sqrt{2}}\right)^2\frac{10^3}{Z_0}\right\} \tag{12.14b}$$

$$P_{2\omega_1-\omega_2} = 10\ \log\left\{\left(\frac{\frac{3}{4}k_3 B^3}{\sqrt{2}}\right)^2\frac{10^3}{Z_0}\right\} \tag{12.14c}$$

由定义可得，在三阶截断点处，$P_o=P_{2\omega_1-\omega_2}$;由式(12.14a)和式(12.14c)可得

$$B^2 = \frac{4}{3}\frac{k_1}{|k_3|} \tag{12.15}$$

因此P_1可以由三阶截断点处的$P_{2\omega_1-\omega_2}$(dBm)表示为

$$P_{\mathrm{I}} = 10\ \log\left(\frac{2}{3}\ \frac{k_1^3}{|k_3|}\right)\frac{10^3}{Z_0} = 10\ \log\frac{k_1^3}{|k_3|} + 11.249 \tag{12.16}$$

由式(12.11)和式(12.16)，可得

$$P_{\mathrm{I}} - P_{1\,\mathrm{dB}} = 10.635\ \mathrm{dB} \tag{12.17}$$

这是用来表示双音信号三阶截断点(TOI 或 IP3)与单音 1 dB 增益压缩点功率($P_{1\,\mathrm{dB}}$)之间关系的经典公式。这就是为什么 IP3 比 $P_{1\,\mathrm{dB}}$高 10 dB。由式(12.14a)、式(12.14c)和式(12.16)可得

$$P_{\mathrm{o}}^3 = P_{\mathrm{I}}^2 P_{2\omega_1-\omega_2} \tag{12.18}$$

用 dBm 表示为

$$P_{2\omega_1-\omega_2} = 3P_{\mathrm{o}} - 2P_{\mathrm{I}} \tag{12.19a}$$

在线性条件下，

$$P_{2\omega_1-\omega_2} \cong 3P_{\omega_1} - 2P_{\mathrm{I}} \tag{12.19b}$$

图 12.2(a)为交调(IM)产物的频谱。其幅度由放大器的饱和过程决定。对于一个窄带放大器，只有位于 $2f_1-f_2$和 $2f_2-f_1$频率处的三阶交调产物是交调失真的主要部分。但是，在宽带放大器中也必须要考虑二次交调产物。

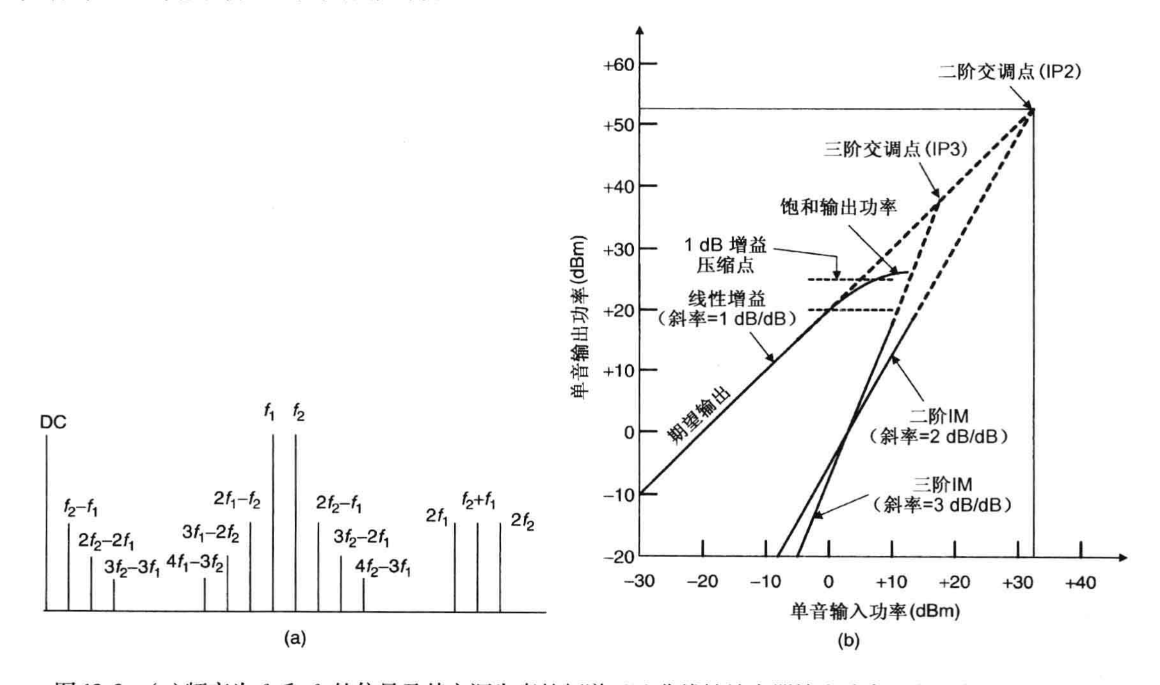


图 12.2　(a)频率为f_1 和f_2 的信号及其交调失真的频谱;(b)非线性放大器输出功率和交调产物之间的关系

图 12.2(b)为一个增益为 20 dB 的晶体管放大器的传输特性。经过适当的滤波，可以分别测量基波和失真产物。图 12.2(b)同样介绍了输出二阶和三阶交调失真。由于二阶和三阶交调失真分别对应平方和立方非线性产物，因此这些输出失真产物会随着输入功率的增大而以 2 dB/dB和 3 dB/dB 的速度增加。如果把基波线性传输曲线延长，二阶和三阶交调传输曲线同样延长，如图 12.2(b)所示，那么这些曲线就会相交于一点，称为截断点。三阶截断点就是当三阶交调产物和基波信号相等时的交点。

一般三阶截断点比 1 dB 压缩点的功率高 10 dB，此定律对弱交调效应的计算非常有用。

如果截断点已知，对于任意给定的输出基波功率都可以确定二阶和三阶交调失真。图12.2(b)同样给出了1 dB压缩点和饱和输出功率之间的关系。对于不同放大器的三阶截断点和1 dB压缩点会在稍后讨论。

三阶交调产物和载波的比率，即IM3，由下式可得，

$$\mathrm{IM3(dBc)} = 10\ \log\frac{P_{2f_2-f_1}}{P_{f_2}} = 10\ \log\frac{P_{2f_1-f_2}}{P_{f_1}} \tag{12.20}$$

此处P_{f_1}、P_{f_2}、$P_{2f_1-f_2}$和$P_{2f_2-f_1}$分别是在频率f_1、f_2、$2f_1-f_2$和$2f_2-f_1$处的输出功率。IM3以dBc为单位。

例12.1 对于一个50 Ω系统中的放大器，若其输出功率传输方程中$k_1=8$，$k_2=0$，$k_3=-0.5$，如果输出功率为20 dBm，试计算P_o、$P_{1\,dB}$和IP3(单位为dBm)。

解 增益$G=20\log k_1=18.06$ dB，由式(12.11)，可得

$$P_{1\,\mathrm{dB}} = 10\ \log(8^3/0.5)+0.614 = 30.72\ \mathrm{dBm}$$

在$P_{1\,dB}$，输入功率为$P_{in}=30.72-17.06=13.66$ dBm。因为$P_{in}=20$ dBm，由式(12.7)可得

$$P_{\mathrm{in}} = 20 = 10\ \log(0.5\times A^2\times 20),\quad A^2=10,\quad A=3.1623\ \mathrm{V}$$

由式(12.8)，输出功率可表示为

$$P_{\mathrm{o}} = 10\ \log\left[10\left(8-\tfrac{3}{4}\times 0.5\times 10\right)^2\times 10\right] = 32.57\ \mathrm{dBm}$$

由式(12.16)，IP3 $=10\log(8^3/0.5)+11.249=41.35$ dBm。

12.2 相位失真

对于功率放大器，除了增益、功率和PAE之外，相位和群延迟特性也是非常重要的。传输相位ϕ_T(弧度)由下式可得，

$$\phi_{\mathrm{T}} = \mathrm{ang}(S_{21}) \tag{12.21}$$

群延迟τ_D(单位为秒)定义为

$$\tau_{\mathrm{D}} = -\frac{\mathrm{d}\phi_{\mathrm{T}}}{\mathrm{d}\omega} = -\frac{1}{2\pi}\frac{\mathrm{d}\phi_{\mathrm{T}}}{\mathrm{d}f} \tag{12.22}$$

此处ω单位为弧度每秒。

群延迟在很多方面都很重要，它可以表征信号通过放大器时用了多长时间。在给定频带内对常数群延迟的偏移会导致FM信号产生失真。对常数群延迟，多频信号会以相同的速度通过器件而不会产生频率偏差:尖脉冲仍然为尖脉冲。

当放大信号的传输相位是频率的非线性方程时，不同频率的信号有不同的群延迟，这就会导致相位失真。图12.3给出了常数群延迟(小信号条件)和非线性群延迟(2～3 dB功率压缩)，小信号和大信号数据分别由a和b表示。

有两种方式可以定义对相位失真的限制。最常用的是定义最大允许群延迟，或者定义对线性相位的最大偏移(DLP)。给定频率范围的DLP是器件相位和线性相位之间的最大偏移，如下所示:

$$\mathrm{DLP} = \max[\phi_{\mathrm{T}} - K\omega t] \tag{12.23}$$

此处，选定常数K来最小化对线性相位的偏移。如果群延迟是常数，则DLP为0。

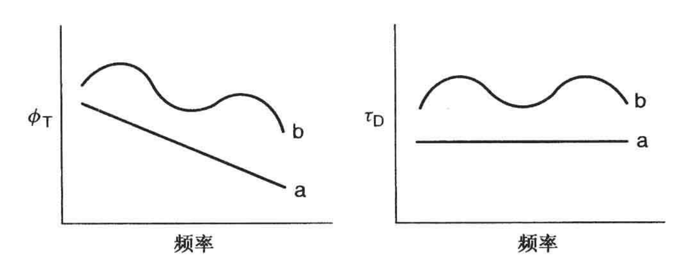


图 12.3　传输相位和群延迟：(a)小信号；(b)大信号

AM-PM 失真

功率放大器还有另一种形式的相位失真，即传输相位是输入功率的函数。换句话说，就是在给定频率处，由于晶体管中 C_{gs}和 C_{gd}值的变化，传输相位会随着输入功率变化。这种变化称为 AM-PM 失真，单位为角度/dB。例如，在许多工程应用中，AM-PM 失真在 $P_{1\,dB}$处要小于 5°/dB。对于线性放大器，AM-PM 失真要小于 1°/dB，如第 10 章的例 10.1 所示。

12.3　功率放大器的线性化技术

对于一个有很多窄带信号的系统来说，设计功率放大器是一个非常具有挑战性的事情。交调产物会落在邻近的信道中，无形之中就会破坏系统的性能。下面我们将介绍多载波系统中功率放大器的设计思想。

消除交调失真的最简单和通用的方法就是让功率放大器工作在远小于 $P_{1\,dB}$的状态。现在很多放大器都是工作在小于 $P_{1\,dB}$点 10 dB 的状态(见表 3.2)。这个方法很有用，但是要以更大的放大器为代价，而且工作在低 PAE 状态。对于一个放大器来说，功率回退 10 dB 的结果就是 PAE 从 50% 降到 5%。但是，近期发展的晶体管如 E-FET 和 E-pHEMT 在功率回退 10 dB 条件下可以提供 20% ~25% 的 PAE，但是其功率密度较小。

通信卫星上的功率放大器为消除交调失真，经常采用窄频段，这样就可以滤除交调产物。采用更复杂的硬件设施来改善 PAE 是一种设计趋势，因为在卫星工作时功率和冷却是主要的关注方面。而对于地面通信来说，价格则是主要的制约因素。

现在有大量的由通信公司支持的相关研究，以期同时得到高效率和好的 IM 特性。功率放大器的高线性特性可以通过以下方式得到：使用高线性器件如脉冲掺杂器件[8, 9]，优化输入和输出匹配[10, 11]，在电路级使用预失真技术[12~29]或者消除技术(如前馈)[2, 30, 31]。下面将会做简要介绍。

12.3.1　脉冲掺杂器件及匹配优化

经过对 GaAs FET 的 IMD 特性及其掺杂的研究，发现脉冲掺杂式 FET 的 IP3 性能比传统的 FET 要好 5 ~20 dB。两种晶体管的跨导随栅源电压(V_{gs})变化的曲线如图 12.4 所示。一般情况下，常数 g_m 的晶体管的线性特性比线性 g_m 晶体管的线性特性要好。假设非线性仅由于器件跨导而存在，输出二阶截断点 IP2 和三阶截断点 IP3 由下式[9]给出，

$$\mathrm{IP2} = \frac{g_m^4 R_{\mathrm{ds}}}{2(g_m')^2} \tag{12.24}$$

$$\mathrm{IP3} = \frac{g_m^3 R_{\mathrm{ds}}}{g_m''} \tag{12.25}$$

此处 g_m'和 g_m''分别是跨导的一阶和二阶导数，R_{ds}是 FET 的输出电阻。因此通过减小 g_m'和 g_m''的值，可以得到更好的 IP2 和 IP3。

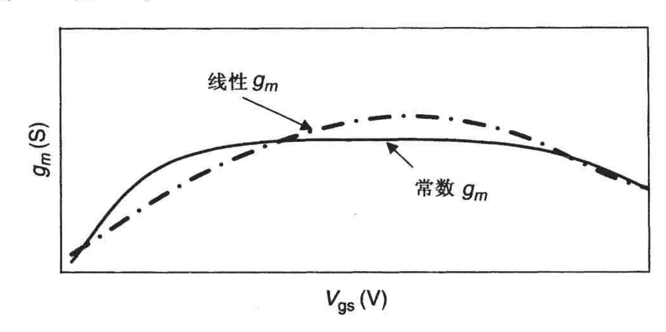


图 12.4 两种晶体管的跨导随栅源电压变化的曲线

为了得到一个线性器件，可以用到下面这个公式：

$$\mathrm{IP3} = P_{\mathrm{DC}} + X\ (\mathrm{dBm}) \tag{12.26}$$

此处 X 的单位为 dB。X 的理想情况就是越大越好，而且在漏极工作电压下，随着 FET 栅极面积变化尽量保持常数。一个线性功率放大器其 EC 模型参数值如表 5.5 所示，若要得到较高的 IP3 值，X 的值应大于 11 dB。例如，一个 600 μm 的晶体管工作电压和电流分别为 5 V 和 120 mA，其 IP3 值为 39 dBm。在功率回退情况下这种器件没有很好的 PAE。对 A 类和 B 类耗尽型晶体管，若功率回退 4 ~ 10 dB，其 PAE 为 10% ~ 12%，而增强型器件其 PAE > 20%。例如，第 5 章描述的两种类型的晶体管有相近的输出功率，约为 0.8 W/mm。

若要改善功率放大器的 IM 性能(3 ~ 5 dB)，可以使用非线性模型，或者通过源牵引和负载牵引数据来选择优化输入匹配和输出负载阻抗值。性能每改善 3 dB 即意味着节省功率需求的 50%。

设计线性放大器不依赖于载波数目和载波调制原理。线性功率放大器可以分为单载波和多载波两类。输入调制信号可以分为常数包络和非常数包络。已有多篇论文报道了在固定 50 Ω 负载[32 ~ 36]和可变负载[10, 11]情况下设计高线性和高 PAE 功率放大器。所有这些研究都是基于通过负载牵引技术预先确定器件的负载情况，输入匹配和输出匹配对 IP3 性能的影响是非常显著的。

例 12.2 通过 5.8.3 节给定的线性模型设计一个线性功率放大器，工作电压为5 V，输出 IP3 = 38 dBm。器件 EC 模型由表 5.5 可得，优化源和负载阻抗模型如图 5.17 所示。工作频率为 3.6 GHz，输出匹配网络损耗为 0.5 dB。试计算输入和输出回波损耗、增益、直流功率(P_{DC})和 IP3 对 P_{DC}的比率。对于线性器件，IP3 负载阻抗、源阻抗、IP3 和 I_{ds}值分别为

$$R_{\mathrm{S}} = 12\ \Omega\cdot\mathrm{mm},\quad C_{\mathrm{S}} = -1.5\ \mathrm{pF/mm}\quad (\text{串联})$$
$$R_{\mathrm{L}} = 23\ \Omega\cdot\mathrm{mm},\quad C_{\mathrm{L}} = -0.33\ \mathrm{pF/mm}\quad (\text{并联})$$
$$\mathrm{IP3} = 41\ \mathrm{dBm/mm} = 12.59\ \mathrm{W/mm}$$
$$I_{\mathrm{ds}} = 200\ \mathrm{mA/mm}$$

解 由于放大器有 0.5 dB 输出匹配损耗，所以放大器必须有 38.5 dBm = 7.08 W 输出 IP3。因此放大器尺寸为

$$7.08/12.59 = 0.5624\ \mathrm{mm}$$

此处我们选择 0.6 mm 器件尺寸，其 EC 模型由表 5.5 给出，IP3 和 DC 功率为

$$\mathrm{IP3} = 7.08 \times 0.6 \div 0.5624 = 7.55\ \mathrm{W} = 38.78\ \mathrm{dBm}$$
$$P_{\mathrm{DC}} = 5 \times 0.6 \times 200 = 600\ \mathrm{mW} = 27.78\ \mathrm{dBm}$$
$$\mathrm{IP3}/P_{\mathrm{DC}} = 7.55/0.6 = 12.58 = 11\ \mathrm{dB}\quad \text{或} \quad 38.78\ \mathrm{dBm} - 27.78\ \mathrm{dBm} = 11\ \mathrm{dB}$$

图 12.5 给出了线性放大器的原理图，对于 600 μm 器件，

$$R_{\mathrm{S}} = 20\ \Omega, \qquad C_{\mathrm{S}} = -0.9\ \mathrm{pF}\ \ (\text{串联})$$
$$Z_{\mathrm{S}} = R_{\mathrm{S}} - \mathrm{j}/(\omega C_{\mathrm{S}}) = 20 + \mathrm{j}49.1\ \Omega$$
$$R_{\mathrm{L}} = 38.3\ \Omega, \qquad C_{\mathrm{L}} = -0.198\ \mathrm{pF}\ \ (\text{并联})$$
$$Z_{\mathrm{L}} = R_{\mathrm{L}} \,||- \mathrm{j}/(\omega C_{\mathrm{L}}) = 37.2 + \mathrm{j}6.4\ \Omega$$

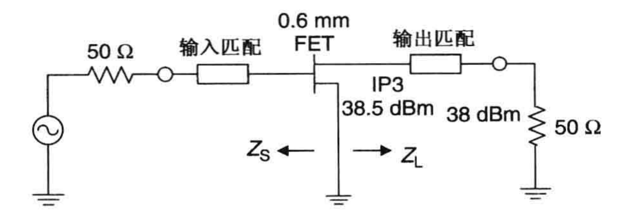


图 12.5　线性放大器源和负载阻抗原理图

图 12.6(a)所示电路给出了优化的源和负载阻抗值，假设匹配器件为理想元件;旁路电路值非常大，其效应可以忽略不计。仿真的输入回波损耗(RL)和输出回波损耗、增益、K 因子(详情请参考第 17 章)如下表所示：

频率(GHz)	输入 RL(dB)	输出 RL(dB)	增益(dB)	K
3.4	2.3	2.5	19.0	0.21
3.6	2.8	2.9	18.9	0.22
3.8	3.0	3.7	18.6	0.23

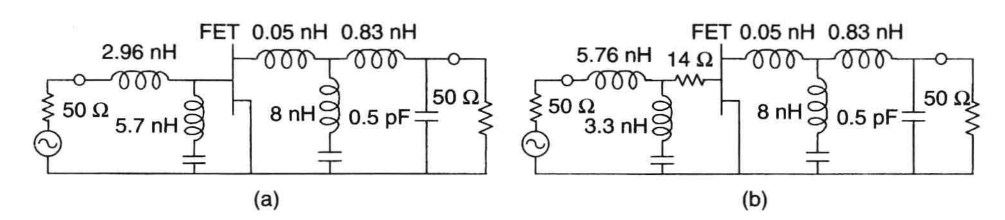


图 12.6　线性放大器匹配原理图

对于这种源和负载条件，放大器是潜在不稳定的。通过在放大器栅极串联一个 14 Ω 的电阻来优化输入匹配网络，使 K 因子大于 1，从而改善放大器的稳定性，如图 12.6(b)所示。放大器的性能如下表所示：

频率(GHz)	输入 RL(dB)	输出 RL(dB)	增益(dB)	K
3.4	4.3	2.5	13.8	1.01
3.6	6.0	2.9	13.8	1.07
3.8	6.5	3.7	13.5	1.13

在这种情况下，放大器增益减小了大约 5 dB，输入同样没有匹配到 50 Ω。为了将放大器输入和输出匹配到 50 Ω(即 RL > 20 dB)，可以使用平衡结构。由于平衡放大器比单端模式输出功率/IP3 高了大约 3 dB，因此需要大约一半的器件尺寸(300 μm 的 FET 而不是 600 μm 的 FET)。功率损耗和原来大致相等。

12.3.2 预失真技术

如前所述，放大器的非线性导致了幅度（AM-AM）和相位（PM-PM）的非线性特性。因此放大器的失真可以分为 AM-AM 和 AM-PM 两种特性，并且取决于工作类型。预失真技术在放大器电路的输入端加入额外的器件来补偿原放大器的幅度和相位随输入功率的变化，如图 12.7 所示。例如，使用一个二极管作为预失真器，电路如图 12.7(b)所示，其增益和传输相位斜率与主放大器刚好相反。图 12.8 表示了随功率变化的幅度相位及其预失真消除技术，对于数字调制信号来说可以提高其 PAE。

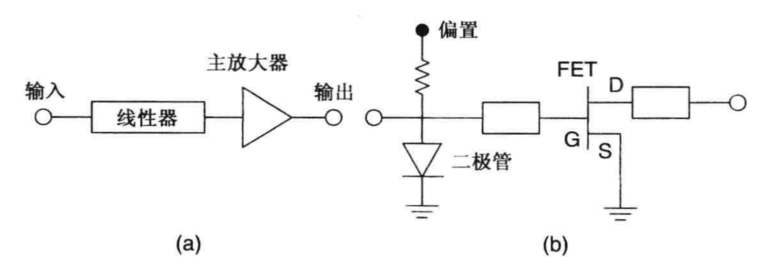


图 12.7 (a)使用预失真技术的线性放大器结构；(b)使用二极管作为线性器的原理图

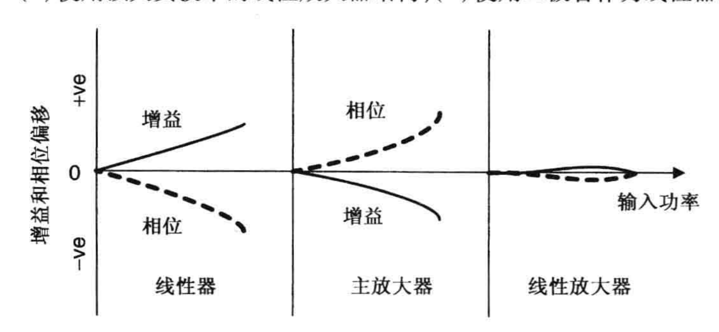


图 12.8 线性放大器的幅度和相位补偿技术

对于非线性放大器，可以使用许多线性化技术。这些预失真技术包括使用双源 FET[12]、串联负反馈[13]、IF 负反馈[14]、有源负反馈[15, 16]、谐波负反馈[17~19]、串联[20, 21]和并联二极管[22]、无源 FET[23]、共源共栅[24]、推挽[25]、二次谐波前馈器件[26]、电流转移[27]、分支 FET[28]、Doherty 技术[29]。部分技术对 IP2/IP3 和 ACPR 有显著的改善作用。基本上所有的线性化技术都需要输入信号的幅度和相位的精确信息，以及可以预测 AM-AM 和 AM-PM 特性的器件的精确非线性模型。预失真技术在概念上很简单，但是在实际应用尤其是可重复方面是很难的。

12.3.3 前馈技术

近期的出版物中有大量的工作都是关于消除失真，消除失真技术可以用在系统级，其结构复杂，需要尖端 CAD。关于这些技术的综述，可以在参考文献[2]、[30]和[31]中得到，其中前馈技术是最前沿的。这些技术对于手机应用来说是非常复杂的，但是经常使用在基站系统中。下面介绍前馈的基本思想。

前馈的基本电路图如图 12.9 所示。假设输入为双音信号，经耦合器 1 分为主信号和采样信号两路。主信号通过主功率放大器（路径 1），采样信号通过控制电路（路径 2）。放大信号再次通过一个耦合器得出采样信号，然后和路径 2 中的信号通过合成器合成以消除双音信号，仅剩

余交调产物。接着，交调产物经过一小信号放大器(也可称为比较器或者误差放大器)，然后和主放大信号经过耦合器 3。输入交调产物的幅度和相位抵消了主信号中的交调产物，这样输出信号中就没有失真信号了。前馈放大器主要应用在基站功率传输中。关于前馈放大器本书不做详细讨论，读者可以查阅相关资料。

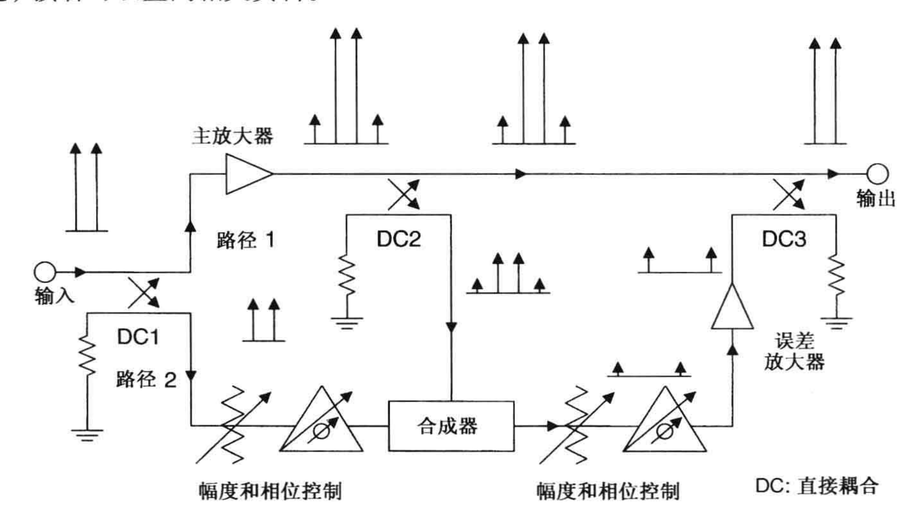


图 12.9 简易前馈放大器的原理框图

在这些线性化技术中，预失真(PD)和前馈(FF)技术是最流行的。模拟 PD 技术是最简单的，而 FF 技术性能最好但是 PAE 较低。

12.4 提高线性放大器效率的技术

现代无线通信系统中使用的基站发射机对 HPA 的线性度和效率提出了严格的要求。在系统级应用中，有许多方法可以同时改善线性度和效率[7, 37~39]。大部分提高线性放大器的效率的方法都很古老，有些使用复杂的电路，或者多个(大部分是两个)放大器并联连接。有些技术采用反相技术[40~42]，即通过非线性控制线性放大(LINC)、Doherty 技术[43~53]、包络消除与恢复(EER)[54, 55]及自适应偏置[56, 57]。除了 Doherty 放大器之外的其他方法都需要复杂的电路结构。通过预失真技术的 Doherty 结构能同时满足基站放大器的高 PAE 和线性度要求。下面会简要讨论这些技术，其中 Doherty 技术是最流行的。

基于 Volterra 的改善线性度和效率的自适应数字预失真(DPD)线性化技术最近得到了深入研究[58]。这种技术通过减小峰均比(PAR)或者振幅因子来增大线性范围。对于正交频分复用(OFDM)信号来说，可以改善 ACPR 和 EVM 性能 4 dB 左右。这项技术可以针对多种技术进行优化，比如 WCDMA、TD-SCDMA、MC-GSM 和 LTE。如果这项技术和 Doherty 或者 AB 类动态包络跟踪技术共用，可以提高 PA 效率 5% ~15% 至 15% ~50%[58]。

12.4.1 反相

一个简单的反相原理如图 12.10 所示。幅度调制的输入信号 $S_{in} = A(t)\cos(\omega t)$ 分为两个不同相位常包络信号，即 ϕ 和 $-\phi$。当 $\phi = 90°$时，这两个信号放大和叠加。两个信号可表示如下：

$$S_1(t) = \cos(\omega t + \phi) \tag{12.27a}$$

$$S_2(t) = \cos(\omega t - \phi) \tag{12.27b}$$

其中

$$\phi = \arccos[A(t)] \tag{12.27c}$$

由附录 E 的三角法则，可以得到

$$S_{out}(t) = G[S_1(t) + S_2(t)] = 2GA(t)\cos(\omega t) \tag{12.28}$$

此处，G 为各级放大器的增益。因此系统输出信号为输入幅度调制信号放大 $2G$。此处，功率放大器经过匹配且具有高效率。

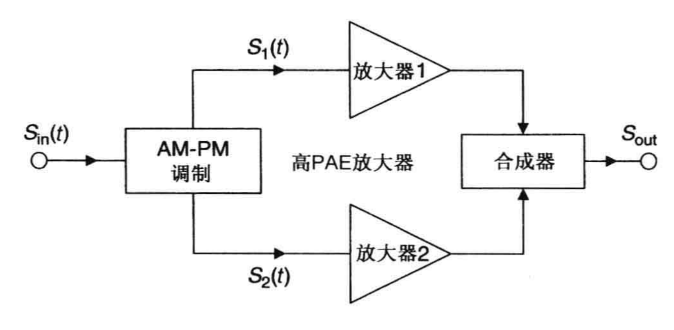


图 12.10 反相技术原理图

12.4.2 Doherty 放大器

使用 LDMOS、GaN、pHEMT、CMOS 和 HBT 器件的 Doherty 放大器的设计最近几年得到了发展[43~53]。它们主要应用在基站发射器中。Doherty 放大器的基本结构如图 12.11 所示,包含了两个并联合成的不同的单端式放大器，在输出端进行合成。一个单端支线称为主/载波放大器，另一个称为峰值/副放大器。

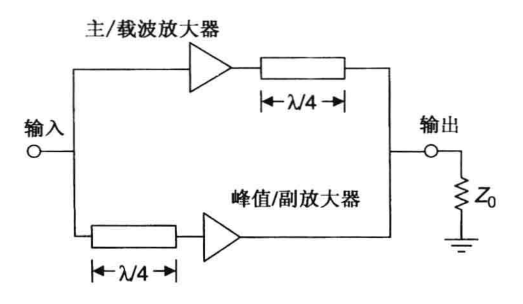


图 12.11 基本的 Doherty 放大器结构

主放大器器件偏置在 AB/B 类，而峰值放大器工作在 C 类模式。在低输出功率模式，峰值放大器关闭，主放大器工作。在低输入信号条件下，峰值放大器输出是开路的。随着输入信号功率增加，峰值放大器开启。设计 Doherty 放大器时，最大的 PAE 值可以在很大的输入功率范围内维持。图 12.12表示了输出功率和 PAE 与输入功率之间的关系。

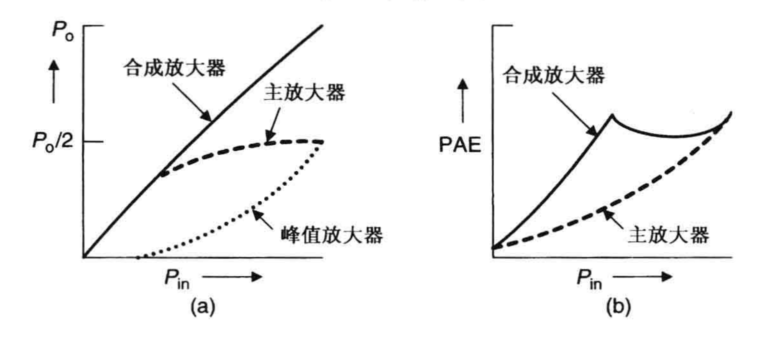


图 12.12 Doherty 放大器的工作状态与输入信号之间的关系：(a)输出功率；(b)PAE

图12.13表示了Doherty放大器的两个应用。输入混合/耦合器或者功分器的目的是将输入信号分为两个且保持良好的稳定性。为了得到良好的线性度，可以使用预失真技术。主放大器的负载(Z_m)和峰值放大器的负载(Z_p)可表示为[52]

$$Z_m = \frac{Z_0}{0.5[1 + I_p/I_m]} \tag{12.29a}$$

$$Z_p = 0.5Z_0[1 + I_m/I_p] \tag{12.29b}$$

此处 I_m 和 I_p 为主放大器和峰值放大器的电流，均是输入功率的函数。典型的 Z_m 范围为 $2Z_0$ 至 Z_0，Z_p 范围为无穷大到 Z_0。

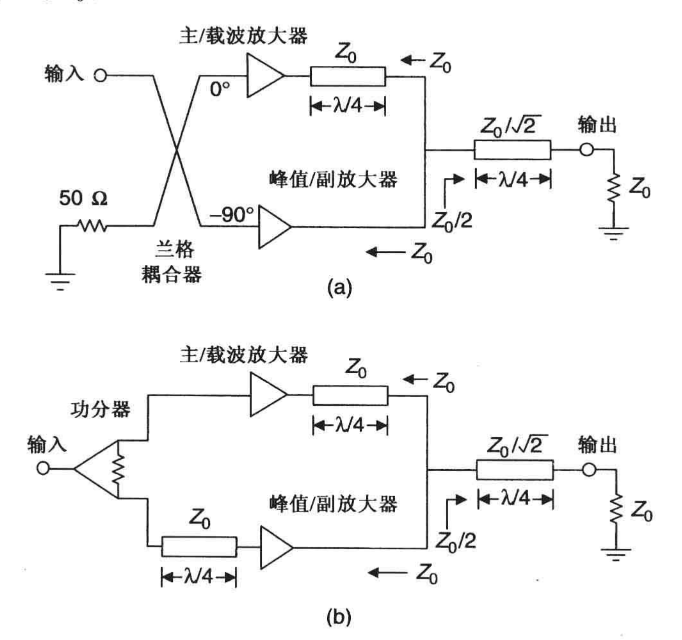


图12.13 Doherty放大器阻抗值:(a)兰格/混合耦合器;(b)功分器

使用两个25 W的GaN HEMT和PCB技术设计一个2.14 GHz、饱和功率为35 W的Doherty放大器[53]。器件偏置在28 V。测得的放大器的增益和PAE如图12.14所示。测得的饱和输出功率和PAE值分别为35.5 W和45%。在输出功率回退9 dB时(P_o=36.5 dBm)，测得的PAE和ACLR值分别为39.7%和-35.4 dBc。

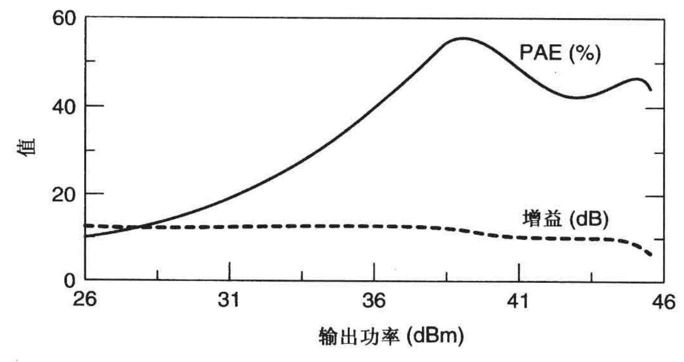


图12.14 35 W的Doherty放大器的增益和PAE

12.4.3 包络消除与恢复

包络消除与恢复(EER)技术使用动态偏置来改善线性和效率。图 12.15 所示为 EER 的原理图，此情况下输入信号的幅度和相位信息被分离，幅度通过一个限幅器保持常数。输入信号通过一个限幅器，给高效率放大器提供常数幅度，包络信息被消除，限幅器同样可以减小 AM-PM 失真。在另一条路径上，检测到的输入功率经过一个调制器，通过自适应调制偏置的控制作用，幅度得到校正，输出信号的幅度得到恢复。延迟线可以消除两者之间的相位差。

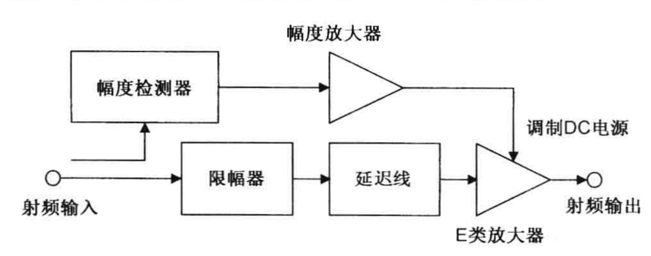


图 12.15　EER 技术原理图

12.4.4 自适应偏置

晶体管放大器的输出功率可以通过输入功率、控制漏极/集电极电流和电压来改变。如果输入功率减小，晶体管工作在远小于饱和点的状态下，输入功率和 PAE 都会随输入信号减小。放大器效率随输出功率回退的变化关系如图 12.16 所示。但是，如果漏极/集电极电压可以随输入信号减小相同的比例(见 20.2.2 节)，那么效率就会保持高位。晶体管放大器的这种特性已经用于自适应偏置技术中，从而在低输出功率水平下保证高效率。

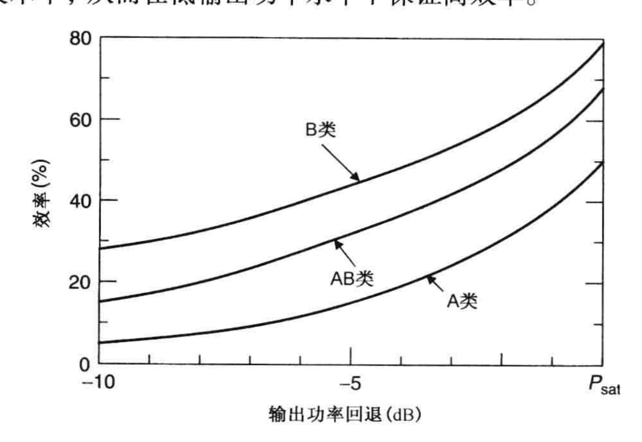


图 12.16　输出功率回退后的放大器效率

图 12.17 所示为自适应偏置技术的工作原理。这种方法没有使用限幅器，放大器工作在近线性条件下。在另一条路径中，检测到的输入功率加到调制器中。直流偏置随输入信号包络调制。输出信号幅度随自适应偏置进行调整。此种方法比 EER 简单，但是效率较低。功率控制技术如 EER 和自适应偏置技术都可以为 HPA 提供高效率工作状态。

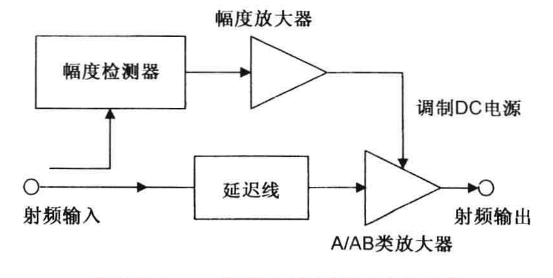


图 12.17　自适应偏置技术原理图

12.5 线性放大器的设计

接下会讨论设计线性放大器的一些要素。

12.5.1 放大器增益

在一个多级放大器中，各级增益都会影响输出和输入 IP3。在噪声系数、增益、直流功率和 IP3 之间存在着折中。例如，对于一个给定的高输出 IP3 放大器，就必须要求各级高增益；对于一个高输入 IP3 放大器，就需要各级增益较低。后者对于多级低噪声放大器来说也是一个矛盾的需求。表 12.1 提供了一个三级放大器在不同增益和 IP3 值时的分析，这些分析由式(3.56)可得。图 12.18给出了一个多级放大器的输出 TOI 和 IP3 与增益的关系。此处，输出 TOI 为 33 dBm，器件尺寸比例为 2:1，增益范围为 20 ~ 27 dB。但是每级均低增益也会降低输出 TOI。当每级增益为 5 dB 时，输出 TOI 为 29 dBm；当增益为每级 9 dB 时，输出 TOI 为 32 dBm。

表 12.1　三级放大器的输入与输出 IP3 值

第一级		第二级		第三级		输入 IP3	输出 IP3
G	IP3	*G*	IP3	*G*	IP3		
10	30	10	35	10	40	8.5	38.5
8	30	8	35	8	40	13.6	37.6
6	30	6	35	6	40	18.2	36.2
10	34	10	37	10	40	9.1	39.1
8	34	8	37	8	40	14.5	38.5
6	34	6	37	6	40	19.6	

增益：*G* 的单位为 dB，IP3 的单位为 dBm。IP3 为每级输出结果。

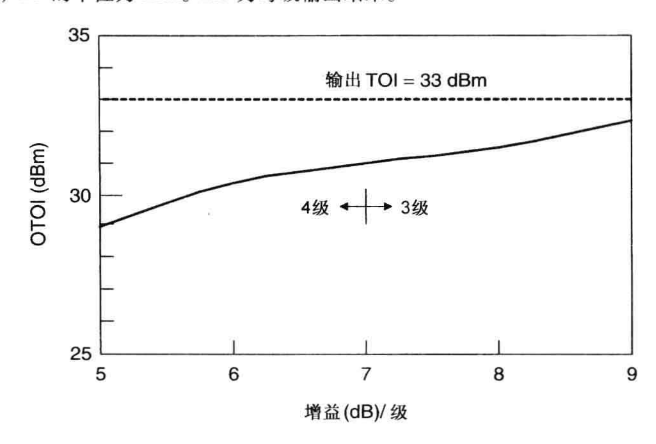


图 12.18　多级放大器的 TOI 与增益之间的关系。输出 TOI 为 33 dBm，器件尺寸比为2:1，增益范围为20 ~ 27 dB

下面讨论对于一个多级放大器，每级增益和需要的 DC 功率 P_{DC}之间的关系。假设放大器为三级并且 TOI 与器件尺寸为线性关系。式(12.26)中的 *X* 值为 10 dB；因此，当 P_{DC} = 20 dBm 时，器件输出 TOI 为 30 dBm。每级都有相同的增益，并且增益越低，每一级电路上所需的 DC 电源功率越高。目标输出 TOI 为 32 dBm，需要的 DC 功率与不同器件尺寸比的关系如图 12.19 所示。因此 P_{DC} 与器件增益和器件尺寸比有很大的关系。当器件每级增益由 10 dB 降为 6 dB 时，P_{DC}由 323 mW 涨到 492 mW。对应 6 dB、8 dB 和 10 dB 增益，优化器件尺寸比大约分别为 2:1、2.5:1 和 3.5:1。

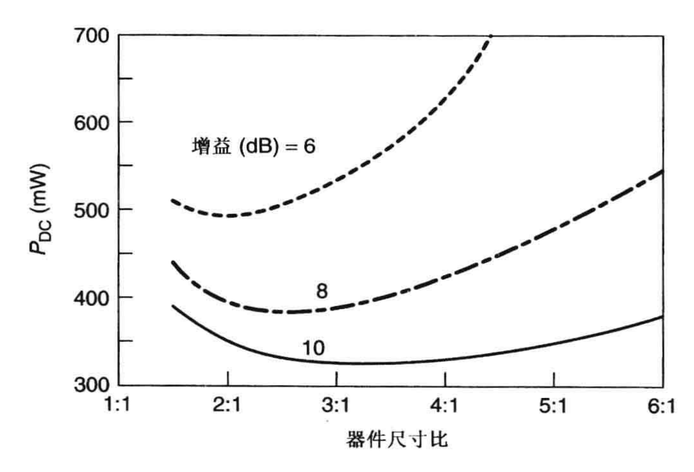


图 12.19 多级放大器的 DC 功率与器件尺寸比和增益/级之间的关系

12.5.2 减小源和负载失配

当把放大器应用于系统中时，非 50 Ω 阻抗会对放大器的输入和输出 TOI 产生影响。同样，在线性放大器中，器件的输入和输出是匹配到最佳 TOI 而不是 50 Ω，如第 5 章所述。在这种情况下，可以使用平衡结构来设计单端式放大器的输入和输出匹配，以得到最佳 TOI，并且平衡结构可以提供很好的匹配和稳定条件，对系统内的相互影响可以减小到最小。平衡放大器也可以用来设计宽带放大器。平衡放大器结构如图 12.20 所示，已经在第 11 章详细讨论。

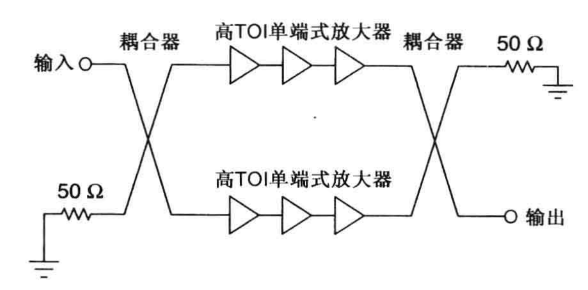


图 12.20 平衡放大器结构允许单端式放大器的 S_{11} 和 S_{22} 性能比较差，以得到较高的TOI值

12.6 线性放大器设计实例

在 1.9 GHz 处对一个功率 FET(栅宽为 8 mm，偏置在 3.5 V)的 ACPR 和 PAE 进行负载牵引，可以得到输出失配情况下的负载阻抗[11]。在 50 Ω 系统中，当负载 Z_{0L1} = 10 + j8 Ω 时，$P_o \cong$ 0.16 W，PAE≅40%，ACPR≤ -60 dBc，当负载 Z_{0L2} = 18 + j2 Ω 时，$P_o \cong$ 0.12 W，PAE ≅ 35%，ACPR ≤ -55 dBc，此时系统 VSWR 为 3 : 1 (ρ = 0.5)。图 12.21 所示为输出匹配到 Z_{0L2} = 18 + j2 Ω 时的典型应用。

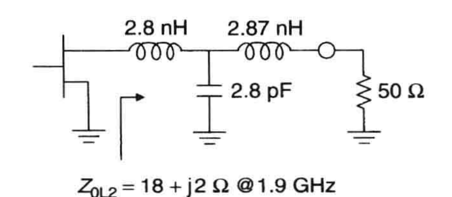


图 12.21 使用集总元件来实现负载匹配

例 12.3 我们讨论基于 MESFET 技术的C 波段 MMIC 线性驱动放大器，其特性如下：

$$
\begin{aligned}
\text{频率范围} &= 5.7 \sim 8.5\ \text{GHz} \\
\text{增益} &= 22\ \text{dB} \\
\text{OIP3} &= 32\ \text{dBm} \\
P_{1\,\text{dB}} &= 20\ \text{dBm} \\
\text{NF} &= 5\ \text{dB, 最大} \\
\text{回波损耗} &= 10\ \text{dB, 典型值} \\
V_{\text{D}} &= 5\ \text{V} \\
I_{\text{d}} &= 165\ \text{mA}
\end{aligned}
$$

此 MMIC 芯片封装为 4 mm 16 引脚 PQFN 塑料封装。

解　在设计 MMIC 多级放大器时，首先应选择合适的器件类型和尺寸以满足指标要求并留有一定余量。这里，我们选择 MESFET MMIC 技术。级数的选择基于增益要求，此处，我们选择三级结构。第一级选择一个低噪声 FET，以保证噪声系数低于 5 dB，偏置于 25% I_{dss}，第二级和第三级使用线性 FET，偏置在大约 50% I_{dss}，第一级、第二级、第三级的栅宽分别为 300 μm、300 μm、450 μm。在 10 GHz 处测得这些 FET 的 NF 和输出 IP3 的数据如下所示：

参数	单位	FET1	FET2	FET3
V_{ds}	V	3	3.8	3.8
V_{gs}	V	-0.7	-1.2	-1.2
I_{ds}	mA	15	60	90
NF	dB	0.81	3.06	3.66
IP3	dBm	24	34	36

假设放大器每级增益为 8 dB，由式(3.57)计算输出 IP3 约为 33.8 dBm，由式(3.62)计算噪声为 1.46 dB。

晶体管偏置电路由单电源提供，其自偏置电路原理将在第 18 章讨论。自偏置的稳定性改善了 $1/[1+g_m R_{\text{S}}]$，且具有温度稳定性。此处，g_m和 R_{S}分别为器件的跨导和自偏置电阻。

FET 的热模型可由 Cooke 模型得到，如第 16 章描述。第一步是计算每个 FET 的热电阻(R_{th})，热电阻的计算基于 FET 结构(栅极强度，单位栅宽，FET 尺寸)、基底特性、最大沟道温度。表 12.2 给出了 FET 的热电阻的计算。GaAs 基底厚度和室温下的热传导率分别为 75 μm 和 0.46 W/cm · °C。MMIC 芯片从下表面到上表面温度的变化值 $\Delta T = R_{\text{th}} \times P_{\text{D}}$，此处 P_{D} 为器件的功率耗散。在这些计算中，GaAs 的热传导率基于最大允许结温 150℃。但是对于小器件(栅宽小于 0.6 mm)，Cooke 模型会高估热电阻的值，这是由于此模型并没有包括过孔中填充金属的热耗散和栅指终端的热耗散。

表 12.2　3 个 FET 的热分析[a]

参数	单位	值		
FET 尺寸	μm	300	300	450
指个数	—	4	4	4
栅栅间距	μm	20	30	30
R_{th}	℃/W	293.5	267.9	178.6
R_{th}芯片粘接(环氧树脂)	℃/W	21.5	19.1	16.6
R_{th}负载/引线	℃/W	20.0	20.0	20.0
总 R_{th}	℃/W	335.0	307	215.2
P_{D}	W	0.045	0.228	0.342
ΔT	℃	15.1	70.0	73.6

[a] 基底:75 μm 厚的 GaAs。

通过 S 参数和 EC 模型来优化放大器的最小噪声系数和增益。第一级 FET 采用串联负反馈或者并联负反馈以保持 NF 低于 3 dB，得到平坦的增益，并在需要的频段处保持良好匹配。引线框式键合线模型如图 12.22 所示，前两级漏极使用一个小电阻以改善稳定性(更多内容请参考第 18 章)。通过电阻值和尺寸的选择可以满足其压降小于 0.5 V，同时满足电子迁移要求。漏极电压为 5 V。但是如果可用电压值为 8 V，就需要使用一个合适的高功率电阻。图 12.23 和图 12.24 分别给出了 MMIC 放大器的原理图和版图。

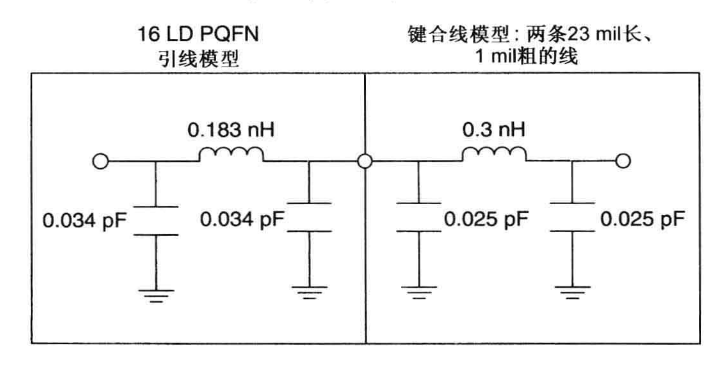


图 12.22 设计中使用的键合线模型

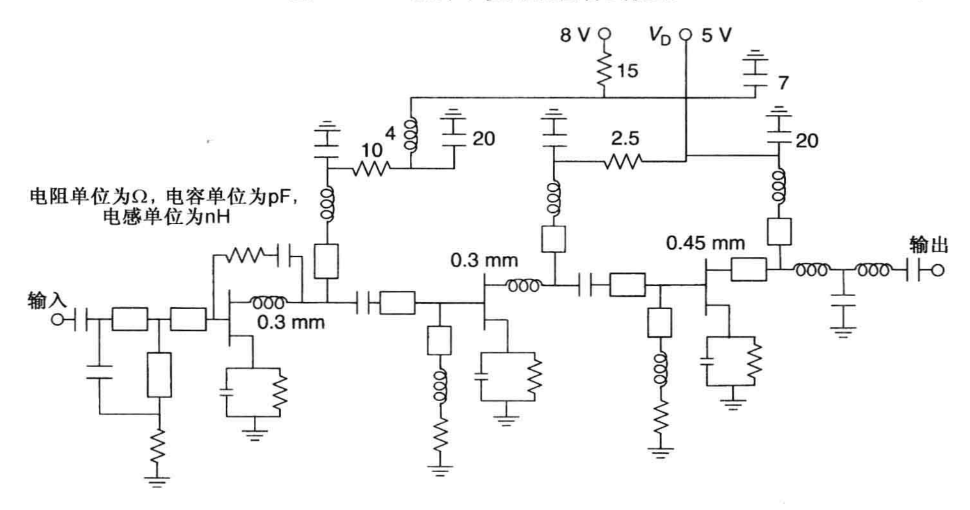


图 12.23 单电源供电的三级线性放大器原理图

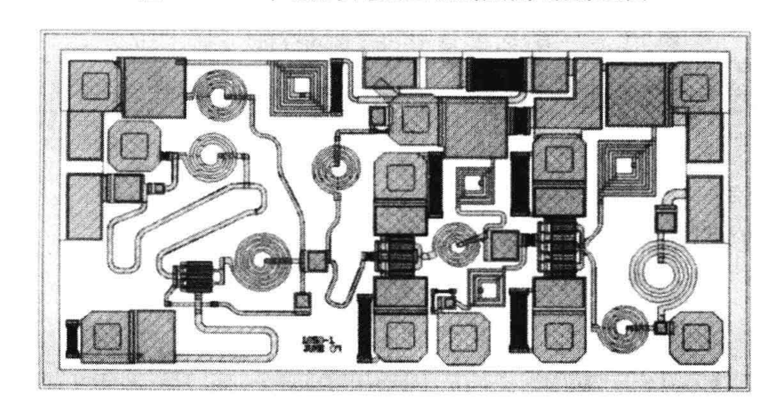


图 12.24 三级线性放大器的版图，芯片面积为 2.3 mm^2

此放大器仿真增益和回波损耗如图 12.25 所示，在设计频段 5.7 ~ 8.5 GHz 的范围内，增益为 25 ~ 26 dB，回波损耗一直优于 15 dB。仿真噪声系数在频段内一直小于 3.5 dB，如图 12.26 所示。每一级放大器都是潜在不稳定的，其稳定性 K 因子如图 12.27 所示，对于三级放大器，其 K 因子远远大于 1。

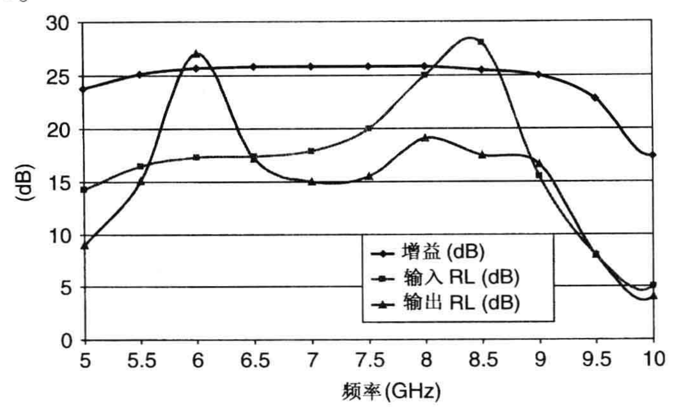


图 12.25　三级线性放大器的增益和回波损耗的仿真结果

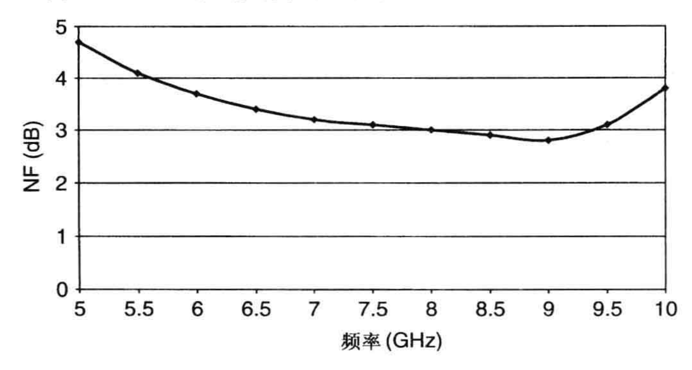


图 12.26　三级线性放大器的噪声系数的仿真结果

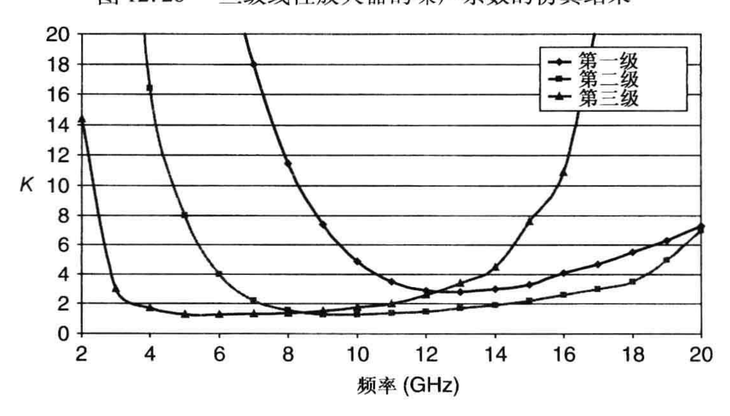


图 12.27　三级线性放大器每级 K 因子的仿真结果

此 MESFET 放大器芯片为 16 引脚 4 mm 塑料封装(由第 21 章可得到更多细节)。将芯片连接到引脚上需要一种高热传导率的材料。此芯片是由直径 1 mil 的金线键合到引脚上的。引脚焊接到 FR-4 基底上，每个引脚连接的焊盘的宽为 18 mil、长为 50 mil，由微带线或者共面传输线连接。图 12.28 给出了 MMIC 芯片在塑料封装内的连线图。

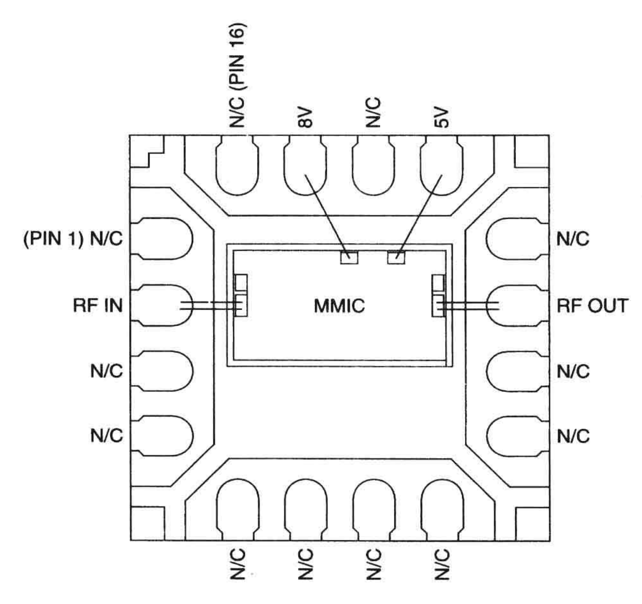


图 12.28 线性放大器使用 16 引脚塑料封装的键合图

测试的增益、噪声系数和输出 IP3 如图 12.29 所示，它们的值分别为 24 dB、3.5 dB 和 32 dBm。测得的 $P_{1\,dB}$和回波损耗分别优于 23 dBm 和 10 dB。

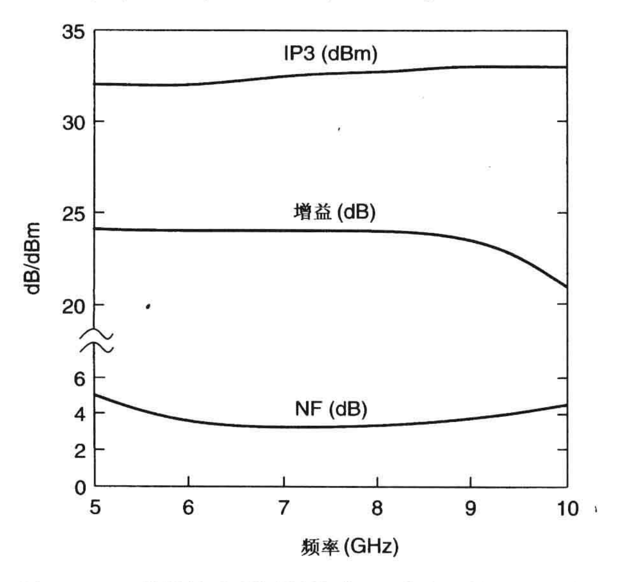


图 12.29 线性放大器测得的增益、噪声系数和 IP3 值

例 12.4 现在设计一个基于 0.5 栅长 pHEMT 技术的 S 波段 10 W 线性 HPA，目标参数为

$$\begin{aligned}
\text{频率} &= 3.55\ \text{GHz}\\
\text{增益} &= 10\ \text{dB}\\
\text{ACPR} &= -35\ \text{dBc} \ @\ P_o = 30\ \text{dBm}\\
P_{1\,dB} &= 40\ \text{dBm}\\
\text{PAE} &= 20\%\ @\ P_o = 30\ \text{dBm}\\
V_D &= 12\ \text{V}
\end{aligned}$$

解　未匹配的 10 W pHEMT 器件位于 3 mm 16 引脚 PQFN 表贴塑料封装中，如图 12.30 所示。在 3.55 GHz 处测得器件的优化源和负载反射系数分别为 $\Gamma_S = 0.946\angle -169.5°$，$\Gamma_L = 0.851\angle -179.3°$。放大器使用多节微带线匹配网络，如图 12.31 所示。测得的增益、PAE、输入回波损耗(IRL)和 ACPR 与输出功率之间的关系如图 12.32 所示。当 $P_o = 30$ dBm 时，增益、PAE、IRL 和 ACPR 的值分别为 10 dB、20%、12 dB 和 −38 dBc。

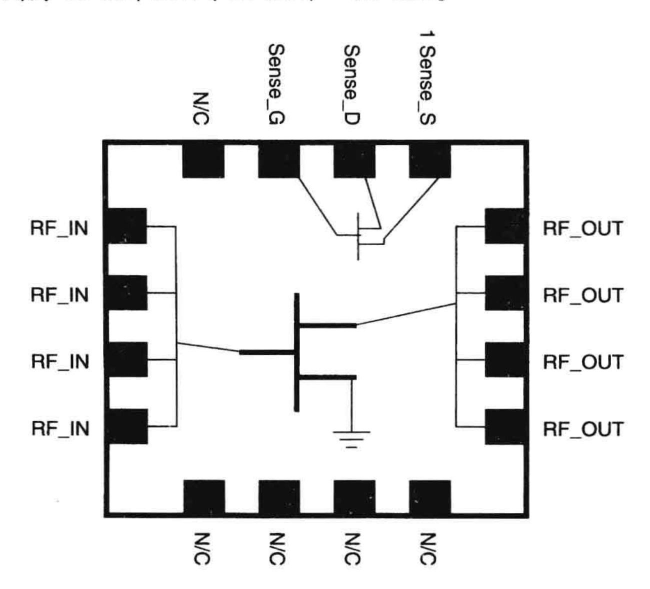


图 12.30　16 引脚塑料封装的 10 W pHEMT

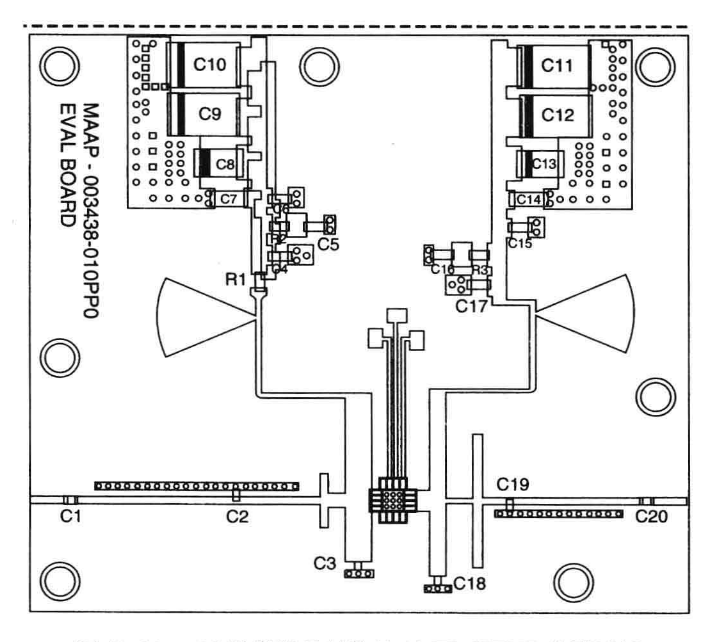


图 12.31　16 引脚塑料封装的 10 W pHEMT 的测试板

测量放大器的交调失真(IMD)有好几种方法[46~50]。最流行的方法就是三阶交调(TOI 或者 IP3)、邻信道功率比(ACPR)、噪声功率比(NPR)和误差向量幅度(EVM)。这些技术将在第 22 章进行简要讨论。

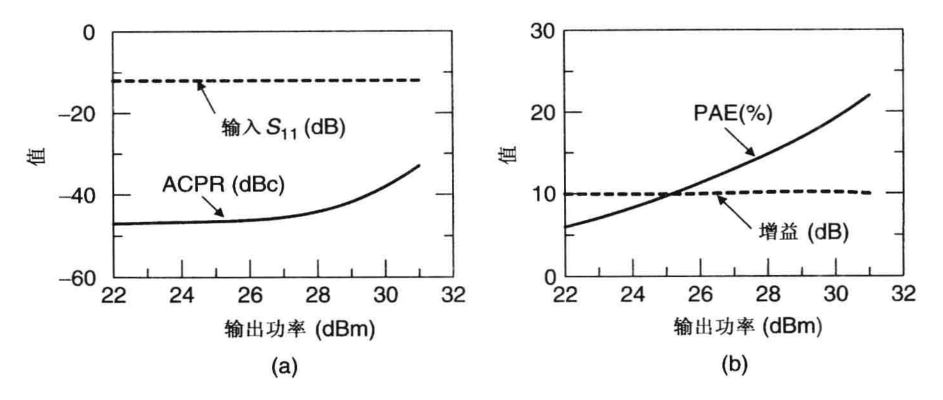


图 12.32 16 引脚塑料封装的 10 W pHEMT 的测试结果：(a) ACPR 和输入匹配与输出功率之间的关系；(b) 增益和PAE与输出功率之间的关系

参考文献

1. N. Pothecary, *Feedforward Linear Power Amplifiers*, Artech House, Norwood, MA, 1999.
2. J. Vuolevi and T. Rahkonen, *Distortion in RF Power Amplifiers*, Artech House, Norwood, MA, 1999.
3. J. Pedro and N. B. Carvalho, *Introduction to Distortion in Microwave and Wireless Circuits*, Artech House, Norwood, MA, 2003.
4. F. Giannini and G. Leuzzi, *Nonlinear Microwave Circuit Design*, Wiley-Interscience, Hoboken, NJ, 2004.
5. G. D. Vendelin et al., *Microwave Circuit Design Using Linear and Nonlinear Techniques*, 2nd edition, Wiley-Interscience, Hoboken, NJ, 2005.
6. J. C. Pedro, Intermodulation, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 3, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2189–2215.
7. S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, 2nd edition, Artech House, Norwood, MA, 2006.
8. P. K. Ikalainen, L. C. Witkowski, and K. R. Varian, Low-noise, low DC power linear amplifiers, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 159–162, 1993.
9. J. C. Pedro, Evaluation of MESFET nonlinear intermodulation distortion reduction by channel-doping control, *IEEE Trans. Microwave Theory Tech.*, Vol. 45, pp. 1989–1997, November 1997.
10. H. Ikeda, H. Kosugi, and T. Uwano, A low distortion and high efficiency parallel-operation power amplifier combined in different phases in wide range of load impedances, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 535–538, 1996.
11. K. Ishida et al., A high efficiency and low distortion GaAs power MMIC design in the wide load impedance range by extended use of load-pull method, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 775–778, 1999.
12. M. Kumar, J. C. Whartenby, and H. J. Wolkstein, Predistortion linearizer using GaAs dual-gate MESFET for TWTA and SSPA used in satellite transponders, *IEEE Trans. Microwave Theory Tech*, Vol. MTT-33, pp. 1479–1488, December 1985.
13. M. Nakayama et al., A novel amplitude and phase linearizing technique for microwave power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1951–1954, 1995.
14. K. G. Voyce and J. H. McCandless, Power amplifier linearization using IF feedback, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 863–866, 1989.

15. J. C. Pedro and J. Perez, An MMIC linearized amplifier using active feedback, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig*., pp. 113–116, 1993.
16. K. Nishikawa and T. Tokumitsu, An MMIC low-distortion variable-gain amplifier using active feedback, *IEEE Trans. Microwave Theory Tech*., Vol. 43, pp. 2812–2816, December 1995.
17. M. R. Moazzam and C. S. Aitchison, A low third order intermodulation amplifier with harmonic feedback circuitry, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 827–830, 1996.
18. F. Ali, M. R. Moazzam, and C. Aitchison, IMD elimination and ACPR improvement for an 800 MHz HBT MMIC power amplifier, *IEEE RFIC Symp. Dig*., pp. 69–71, 1998.
19. D. Jing et al., New linearization method using interstage second harmonic enhancement, *IEEE Microwave Guided Wave Lett*., Vol. 8, pp. 402–404, November 1998.
20. K. Yamauchi et al., A novel series diode linearizer for mobile radio power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 831–834, 1996.
21. C. Haskins, T. Winslow, and S. Raman, FET diode linearizer optimization for amplifier predistortion in digital radios, *IEEE Microwave Guided Wave Lett*., Vol. 10, pp. 21–23, January 2000.
22. K. Yamauchi et al., A microwave miniaturized linearizer using a parallel diode with a bias feed resistance, *IEEE Trans. Microwave Theory Tech*., Vol. 45, pp. 2431–2434, December 1997.
23. A. Katz, S. Moochalla, and J. Klatskin, Passive FET MMIC linearizers for C, X and Ku-band satellite applications, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig*., pp. 155–158, 1993.
24. H. Hayashi, M. Nakatsugawa, and M. Muraguchi, Quasi-linear amplification using self phase distortion compensation technique, *IEEE Trans. Microwave Theory Tech*., Vol. 43, pp. 2557–2564, November 1995.
25. D. E. Meharry, Multi-octave transformer coupled differential amplifier for high dynamic range, *IEEE GaAs IC Symp. Dig*., pp. 225–228, 1998.
26. Y. Yang and B. Kim, A new linear amplifier using low-frequency second-order intermodulation component feedforwarding, *IEEE Microwave Guided Lett*., Vol. 9, pp. 419–421, October 1999.
27. P. Sandhiya et al., Current dumping: a novel linearization technique for RF power transistors, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 815–818, 1999.
28. M. G. Kim et al., An FET-level linearization method using a predistortion branch FET, *IEEE Microwave Guided Wave Lett*., Vol. 9, pp. 233–235, June 1999.
29. C. F. Campbell, A fully integrated Ku-band Doherty amplifier MMIC, *IEEE Microwave Guided Wave Lett*., Vol. 9, pp. 114–116, March 1999.
30. P. B. Kenington, Methods linearize RF transmitters and power amps, Part 1, *Microwaves RF*, Vol. 37, pp. 102–116, December 1998.
31. P. B. Kenington, Methods linearize RF transmitters and power amps, Part 2, *Microwaves RF*, Vol. 38, pp. 79–89, January 1999.
32. H. Ikeda et al., Phase distortion mechanism of a GaAs FET power amplifier for digital cellular application, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 541–544, 1992.
33. T. Yokoyama et al., High-efficiency low adjacent channel leakage GaAs power MMIC for 1.9GHz digital cordless phones, *IEEE Trans. Microwave Theory Tech*., Vol. 42, pp. 2623–2628, December 1994.
34. K. Tateoka et al., A GaAs MCM power amplifier of 3.6V operation with high efficiency of 49% for 0.9GHz digital cellular phone system, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 569–572, 1994.
35. Y. Hasegawa et al., 3.4V Operation power amplifier multi-chip ICs for digital cellular phone, *IEEE GaAs IC Symp. Dig*., pp. 63–66, 1995.
36. M. Nakamura et al., A buried p-gate heterojunction field effect transistor for a power amplifier of digital wireless communication systems, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1095–1098, 1999.

37. A. Grebennikov, *RF and Microwave Power Amplifier Design*, McGraw-Hill, New York, 2004.
38. T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd edition, Cambridge Press, Cambridge, UK, 2004.
39. A. Raghavan, N. Srirattana, and J. Laskar, *Modeling and Design Techniques for RF Power Amplifiers*, John Wiley & Sons, Hoboken, NJ, 2008.
40. H. Chireix, High power outphasing modulation, *Proc. IRE*, Vol. 23, pp. 1370–1392, November 1935.
41. X. Zhang, L. E. Larson, and P. M. Asbeck, *Design of Linear RF Outphasing Power Amplifiers*, Artech House, Norwood, MA, 2003.
42. A. Huttunen and R. Kaunisto, A 20-W Chireix outphasing transmitter for WCDMA base stations, *IEEE Trans. Microwave Theory Tech*. Vol. 55, pp. 2709–2718, December 2007.
43. W. H. Doherty, A new high efficiency power amplifier for modulated waves, *Proc. IRE*, Vol. 24, pp. 1163–1182, September 1936.
44. N. Srirattana et al., Analysis and design of a high-efficiency multistage Doherty power amplifier for wireless communications, *IEEE Trans. Microwave Theory Tech*., Vol. 53, pp. 852–859, March 2005.
45. K.-J. Cho et al., Linear optimization of a high power Doherty amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., TH1B-5, 2005.
46. Y. Zhao et al., Linearity improvement of HBT-based Doherty power amplifiers based on a simple analytical model, *IEEE Trans. Microwave Theory Tech*., Vol. 54, pp. 4479–4488, December 2006.
47. I. Takenaka et al., A distortion-cancelled Doherty high-power amplifier using 28-V GaAs heterojunction FETs for W-CDMA base stations, *IEEE Trans. Microwave Theory Tech*., Vol. 54, pp. 4513–4529, December 2006.
48. N. Wongkomet, L. Tee, and P. R. Gray, A +31.5 dBm CMOS RF Doherty power amplifier for wireless communications, *IEEE J. Solid State Circuits*., Vol. 41, pp. 2852–2858, December 2006.
49. J. Kim, B. Kim, and Y. Y. Woo, Advanced design of linear Doherty amplifier for high efficiency using saturation amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1573–1576, 2007.
50. C. T. Burns, A. Chang, and D. W. Runton, A 900MHz, 500W Doherty power amplifier using optimized output matched Si LDMOS power transistors, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1577–1580, 2007.
51. K.-J. Cho et al., N-way distributed Doherty amplifier with an extended efficiency range, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1581–1584, 2007.
52. J. Kim et al., Analysis of a fully matched saturated Doherty amplifier with excellent efficiency, *IEEE Trans. Microwave Theory Tech*., Vol. 56, pp. 328–338, February 2008.
53. Y.-S. Lee et al., Highly efficient class-F GaN HEMT Doherty amplifier for WCDMA applications, *Microwave Opt. Technol. Lett*., Vol. 50, pp. 2328–2331, September 2008.
54. L. R. Kahn, Single sideband transmission by envelope elimination and restoration, *Proc. IRE*, Vol. 40, pp. 803–806, July 1952.
55. N. Wang et al., Linearity of X-band class-E power amplifiers in EER operation, *IEEE Trans. Microwave Theory Tech*., Vol. 53, pp. 1096–1102, March 2005.
56. F. Wang et al., Design of wide-bandwidth envelope-tracking power amplifiers for OFDM applications, *IEEE Trans. Microwave Theory Tech*., Vol. 53, pp. 1244–1255, April 2005.
57. G. Hanington et al., High-efficiency power amplifier using dynamic power-supply voltage for CDMA applications, *IEEE Trans. Microwave Theory Tech*., Vol. 47, pp. 1471–1476, August 1999.
58. H. Gandhi, Digital predistortion linearizers broadband PAs, *Microwaves RF*, Vol. 47, pp. 66–76, July 2008.

习题

12.1　描述放大器损耗源的各种类型。

12.2　如果 FET 放大器的射频输出电压 v_o 可表示如下：

$$v_o = C_1 v_i + C_2 v_i^2 + C_3 v_i^3$$

此处输入电压 $v_i = A\cos \omega_1 t$，证明放大器的增益 G 可表示如下：

$$G = 20\ \log(C_1 + 0.75 C_3 A^2)$$

12.3　在习题 12.2 中，如果 $C_1 = 10$、$C_2 = 0$、$C_3 = -1$，若放大器的输入和输出阻抗为 50 Ω，试确定放大器的 1 dB 压缩点。

12.4　假设放大器的源和负载阻抗为 50 Ω，且传输特性如下：

$$v_o = 10 v_i - 0.5 v_i^3$$

计算输出 $P_{1\ \mathrm{dB}}$。

12.5　放大器的输出 $P_{1\ \mathrm{dB}}$ 和 IP3 值分别为 30 dBm 和 40 dBm，测量 $P_{1\ \mathrm{dB}}$ 时为单音信号源。如果输出功率为 25 dBm，试确定 IM3。

12.6　设计一个两级线性放大器，直流电压为 5 V，线性模型如 5.8.3 节所示，输出 IP3 = 42 dBm，器件的 EC 模型如表 5.5 所示，优化的源和负载阻抗模型如图 5.17 所示。放大器工作频率为 10 GHz，匹配网络损耗忽略不计。计算直流功耗（P_{DC}）及 IP3 和 P_{DC} 之比。

第13章　高压功率放大器设计

如今存在着许多传统的和新兴的晶体管设计技术,可以提供给固态放大器的设计者实现其产品的设计目标。其中的一个应用是具有大量需求的移动无线通信领域,对于这一类放大器而言,重点在于提高线性化。另一个同等重要的应用是基站,需要高功率、高效率、线性化,以及工作在高压状态的功率放大器。对于这些应用而言,可供选择的高压器件有 GaAs FET、pHEMT 和 HBT、GaN HEMT、Si LDMOS 等。GaAs 晶体管的性能好,LDMOS 晶体管的效率高,GaN HEMT 的功率密度最高但是比较昂贵。

L 和 S 波段雷达和基站中的高功率发射机通常使用分离的 Si 双极型器件和 LDMOS。Si 的导热性比 GaAs 高三倍,而且造价更低,所以更适用。频率低于 3.5 GHz 时,输出功率为数百瓦的双极结型晶体管(BJT)和 LDMOS 晶体管器件在上述的应用中体现出高效率和高性能。表 13.1 为 Si 双极型器件和 LDMOS 晶体管的比较。

表 13.1　Si 双极型和 LDMOS 高功率固态放大器的比较

典型频率(GHz)	功率(W)	增益(dB)	功率附加效率(%)	供电电压(V)	器件	技术	应用	优点	缺点
0.93 ~ 1.03	200	12	40	28	LDMOS	混合	基站	供电电压较高,电流较低	需要匹配网络
1.2 ~ 1.4	300	11	40	36	BJT	混合	雷达	供电电压较高,电流较低	需要匹配网络
2.11 ~ 2.17	200	22	34	28	LDMOS	混合	基站	供电电压较高,电流较低	功率密度有限,限制在较低频率
2.7 ~ 3.1	150	9	40	36	BJT	混合	雷达	功率密度最高	增益和平坦度有限,热性能限制其脉宽低于 200 μs、占空比低于 10%
3.1 ~ 3.5	90	7.5	35	36	BJT	混合	雷达	功率密度最高	增益和平坦度有限,热性能限制其脉宽低于 200 μs、占空比低于 10%

13.1　高压晶体管性能概述

BJT 的增益很低,在高于 2 GHz 时的增益平坦度很差,而且在热性能上受到长脉冲的限制。LDMOS[1~9]器件在高于 2 GHz 时会出现功率密度的下降。这两种器件在高于 4 GHz 时的性能都将会恶化。在 S 波段以上,微波收发模块中的高功率放大器(HPA)通常使用内匹配的 GaAs 晶体管和单片微波集成电路(MMIC)实现。供电一般为 8 ~ 10 V 的连续波或脉冲(CW/pulsed),功率输出为 20 ~ 30 W 数量级。未来的雷达要求收发模块具有更高的输出功率,这些额外增加的功率不能使用 10 V 的 GaAs 技术。

在过去的 10 年里,用于窄带和宽带微波功率放大器的高压(HV)晶体管取得了巨大的进步。焦点在于发展应用于通信和有源孔径阵列雷达中的高效、可靠、廉价的 HV 高功率放大器。

设计者们使用了许多不同的器件技术来完成这个挑战,包括 GaAs 场板(FP)FET[10~14]、GaAs MSAG FP-FET[15~19]、SiC FET[20~25]、GaAs pHEMT[26~28]、GaAs FP-pHEMT[29~32]、SiC/Si GaN

HEMT [33~57]、SiC/Si GaN FP-HEMT [58,59] 及 GaAs HBT [60~62]。有关这些领域的进步,分立器件部分总结在表 13.2 中,MMIC 部分总结在表 13.3 中。通过这两个表可以看出,使用混合技术的能量结合要比在 MMIC 半导体基底上好得多(高一个数量级)。

宽禁带(WBG)半导体,比如 SiC 或者 GaN,具有的基本材料特性比 GaAs 更适合于实现基高功率放大器。许多对 WBG HPA 的研究工作都取得了引人注目的成果,如表 13.2 和表 13.3 所示。

表 13.2　高压混合 HPA 实例

频率 (GHz)	供电电压 (V)	输出功率 (W)	功率密度 (W/mm)	功率附加效率(%)	技术	年份[参考文献]
1.5	65	500	3.5	48	GaN HEMT, SiC	2006[50]
2.0	28	20	12.5	62	HBT, GaAs	1997[60]
2.0	40	56	1.9	53	FET, SiC	2005[24]
2.0	47	149	4.7	64	GaN FP-HEMT, SiC	2004[59]
2.0	53	230	4.8	67	GaN FP-HEMT, SiC	2004[38]
2.1	28	250	0.7	27	FP-FET, GaAs	2004[13]
2.1	12	300	0.29	25	FP-FET, GaAs	2001[10]
2.1	50	250	3.5	46	GaN HEMT, SiC	2004[34]
2.14	26	26	1.8	61	pHEMT, GaAs	2004[26]
2.14	26	45	1.4	30	FP-pHEMT, GaAs	2004[28]
2.14	28	330	0.67	42	FP-pHEMT, GaAs	2006[32]
5.0	60	220	4.6	38	GaN HEMT, SiC	2007[57]
5.5	26	83	0.67	34.7	FP-FET, GaAs	2004[14]
30.0	28	5.8	5.8	43	GaN HEMT, SiC	2004[35]

表 13.3　高压 MMIC HPA 实例

频率 (GHz)	供电电压 (V)	输出功率 (W)	功率密度 (W/mm)	功率附加效率(%)	技术	年份[参考文献]
0.9	28	25	—	60	HBT, GaAs	2004[61]
2.0	12	50	—	45	pHEMT, GaAs	2004[27]
3.3	24	50	1	40	FP-FET, GaAS	2007
3.5	55	36.3	3	20.6	MESFET, SiC	2002[21]
10.0	20	8.0	5	36.7	GaN HEMT, SiC	2004[37]
10.0	40	20.0	3.3	25	GaN HEMT, SiC	2006[55]
16.0	31	24.2	—	22.2	GaN HEMT, SiC	2002[21]
31.0	20	11	—	—	GaN HEMT, SiC	2006[63]
33.0	13	2.2	2.3	18.6	GaN HEMT, SiC	2004[36]
35.0	24	4.0	3.3	23	GaN HEMT, SiC	2006[52]

13.1.1　优点

为了获得更高的输出功率和更大的带宽,未来基于系统的固态器件需要晶体管工作在远高于 8~10 V 的电压下。在 20 V 以上的高压工作状态可以降低直流 - 直流转化的功率损耗和偏置网络的 I^2R 功率损耗。由于功率密度和负载阻抗更高,输入和输出匹配网络的设计变得更简单,这同样可以增大带宽。GaN HEMT 与其他晶体管(例如 GaAs FET 和 HEMT)有着相似的单位栅宽输入阻抗,但是单位栅宽输出阻抗是其他晶体管的两倍。GaN HEMT 的功率密度比 GaAs FET 和 HEMT 高 10 倍,而在同样的输出功率下 HV GaN HEMT 所需要的输入则要小 10 倍,输出阻抗变换比要小 20 倍。

得益于更高的功率密度,同一功率仅需更少的晶体管数,这降低了成本、提高了收益,使功率放大器更加可靠。使用高压晶体管取代普通晶体管，可以通过减少封装和集成的费用来大大降低放大器的成本。

在 10 V 供电下存在的一个问题是，在单管或 MMIC 中最多能并联多少个晶体管。在 S 波段的低频端,对于分立晶体管而言这个极限是 150 ~ 200 W,对于单个 10 GHz 的 MMIC 而言这个极限约为 20 W。造成该极限的原因是沿宽度方向的横向谐振及对较低阻抗器件的不匹配。使用 HV 晶体管时该极限扩大了 5 ~ 10 倍。

13.1.2 应用

许多商业和军事方面的应用可以得益于使用高压功率放大器。还有一些潜在的应用包括有源相控阵(APA)雷达、基站发射机、卫星通信、宽带无线技术(WiMAX)、电子战(EW)、JTRS 中的多倍频程功率放大器、国防安全通信。

13.2 高压晶体管

高压晶体管在近年来取得了快速的发展,例如 LDMOS、高压 MESFET、HBT、AlGaN/GaN HEMT。与使用普通栅极相比,场板(FP)MESFET/HEMT 提高了击穿电压和栅极电容。因此 FP 晶体管的功率密度和工作电压较高,但是增益和工作频率较低。高击穿电压结合 GaN 功率管的高电子速率可以使设计者实现比普通 10 V 晶体管更高的功率密度。一些器件的基本工作原理在第 4 章已经进行了介绍,而 HV 晶体管的一些重要特点将在这一节介绍。

表 13.4(a)给出了器件比较及各种 HV 晶体管的基底特性。HV 晶体管在 2.1 GHz 时的典型测量性能总结在表 13.4(b)中。

表 13.4 器件及性能比较

(a)室温下晶体管和基底特性

器件	基底	禁带(eV)	介电常数	导热系数(W/cm·℃)
LDMOS	Si	1.12	11.7	1.45
MESFET	GaAs	1.42	12.9	0.46
MESFET	SiC	2.86	9.7	3.5
GaN HEMT	SiC	3.39	9.7	3.5
GaN HEMT	GaN	3.39	8.9	1.3

(b)2.1 GHz 陶瓷封装晶体管性能

器件	典型击穿电压(V)	工作电压(V)	输出功率(W)	增益(dB)	效率(%)
Si BJT	63	36	110	7.4	40
Si LDMOS	70	28	100	13	55
GaAs FP-MESFET	60	28	300	14	63
SiC MESFET	90	40	56	10	55
GaAs FP-pHEMT	50	26	43	11.5	56
SiC GaN HEMT	80	48	370	10	50
GaAs HBT	70	28	20	11	70

13.2.1 Si 双极型晶体管

高压功率型微波 BJT 由基极 - 发射极多触点交叉结构组成。这些多单元结构使用带有镇流电阻的窄而长的发射极,将热击穿的可能性降至最低。这类晶体管的击穿电压为 50 ~ 70 V。由于在

200℃结温下的MTTF(平均无故障时间)超过10^7小时,线性和C类功率BJT的可靠性得到了保证。这类器件成本低,不受静电放电的影响,而且可以经受非常严重的VSWR(电压驻波比)失配的情况。商用HV BJT的功率水平在1 GHz时超过1 kW,在3 GHz时超过150 W(均为脉冲工作状态)。

13.2.2 Si LDMOS晶体管

功率型MOSFET,通常称为横向扩散金属氧化物半导体(LDMOS)场效应管,有着更好的温度稳定性、可靠性和更坚固的结构,所以比双极型晶体管要更受欢迎。由于漏极一侧的沟道区低掺杂及在高漏极电压下的全耗尽,LDMOS晶体管有着非常高的击穿电压。

LDMOS FET的f_T和f_{max}的典型值分别为5 GHz和15 GHz,漏源击穿电压BV_{DS}高于70 V。因此通常LDMOS FET工作在24~28 V,某些器件高达48 V。尽管LDMOS FET的f_T比小信号MOSFET低得多,但它们很适合在低于3 GHz的应用中使用。在2 GHz时,LDMOS FET拥有200~300 W的输出功率,相关的PAE和增益为50%和10 dB。在类似于基站这样的高功率的应用中,要求的功率超过了100 W,通常使用Si LDMOS FET。

LDMOS晶体管的横截面图如图13.1(a)所示。初始材料为8英寸p型Si基底上的低掺杂p^-外延层。使用了多种离子注入方式,一般是3个n型和3个p型。通常栅长是0.5 μm,在多晶硅上使用WSi或CoSi制造,其加工过程与对Si CMOS添加厚互连镀金属以实现更高电流的情况类似。

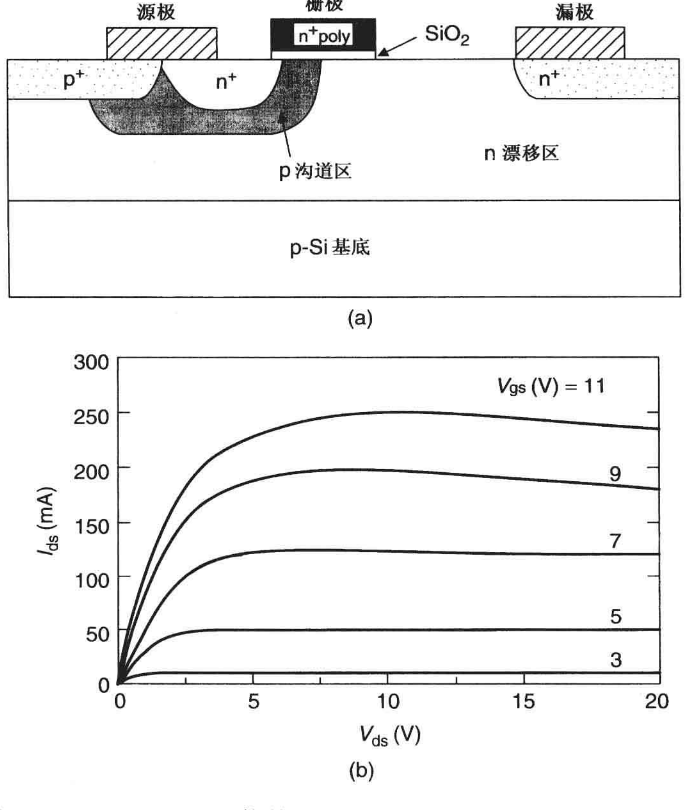


图13.1 (a)LDMOS晶体管的物理横截面图;(b)1.5 mm栅宽LDMOS晶体管的I-V图;(c)封装LDMOS的等效电路模型

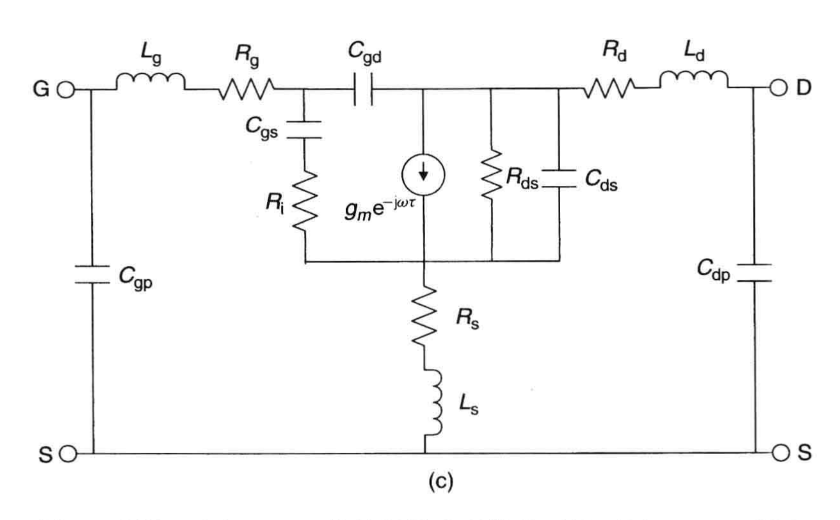


图 13.1(续) (a)LDMOS 晶体管的物理横截面图;(b)1.5 mm 栅宽 LDMOS 晶体管的 I-V 图;(c)封装LDMOS的等效电路模型

LDMOS 晶体管可适用于不同的封装和频率,功率为 25 ~ 50 W。大多数器件使用铜钨合金(CuW)法兰盘陶瓷封装。通过使用铜法兰盘塑料开放腔封装,这类器件的电学特性和热性能得到了提升。这种封装拥有较低的热电阻。LDMOS 晶体管的发展在于提高功率密度、降低热电阻、实现高效率。近年来出现的塑料封装提供了一种低成本的替代方案。通常工作电压为 28 V。图 13.1(b)给出了一个 1.5 mm 栅宽 LDMOS 晶体管的电流 - 电压(I-V)特性。

图 13.1(c)为 LDMOS 的集总参数元件模型。器件等效模型的参数值为:栅长 1.25 μm,栅宽 1.44 mm,偏置 V_{ds} = 28 V, I_{ds} = 15 mA,以及[7]

$$R_g = 13.7\ \Omega,\quad R_i = 1.2\ \Omega,\quad R_s = 0.87\Omega,\quad R_d = 9.1\ \Omega,\quad R_{ds} = 4.37\ \text{k}\Omega$$
$$C_{gs} = 0.73\ \text{pF},\quad C_{gd} = 0.029\ \text{pF},\quad C_{ds} = 0.31\ \text{pF},\quad C_{gp} = 0.28\ \text{pF},\quad C_{dp} = 0.26\ \text{pF}$$
$$g_m = 21.1\ \text{mS},\quad \tau = 14.1\ \text{ps}$$
$$L_g = 0.059\ \text{nH},\quad L_s = 0.001\ \text{nH},\quad L_d = 0.057\ \text{nH}$$

该器件的 $f_T(=g_m/2\pi C_{gs})$ 计算得到为 4.6 GHz。

陶瓷封装 60 W LDMOS 晶体管在 2.1 GHz 时的负载阻抗约为 1.05 - j3.0 Ω。负载的电容部分归结于电感式封装引起的电抗。

13.2.3 GaAs 场板 MESFET

场板(FP)MESFET 的制造与普通 FET 类似。加工过程相对简单,使用 4 ~ 5 个掩膜生成分离的 FET 和 10 个或更多的 MMIC。为了实现高击穿电压和高工作电压,场调制板(简称场板)FET 得到了发展[10,29]。

如图 13.2(a)所示,在这个结构中栅极扩大,在栅极和漏极之间使用金属 - 绝缘层 - 半导体(MIS)类型的构造,得到了 50 ~ 60 V 数量级的击穿电压。场板平均长度在 1 μm 数量级。槽栅[10~14]和自对准栅(SAG)[15~19]的制造过程都用来大规模生产高压 FET(简称 HVFET)。图 13.2(b)给出了 FP-FET 的一个改进版。在这种结构中源极连接了第二个 FP,所以称为源极连接 FP-FET。该 HVMSAG MESFET 的横截面图如图 13.3 所示。栅极上额外的场板在保持高峰值电流的同时提高了 HVMSAG 的击穿电压,这样的器件工作频率可以达到 6 GHz。

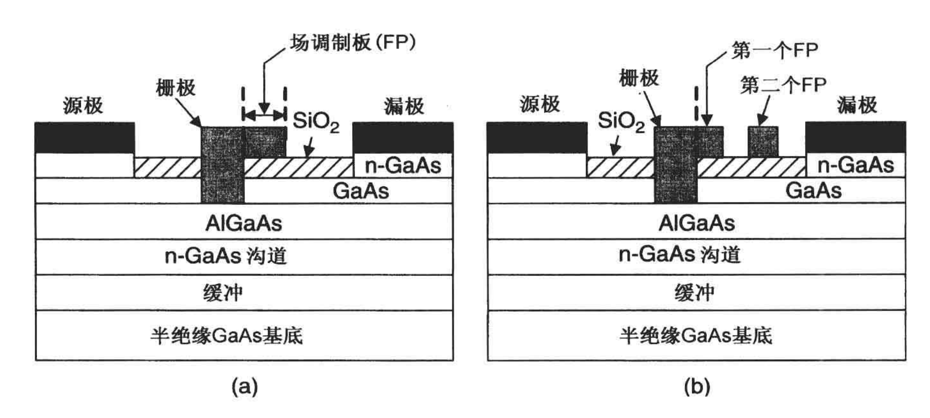


图 13.2　场板 MESFET 的横截面图:(a)单场板;(b)双场板

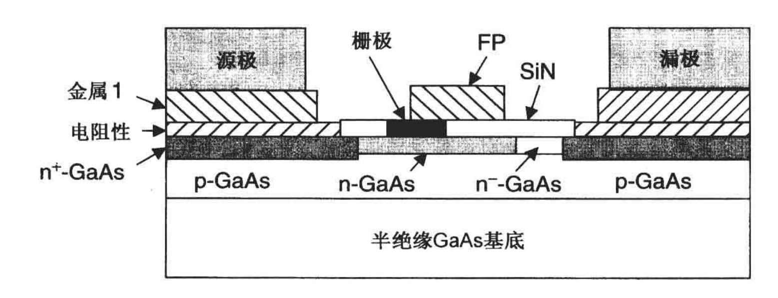


图 13.3　HVMSAG 场板 MESFET 的横截面图

13.2.4　GaAs 场板 pHEMT

GaAs FP-pHEMT 的制造与 GaAs FP-FET 类似,不同在于初始材料上有外延层。器件包括双凹槽 AlGaAs/InGaAs 和双异质结 pHEMT 结构。带有外延层的初始晶圆可以商用。GaAs FP-pHEMT 的一些指标的典型值为:I_{max} = 355 mA/mm,I_{dss} = 204 mA/mm,g_m = 180 mS/mm,f_T = 6 GHz,f_{max} = 28 GHz,击穿电压为 50 V。对于工作在 2.14 GHz、26 V 的 13.4 mm 器件,测量得到 $P_{1\,dB}$ = 26 W(1.9 W/mm),PAE 为 61%。对于 32.4 mm 器件,$P_{1\,dB}$ = 43 W,PAE 为 56%。典型的小信号增益为 11.5 dB。在 X 波段,功率为 20 ~ 25 W,但是其应用限制在 Ku 波段以下。

13.2.5　GaAs HBT

GaAs HBT 高功率放大器同样可以工作在 24 ~ 28 V[60~62]。这种器件对比低压时使用相对较厚的集电层。AlGaAs/GaAs 和 InGaP/GaAs HBT 偏置在 24 ~ 28 V 时的输出功率为 20 W。在 AlGaAs/GaAs HBT 的外延结构中,在 GaAs 上生长有源层使用的是 MOCVD 技术。对于 2.8 μm 厚的集电层,测得的基极 - 集电极击穿电压约为 70 V[63]。HV HBT 的应用限制在C 波段以下。

13.2.6　SiC MESFET

SiC MESFET 具有硅碳化合物高场击穿的优点,可以作为高压工作状态的候选器件。该器件通过在 SiC 晶圆上生长 n 型外延层进行制造。Ni/Pt/Au 浓缩形成栅极。尽管饱和漂移速度较高,SiC MESFET 仍具有较低的电子迁移率、较低的 g_m 和增益、较高的拐点电压、较高的夹断电压、较低的工作频率。即使制造技术比 GaN HEMT 更加成熟,但是因为 3 ~ 4 英寸的 SiC 基底比较昂

贵，所以 SiC MESFET 成本仍然较高。击穿电压的典型测量值是 80 ~ 100 V，其应用限制在 C 波段以下。

13.2.7 SiC GaN HEMT

SiC GaN HEMT 的制造与 GaAs pHEMT 类似。主要的不同在于 AlGaN/GaN 材料，它具有高场击穿的特点，提高了 GaN HEMT 的工作电压。GaN HEMT 层能够在蓝宝石、硅或者 SiC 基底上生长。由于 SiC 基底的导热系数非常高，这种器件十分适合于高功率密度的应用。虽然可以使用直径 3 英寸的 SiC 基底，但是它非常昂贵且缺陷密度较高。GaN 层的高电子迁移率使得 GaN HEMT 可以在毫米波频段使用。SiC GaN HEMT 的功率密度最高，其次是 Si GaN HEMT。因为 SiC 是良好的电绝缘体，SiC GaN HEMT 的低损耗匹配电路非常适合 IC 制造。

GaN 晶体管同样可以当做前端 LNA 使用。该器件具有优秀的噪声系数（NF）和输入功率容量。0.5 μm 栅 GaN HEMT 的 NF 值约为 0.5 dB（2 GHz）、1.2 dB（20 GHz），这比 GaAs pHMET 器件最好的 NF 还要高两倍。大小合适的晶体管可以控制输入功率的一部分而不损坏器件，这比低噪声等效 GaAs 晶体管通常可以控制的功率要高出一个数量级，因此 GaN 器件可以当做限幅器或 LNA 使用。

GaN HEMT 的一些指标的典型值为：$I_{max}=900$ mA/mm，$I_{dss}=600$ mA/mm，$g_m=290$ mS/mm，$f_T=50$ GHz，$f_{max}=80$ GHz。对于工作在 4 GHz、28 V 的 1 mm 器件，测得的 $P_o=5$ W，PAE 为 70%。典型的小信号增益约为 20 dB，功率密度在 4 GHz 为 10 W/mm，在 35 GHz 为 5 W/mm。测得的击穿电压 GaN HEMT 为 60 ~ 130 V，GaN FP-HEMT 为 100 ~ 250 V。有记录的漏极电压 GaN HEMT 高达 65 V，GaN FP-HEMT 高达 118 V。

理论上 GaN FP-HEMT 在 4 GHz 时的功率密度极限（W/mm）表示为[42]

$$P_o \approx 7\frac{V_{ds}}{28} \tag{13.1}$$

这里 V_{ds} 为实际漏源电压。当 $V_{ds}=100$ V 时，$P_o\approx 25$ W/mm。因此 GaN 器件的高压工作状态可以得到非常高的功率密度，使得甚高压和高效率微波毫米波功率放大器得到发展。GaN 器件未来的成功取决于其性能、可靠性和低成本。图 13.4 为 1 mm 栅 SiC GaN HEMT 的脉冲 *I-V* 数据。

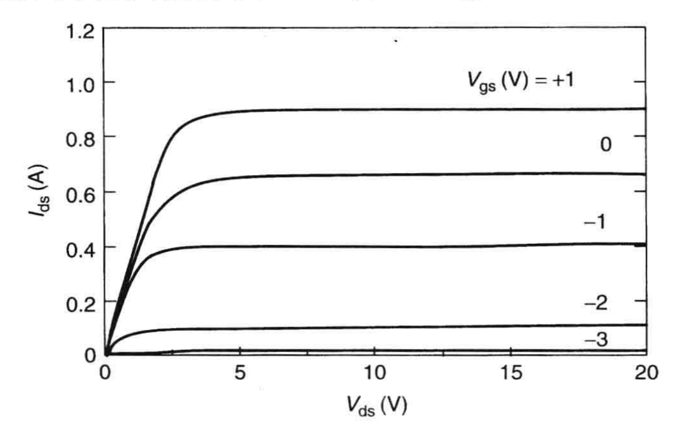


图 13.4　1 mm 栅 SiC GaN HEMT 的脉冲 *I-V* 特性

不久前，GaN HEMT 器件凭借其宽禁带特性受到了相当多高功率密度应用的注意。HEMT 结构使用 AlN 作为势垒层，使用 GaN 作为导电沟道。SiC 上的 GaN 的功率密度（PD）容量高达 10 W/mm，明显高于 GaAs FET 和 LDMOS。高压 GaAs 晶体管的 PD 值为 1.5 ~ 2 W/mm，

LDMOS 的 PD 值为 1 W/mm。尽管 10 W/mm 的功率密度很吸引人，但是相关的热通量密度却非常高，因此需要更为先进的技术对封装进行散热以保持合理的器件结温。更实用的功率密度值大概在 4 ~5 W/mm 以下。在无线移动通信和 WiMAX 基站、宽带电子战、高功率雷达等应用中，GaN 器件拥有巨大潜力。

GaN 结构适用于不同的封装和频率，功率为 15 ~90 W，大多数器件使用 CuW 法兰盘陶瓷封装，工作电压范围为 24 ~65 V。分立晶体管可以从 TriQuint、Cree、Nitronex、Eudyna 获得。可用的分立晶体管工作频率可以高达 18 GHz，其应用包括 WiMAX 和 WCDMA，一个使用 GaN HEMT 的脉冲峰值功率高达 650W 的 WCDMA 基站已有记录。GaN 晶体管可以使用 Si 和 SiC 基底，SiC 的导热系数非常高，所以更受欢迎。

13.3　高压放大器设计的必要考虑

高功率和高压工作状态下的甚高功率放大器(VHPA)需要在性能、可靠性和成本之间达到不同的平衡。为了实现经济可靠、远高于现有情况的输出功率，需要一种全新的规则来设计无源元件和一种全新的热模型来描述放大器之类的器件。在新的 VHP 领域，同样需要重视无源元件的电压、电流、功率和温度的效率，包括微带线、CPW、MIM 电容、电感、电阻、跨交、通孔。在这类放大器中，热设计和工作电压、电流的限制是必要的，这是因为器件之间的连接具有瑕疵、电路中存在瞬态的电压和电流。

13.3.1　有源器件的热设计

WBG 晶体管边缘每毫米可以产生更高的输出功率，而且可以更有效地消散额外产生的热量。表 13.4(a)中展示了几种不同器件的基底热特性比较。HV 器件的功率耗散远比普通功率管大得多，因此 HV 功率放大器及其部件的热设计是整个设计成功与否最重要的一个环节。最小化芯片粘接和外壳的热电阻是必要的，必须要有高质量的芯片粘接使得空洞最小(<5%)。HV 器件的功率密度较高，所以应该避免晶体管出现微孔。

HVMSAG FET 的热模型使用第 16 章中的 Cooke 模型[64]来表示。使用红外线(IR)和液晶技术(LCT)对较大尺寸的 HV FET(栅极外围大于 1.5 mm)进行测量，显示结果与 Cooke 模型预测的十分吻合。但是对于较小的 FET，Cooke 模型会将沟道温度高估 1.5 倍，这是因为模型没有包含经过源和从侧面方向的热扩散冷却。

例如，表 13.5[64]总结了 2 mm 和 3.2 mm FET 热电阻的计算值。在室温下 GaAs 基底厚度为 50 μm 时的导热系数为 0.46 W/cm·℃。即使 SiC 的导热系数比 GaAs 高 10 倍，相似大小的 SiC GaN HEMT 热电阻值却要小 10 倍，即 6℃/W·mm。

表 13.5　使用 Çooke 模型[a]的热性能计算

FET 尺寸(mm)	栅栅间距(μm)	指个数	单位栅宽(μm)	R_{th}(℃/W)
2.0	32	12	167	31.5
3.2	32	18	178	19.8

[a] GaAs 基底厚度为 50 μm。

功率管的热设计在第 16 章中进行了探讨，对 HV 器件的一些总结如下：

1. HV 器件的热电阻取决于电极结构、基底厚度、通孔位置和背面金属厚度。需要更大的栅栅间距、更薄的基底、适当的通孔位置、更薄的背面金属来使热电阻达到最小。

2. 包括垫片、焊锡、载体、环氧树脂和固定槽/热槽在内各种层的简单层叠会使结温过高。需要最小化器件-热槽之间的夹层,例如晶体管或者放大器的载体必须直接用螺栓固定在热槽上。

图13.4展示了多种冷却技术需求与通过芯片的热通量之间的对比。假设高功率密度器件的芯片粘接很好,则要使用具有较高热通量消除能力的散热片以维持可靠的放大器内部温度。例如一个25 W的GaN SiC放大器芯片效率为50%,芯片大小为4 mm^2,芯片的背面(BOC)的估计热通量值为25 W/0.04 cm^2 = 625 W/cm^2;如果沟道与BOC之间的温差达到100℃,参考图13.5,那么就需要一种介于气体微喷与水微喷之间的冷却技术。

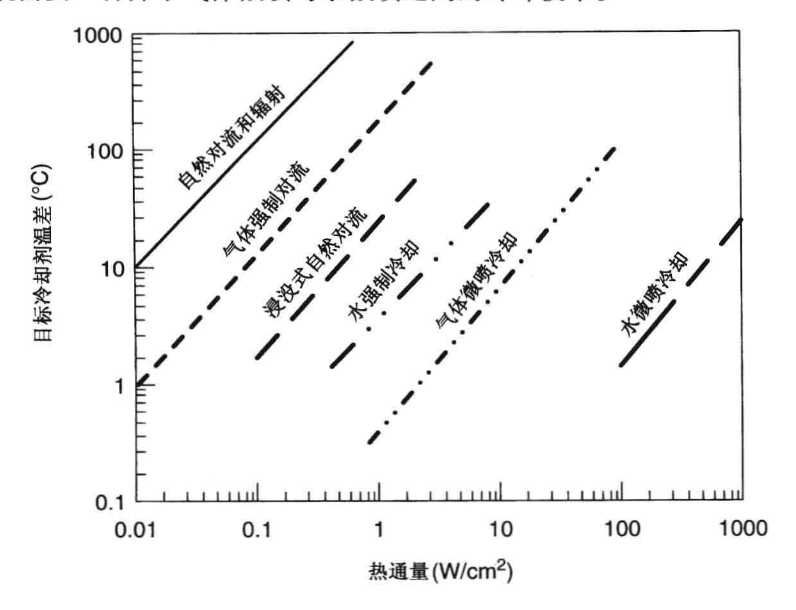


图13.5 多种冷却技术需求与器件热通量对比

钻石散热片和喷淋冷却也可以用做HV器件的热处理。但是,所有的这些散热技术都或多或少地增加了放大器生产的复杂度和成本[65]。

13.3.2 无源元件的功率处理

对于使用多层无源元件如微带线、电感、电容、电阻、跨交、电感变压器的HV放大器,要确定其可靠的工作范围,则需要这些结构的功率处理容量模型。MIC和MMIC中的多层微带线的功率处理容量在参考文献[66~68]中做出了描述。无源元件的功率处理容量受限于介质损耗发热和欧姆发热,以及介质击穿。由导体和介质损耗引起的温度升高限制了平均功率,而在微带导体与接地层之间的击穿限制了峰值功率。大体上,微波电路的峰值功率处理容量比平均功率处理容量高得多。

微带线

微带线十分适合MIC和MMIC应用,广泛地用于功率放大器中。微带线的平均功率处理容量(APHC)在参考文献[66]和[67]中做出了讨论。当今先进的多层微带线技术使得实现小型单片微波集成电路(MMIC)、小型模块、低损耗微带线[69]、高Q值电感[70]成为可能。在多层元件的基底材料中,低介电常数材料如聚酰亚胺或者苯并环丁烯(BCB)常作为多层介质使用。聚酰亚胺或BCB的热电阻约为GaAs或氧化铝的200倍,因此需要对这些层的热特性进行适当的关注。

多层微带线的 APHC 取决于微带导体、支撑介质层及基底的温度升高情况。在平均功率容量的计算中，最重要的参数是：(a)传输线损耗，(b)介质层和基底材料的导热系数，(c)微带导体的表面面积，(d)微带结构的最大工作温度，(e)环境温度——即包围微带的介质温度。因此具有低损耗角和高导热系数的介质层和基底可以提高微带线的平均功率处理容量。

通常 APHC 的计算步骤包括导线和介质的损耗计算、由功率耗散引起的热流动的计算，以及温度升高的计算。可以通过使用一种将热流动场与电场进行类比的方法，得到微带线横截面的热流动场，对微带导体温度的升高进行计算。作为一阶近似，可以认为微带导体的热流动遵循 45°热扩散角法则，这一点展示在图 13.6 的二层微带结构中。这显示出了微带导体中产生的热量(假设没有其他的热源且热量大体上通过传导来流动)通过介质材料向下流动到地平面，介质区域比微带导体大，而接地平面则作为散热片使用。但是，若要精确计算垂直于热流动线路的区域的增加量，就需要使用微带线的平行板波导模型。当 $T_{max}=150℃$、$T_{amb}=25℃$、$Z_0=50\ \Omega$ 时，几种基底在 10 GHz 时的 APHC 值列于表 13.6 中。在这些介质中，APHC 最低的是 Duroid (0.144 kW)，最高的是 BeO(52.744 kW)。对于通常使用的氧化铝(或蓝宝石)基底，50 Ω 的微带线在 10 GHz 时可以承载约 4.63 kW 功率的连续波。表 13.7 给出了几种 75 μm 厚 GaAs 基底的多层 50 Ω 微带线工作在不同频率时的 APHC 值。APHC 随着频率的升高而下降。当微带线的特征阻抗高于 50 Ω 时，由于更高的损耗和更窄的线宽，其 APHC 值会比表 13.6 中的低。SiC 基底微带线的 APHC 值要比 GaAs 或氧化铝基底的高得多。

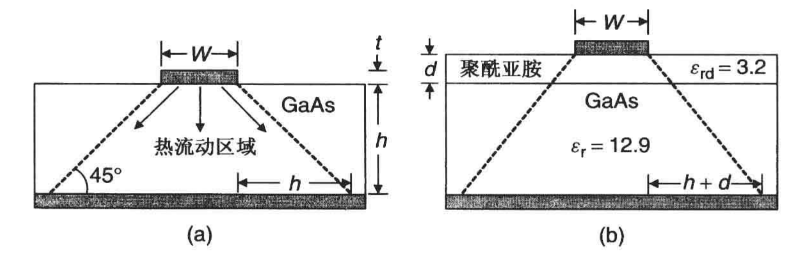


图 13.6　基于 45°热扩散角法则的热流动原理：(a)微带线；(b)多层微带线

表 13.6　多种基底[a]的 50 Ω 微带线在 10 GHz 时的 APHC 比较

基底	ε_r	tan δ	h(μm)	W(μm)	ΔT(℃/W)	最大平均功率(kW)
Duroid	2.2	0.0009	250	760	0.8682	0.144
Si	11.7	0.1540	100	75	0.126	0.992
GaAs	12.9	0.0010	75	50	0.0865	1.445
Al_2O_3	9.8	0.0002	250	235	0.027	4.630
BeO	6.4	0.0003	250	352	0.00237	52.774
SiC	9.7	0.005	100	95	0.0051	24.510

[a]金导体厚度为 4.5 μm；$d=0$，$T_{amb}=25℃$。

表 13.7　75 μm 厚 GaAs 基底的 50 Ω 多层微带线[a]的 APHC 比较

聚酰亚胺厚度，d(μm)	最大平均功率(W)			
	5 GHz	10 GHz	20 GHz	40 GHz
0	2049	1445	1020	720
1	260	181	129	91
3	107	76	53	38
7	71	51	36	25
10	63	44	31	22

[a]金导体厚度为 4.5 μm；在 3 μm 聚酰亚胺情况时($\varepsilon_{rd}=3.2$)，金导体厚度为 9 μm。

电容

在高压和高功率的应用中，电路设计者想要使用的元件必须拥有更大的额定电压、额定电流和额定功率处理容量，对于片式电容，这些指标取决于制作材料、电容值和面积。

额定电压 对于片式电容，额定电压取决于两个电极板之间的击穿电压(V_B)。片式电容 V_B 的典型值为 100 ~ 200 V，而对于 GaAs MMIC 电容则为 40 ~ 60 V。比起极板内部的击穿电压，许多时候由锐化边缘、污染物和环境潮湿引起的表面击穿决定了额定工作电压。在器件封装外部发生的表面击穿也称为闪络(flashover)电压。

RF 额定电流 如果 V_B 为电容的击穿电压，V_a 为直流偏置电压，则电容 C 允许通过的额定(有效值)电流 I_{mv} 为

$$I_{mv} = \frac{1}{\sqrt{2}}(V_B - V_a)\omega C \tag{13.2a}$$

因此对于给定的 V_B、V_a 和 C，额定电流与工作频率成正比。例如，对于 $V_B = 200$ V，$V_a = 28$ V，$C = 5$ pF，I_{mv} 的值为 3.82 A(1 GHz)、19.1 A(5 GHz)。对于工作在 28 V、3 GHz、击穿电压为 50 V 的电容，

$$I_{mv} = 0.293C \tag{13.2b}$$

这里 I_{mv} 为 A 级，C 为 pF 级。可以通过串联更多的 MIM 电容来提高其额定电流。例如，当两个电容如图 13.7(a)那样串联时，额定电流的提高超过了 4 倍。对于 RF 设计而言，$C_1 = 2C$，而且两个电容的串联使得击穿电压提高了一倍。式(13.2)变为

$$I_{mv} = 1.172C \tag{13.3}$$

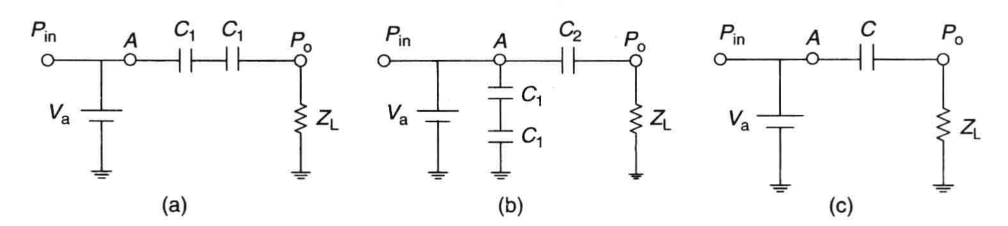


图 13.7 MIM 电容的级联可以提高额定电流：(a)两级电容串联结构；(b)两级电容并联结构；(c)放大器输出级中串联结构的隔直MIM电容

RF 额定电压 电容的 RF 额定电压可以通过图 13.7(c)进行计算。若 V_a 是直流偏置电压、P_o 是通过负载的输出功率，则 C 上的额定电压为

$$V_{mc} = V_a + \sqrt{2P_oR_L} \tag{13.4}$$

它应该小于 V_B。如果 $V_{mc} > V_B$，则电容的额定工作电压可以通过串联更多的电容来提高，如图 13.7(b)所示。式(13.4)不包含任何电压驻波的影响，这一点在参考文献[67]和[68]中进行了讨论。

最大功率耗散 电容的额定电流同样由能够保证电容工作温度低于额定值的最大功率耗散所决定，例如 GaAs 基底的单片 MIM 电容的额定温度为 150℃。若 P_{diss} 为允许的最大功率耗散，则额定电流为

$$I_{mp} = \sqrt{\frac{P_{diss}}{\text{ESR}}} \tag{13.5}$$

这里的 ESR 为电容的等效串联电阻。接下来计算允许的最大功率耗散。

MIM 电容的热电阻计算是基于纵向热流动,如图 13.8 所示。考虑到 RF 功率会通过顶层和底层导体耗散,两者的表面电阻分别为 R_{ST} 和 R_{SB}。假设 MIM 电容是正方形结构,且忽略介质损耗,则温度的升高为

$$\Delta T = P_{DCT} R_{thc} + (P_{DCT} + P_{DCB}) R_{thg} \tag{13.6}$$

这里 P_{DCT} 和 P_{DCB} 分别为顶板和底板的功率耗散。R_{thc} 和 R_{thg} 分别为电容介质和 GaAs 基底的热电阻。假设底层导体的 45°热扩散角规则仅仅沿着其宽度方向,且电容介质为厚度是 d 的 Si_3N_4,则

$$\Delta T = I_{mp}^2 \left[R_{ST} \frac{d}{K_{SN} \ell W} + (R_{ST} + R_{SB}) \frac{h}{K_{GaAs} \ell (W + 2h)} \right] \tag{13.7}$$

这里 K_{SN} 和 K_{GaAs} 分别为 Si_3N_4 和 GaAs 的导热系数。电容的宽度和长度分别为 W 和 1。表 13.8 列出了几种电容值的最大功率耗散和 I_{mp}。计算中用到的一些参数为

$$\ell = W = 0.5774 \times 10^{-2} \sqrt{C}\ \text{cm},\ C\ \text{的单位为 pF}$$
$$d = 0.2\ \mu\text{m}, \quad h = 75\ \mu\text{m}$$
$$K_{SN} = 0.1\ \text{W/cm}\cdot{}^\circ\text{C} \quad \text{和} \quad K_{GaAs} = 0.294\ \text{W/cm}\cdot{}^\circ\text{C},\ 150\,^\circ\text{C}$$
$$T_m = 150\,^\circ\text{C}, \quad T_a = 25\,^\circ\text{C}, \quad \Delta T = 125\,^\circ\text{C}$$
$$R_{ST} = 0.007\ \Omega, \quad R_{SB} = 0.07\ \Omega, \quad \text{ESR} = 0.13\ \Omega$$

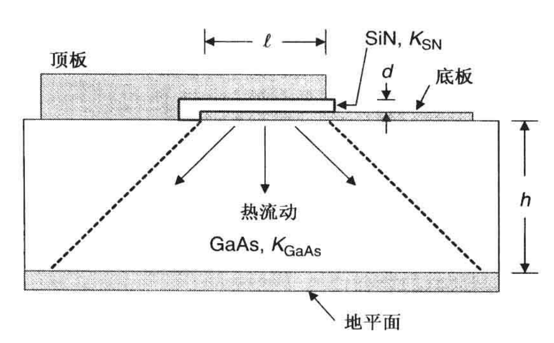


图 13.8　MIM 电容的热流动原理

电阻

电阻的功率处理容量受到电阻膜过热烧坏的限制。单片电阻的功率处理容量可以通过与微带线类似的方法来确定。这种情况中,将电阻带看做有耗微带线。而电阻的损耗要比介质的损耗高得多,在耗散功率的计算中只考虑了导体损耗。在电阻膜(长 ℓ、宽 W)与基底背面之间,由电阻中的功率耗散 P_{diss}(W)引起的温度差 ΔT(℃)为

$$\Delta T = P_{diss} R_{th} = P_{diss} \frac{h}{KA} \tag{13.8}$$

表 13.8　75 μm 厚 GaAs 基底 MIM 电容的最大功率耗散和 I_{mp} 的计算

C(pF)	P_{diss}(W)	I_{mp}(A)
0.5	0.27	1.44
1.0	0.44	1.84
2.0	0.71	2.34
5.0	1.43	3.32
10.0	2.50	4.38
20.0	4.48	5.87
50.0	10.07	8.80

这里 R_{th} 为热电阻,A 为电阻的等效面积,h 为厚度,K 为基底导热系数。h、A、K 的单位分别为 cm、cm^2、W/cm · ℃。电阻面积为

$$A = W_e(\ell + 2\ell') \tag{13.9}$$

这里 ℓ' 为连接电阻与其他电路的欧姆接触长度,W_e 为通过平行板波导模型[66]计算的等效宽度。近似认为 $W_e = W + 2h$。若 R_s 为膜的薄层电阻,则总电阻为

$$R = R_s \frac{\ell}{W} \tag{13.10}$$

由式(13.9)和式(13.10)可以得出

$$A = (W + 2h)\left(\frac{R}{R_s}W + 2\ell'\right) \tag{13.11}$$

由式(13.8)和式(13.11)可以得出

$$W^2 + pW - q = 0 \tag{13.12}$$

这里

$$p = 2h + \frac{2\ell' R_s}{R} \tag{13.13a}$$

$$q = \frac{R_s h}{R}\left[\frac{P_{diss}}{K\Delta T} - 4\ell'\right] \tag{13.13b}$$

式(13.13b)对正值 q 有效。

式(13.12)中 W 的正值解为

$$W = \frac{-p + \sqrt{p^2 + 4q}}{2} \tag{13.14}$$

因此对于给定的功率耗散和电阻值,需要的电阻宽度可以通过式(13.14)计算。表 13.9 列出了在几种功率耗散和电阻值时的 W。这里不包括电阻膜厚度的影响。

表 13.9 几种耗散功率值[a]的 100 μm 厚 GaAs 基底薄膜电阻所需最小宽度的计算

功率耗散 P_{diss}(W)	电阻值(Ω)		
	10	20	50
0.5	22.7	12.9	5.6
1.0	66.8	39.7	18.3
2.0	133.2	82.4	40.3
5.0	269.6	174.5	92.0
10.0	426.0	282.7	156.3
20.0	648.9	438.5	251.5

[a] $T_m = 150℃$, $T_a = 25℃$。

例 13.1 有一个 HPA 使用的 50 Ω 的电阻,功耗为 1 W,其顶层表面最大允许的工作温度为 $T_m = 150℃$,基底温度为 25℃,其他参数为

$$h = 100\ \mu\text{m}$$
$$\ell' = 20\ \mu\text{m}$$
$$R_s = 10.8\ \Omega/\square$$
$$K = 0.294\ \text{W/cm}\cdot{}^\circ\text{C}\ (\text{GaAs},\ 150^\circ\text{C})$$

求电阻的宽度和长度。

解 由题可知 $P_{diss} = 1$ W,由式(13.13)计算 ΔT、p、q,得

$$\Delta T = 150 - 25^\circ\text{C} = 125^\circ\text{C}$$
$$p = 200 + 40 \times 10.8/50\ \mu\text{m} = 208.64 \times 10^{-4}\ \text{cm}$$
$$q = \frac{10.8 \times 100}{50}\left[\frac{1}{0.294 \times 10^{-4} \times 125} - 80\right]\ \mu\text{m}^2 = 0.4150 \times 10^{-4}\ \text{cm}^2$$

由式(13.14)可得

$$W = \frac{-208.64 \times 10^{-4} + \sqrt{208.64^2 \times 10^{-8} + 4 \times 0.415 \times 10^{-4}}}{2}\ \text{cm} = 18.3\ \mu\text{m}$$

$$\ell = 50 \times 18.3/10.8 = 84.7\ \mu\text{m}$$

接下来的设计注意事项可用于单片电阻：

- 选择电阻宽度以符合生产商所提供的电子迁移标准。
- 最大化电阻面积以得到最好的功率耗散容量。
- 使电阻的宽度尽可能地接近其所连接的传输线的宽度，将不连续性的影响降到最小。当 $1/3 < W_M/W_R < 3$ 时，不连续性的影响通常可以忽略。这里的 W_M 和 W_R 分别为微带和电阻的线宽度。长度小于 $\lambda/50$ 的电阻可以简单地看成集总参数电阻串联等效线尺寸的微带线。

高功率电阻

在 RF 和微波的耦合/混合中及在 HPA 的功分/合路中，使用高功率片式电阻和终端来吸收多余的功率。在这些元件的设计中要求基底材料具有以下电学特性和机械特性：

- 低介电常数(ε_r)
- 高温工作时的高导热系数(K)
- 热膨胀系数(CTE)与电阻膜和铜散热器的热膨胀系数相接近
- 具有高电阻率的优良绝缘体
- 对电阻膜和焊接接触金属有着良好的粘合性
- 对于批量生产具有可加工性
- 低成本

表 13.10 列出了几种待选的片式电阻。氧化铍(BeO)作为候选基底材料广泛用于这些应用中。但是众所周知 BeO 粉尘是危险品，需要经过特殊处理。一种与 BeO 类似的材料是氮化铝(AlN)，由于国际社会对 BeO 危害的关注，使得 AlN 的使用率正稳步提高。其他可能的基底材料替代品有碳化硅(SiC)、氮化硼(BN)、氧化铝(Al_2O_3)和钻石。如表 13.10所示，钻石的导热系数最高，需要使用较好的散热器。

薄膜和厚膜技术都在高功率片式电阻的制造中得到了应用。镍铬合金(NiCr)与氮化钽(TaN)通常用做电阻膜。TaN 优于 NiCr，这是因为 NiCr 中的镍被认为在多载波通信系统应用中引起了多余的交调分量。

表 13.10　高功率片式电阻介质基底的比较

特性	Al_2O_3	BN	BeO	AlN	SiC	钻石
ε_r	9.9	4.2	6.7	8.5	9.7	5.7
K(W/m·℃)@25℃	37	70	280	230	430	689
@100℃	31	20	200	203	310	—
@200℃	—		150	170	217	—
CTE(ppm/℃)	6.9	5.0	6.4	4.6	3.8	1.2
并联电容	中	小	小	中	大	小
膜粘合度	极好	差	极好	好	好	差
可加工性	好	好	好	好	好	差
成本	低	低	普通	中	高	极高

基底厚度的选择取决于机械强度、功率处理能力、寄生电容及成本。最大允许的膜温度通常为150℃,带有额外散热器冷却的片式电阻环境温度约为25℃。假设BeO基底厚度为25 mil(0.635×10^{-3} m),150℃时的K值为175 W/m·℃。在10 W、20 W、50 W、100 W和200 W的功率时计算所得的电阻膜面积列于表13.11中。如果基底采用50 mil厚度,对于表13.11中列出的面积,电阻宽度和长度应为$\sqrt{2}$倍。

表13.11　使用25mil BeO基底[a]的片式电阻在几种功率处理等级时的膜尺寸

耗散功率(W)	面积(mm^2)	$W=\ell$(mm)
10	0.29	0.539
20	0.58	0.762
50	1.45	1.204
100	2.90	1.703
200	5.80	2.408

[a] $T_m = 150$℃,$T_a = 25$℃。

13.4　功率放大器设计实例

可以通过使用宽禁带器件来实现功率放大器的高压工作状态,比如GaN或SiC MESFET、场板MESFET、pHEMT;也可以通过串联普通低压器件来实现。在这一节中将介绍高压工作的实例。

我们先来看看实际的高PAE的HPA。在UHF和RF波段,器件和匹配网络的寄生电抗微不足道,而晶体管的增益非常高(20 dB或者更高)。在这些频段,放大器能够工作在B类同时仍然拥有较高的增益(15 dB或更高)。通过抑制偶次谐波和三次、五次谐波,90%的漏极效率是可以实现的。使用E类功放,类似的效率也可能达到,但是输出功率较低。表8.3展示了在0.5 GHz时使用LDMOS晶体管的RF性能比较。注意到E类和F类放大器拥有相似的性能。对于E类放大器,在更高的电压和频率时,其PAE和功率容量受到不利的影响。

13.4.1　高压混合放大器

高压混合功率放大器的设计与下一章将要讲到的普通混合功率放大器类似。使用高压管的主要优点是仅需较少的器件就可以实现较高的放大器功率等级。另一方面,由于器件的功率密度要高得多,放大器的热设计变得和电子设计一样重要。对于SiC基底GaN HEMT,热设计的限制因素不是器件的热电阻,而是晶体管芯片下方的堆积层。

FP MESFET放大器

图13.9为2.1 GHz 250 W放大器的照片。漏极偏置电压为28 V。4个90 mm GaAs FP-FET以推挽形式联合封装。使用片式电容和金属线实现的低通拓扑结构组成输入和输出匹配网络。使用外部巴伦,在2.1 GHz测得的饱和功率、功率线性增益、漏极效率及IM3(在5 μs脉宽、0.5%占空比条件下)分别为250 W、15.5 dB、25%及33 dBc。

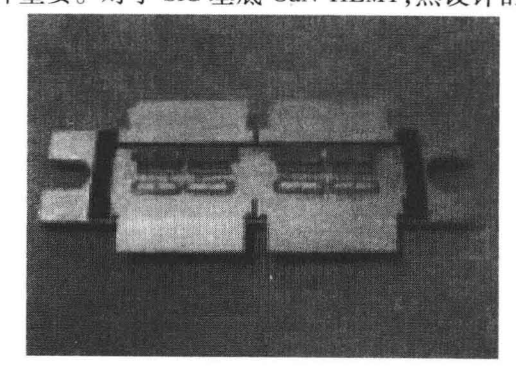


图13.9　陶瓷封装250 W GaAs FP-FET放大器的照片(引自Nagahara et al.[13],IEEE授权使用)

SiC 基底 GaN HEMT 放大器

图 13.10 为 1.5 GHz 500 W GaN HEMT 混合放大器的照片。器件工作在 B 类附近，漏极偏置电压为 65 V。4 个 36 mm GaN HEMT 芯片以推挽形式联合封装。输入和输出匹配网络的设计采用了高介电常数的基底。输入和输出阻抗为 25 Ω。使用外部巴伦，在 1.5 GHz 测得的脉冲饱和功率、功率增益及漏极效率分别为 500 W、17.8 dB 及 49%。对于脉冲测量，其脉宽和占空比分别为 100 μs 和 10%。与前面的例子相比，该 HPA 管的尺寸小 2.5 倍，而输出功率要高 2 倍。

图 13.11 为另一个工作在 C 波段的 GaN HEMT 混合放大器的照片。两个器件的栅宽都为 8 mm，使用输入和输出匹配网络相连。输出匹配网络由短路节、开路节及第 10 章介绍的针对二次谐波的 λ/4 阻抗变换器所组成。该放大器采用氧化铝基底，尺寸为 $8\times7\ \mathrm{mm}^2$。漏极偏置电压为 40 V。在 C 波段窄带情况时，测得的脉冲饱和功率和 PAE 分别为 80 W 和 46%。

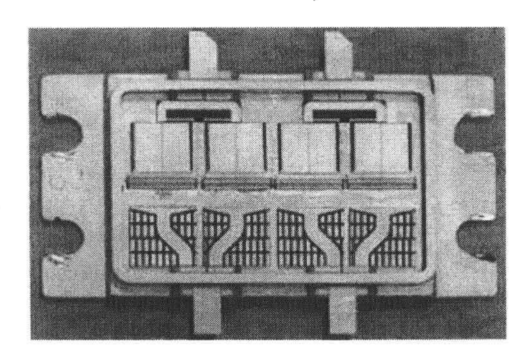


图 13.10　陶瓷封装 500 W GaN HEMT 放大器的照片（引自 Maekawa et al.[50]，IEEE授权使用）

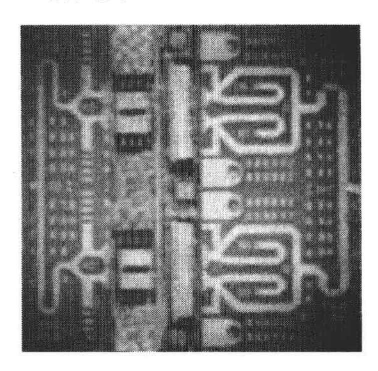


图 13.11　80 W GaN HEMT 放大器的照片（引自 Iyomasa et al.[58]，IEEE授权使用）

已经出现工作在 6 GHz、39 V 的单级 50 W 放大器，采用 0.6 μm 栅极的 GaN HEMT[71,72]。晶体管 I_{peak} 为 1 A/mm，击穿电压为 80 V，总的栅宽为 8 mm。测得的放大器输出功率约为 51 W。

例 13.2　设计一个 3.5 GHz 的功率放大器，使用 GaN HEMT，输出功率为 8 W，工作在 28 V 时的漏极效率（η_D）为 60%。晶体管 f_T 为 11.37 GHz，在 28 V 时的负载阻抗（R_L 和 C_L 并联）R_L = 41 Ω、C_L = −1.1 pF。晶体管集总元件的 EC 模型（见图 5.2）值为

$$R_g = 2\ \Omega,\quad R_i = 0.5\ \Omega,\quad R_s = 0.3\ \Omega,\quad R_d = 0.5\ \Omega,\quad R_{ds} = 150\ \Omega$$
$$C_{gs} = 4.2\ \text{pF},\quad C_{gd} = 0.18\ \text{pF},\quad C_{ds} = 0.8\ \text{pF}$$
$$g_m = 300\ \text{mS},\quad \tau = 6\ \text{ps}$$
$$L_g = 0.02\ \text{nH},\quad L_s = 0.001\ \text{nH},\quad L_d = 0.02\ \text{nH}$$

放大器采用 15 mil 厚的氧化铝基底（ε_r = 9.9）微带制造。试求匹配网络尺寸及包括增益、输入回波损耗、K 因子、输出功率和 PAE 在内的放大器性能。放大器必须是无条件稳定的。

解　在 3.5 GHz 时有

$$Z_L = 20.7 + j20.5\ \Omega$$

且放大器的原理图选定如图 13.12(a) 所示。对于晶体管，在 3.5 GHz 时 K = 0.727。这里输入匹配网络中的电阻用来使放大器稳定。电路按照微带线长度与宽度进行优化。输出按照负载阻抗进行匹配。氧化铝基底（ε_r = 9.9，h = 15 mil）上最优化的匹配元件的物理尺寸如图 13.12(a) 所示。在设计中忽略 T 形接头的不连续性、键合线、隔直寄生电抗及旁路电容的影响。计算所得的该放大器小信号性能为增益 14.9 dB、输入回波损耗 16 dB、输出回波损耗 9.4 dB、K = 1.06。

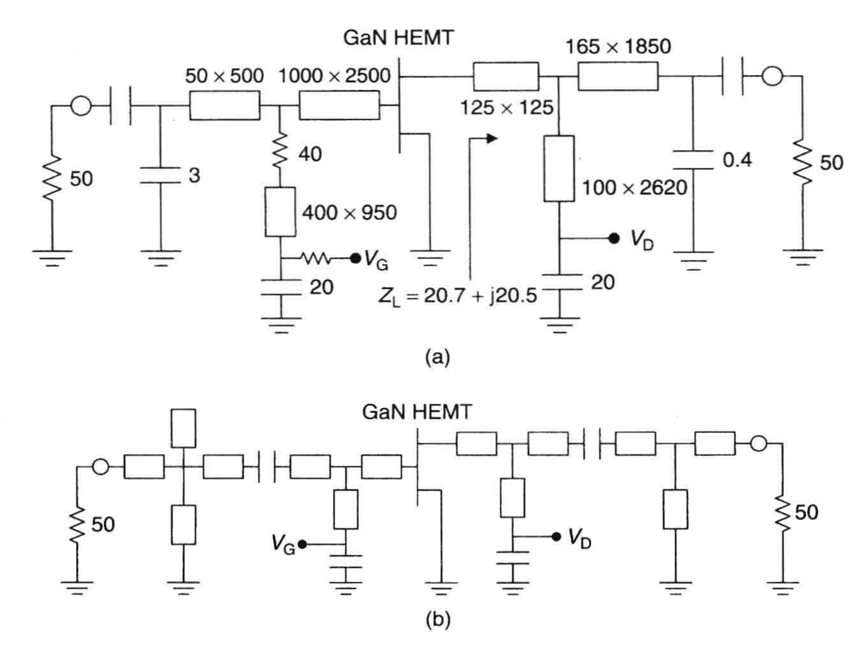


图 13.12 (a)单级 HPA 原理图。尺寸(宽度 × 长度)为 μm 量级,电容单位为pF,电阻单位为Ω;(b)单级高效率HPA原理图

输出匹配网络损耗约为 0.2 dB。我们假设晶体管在最大输出功率和最大 PAE 时的增益压缩为 3 dB。因此有

$$\text{功率增益:}\quad G = 14.9 - 3.0 = 11.9\ \text{dB} = 15.5$$

$$\text{晶体管:}\quad P_o = 8\ \text{W} = 39\ \text{dBm}$$

$$\text{放大器:}\quad P_o = (39 - 0.2)\ \text{dBm} = 38.8\ \text{dBm} = 7.6\ \text{W}$$

$$\text{晶体管:}\quad \eta_D = 60\%$$

$$\text{放大器:}\quad \eta_D = 60 \times \frac{7.6}{8.0}\ \% = 57\%$$

$$\text{放大器:}\quad \text{PAE} = 57 \times (1 - 1/G)\% = 57 \times (1 - 1/15.5)\% = 53\%$$

因此增益和输出匹配网络损耗都会影响放大器的 PAE。

参考文献[73]设计、制造和尝试了一种甚高压的1.2 GHz HV GaN 功率放大器。在设计中 Cree 采用的晶体管为 10 W GaN HEMT(CGH40010)压下封装构造。输入和输出匹配网络拓扑结构的选择要求可以抑制到五次谐波。在谐波平衡仿真中使用宽收敛容差的非线性模型对一个简单的单级电路进行优化。电路最佳结果 PAE >85%、输出功率高于 6 W。图 13.12(b)为高效率 HPA 的原理图。放大器采用 Rogers 4003 PCB 材料制造。在 1.2 GHz 时测得的输出功率和 PAE 约为 8 W 和 90%。

在 RF 和低微波频段,使用上述的优化技术不容易将阻抗终端条件下的放大器进行分类,不能准确地确定寄生电抗的影响。但是可以用超高速示波器来测量输出电流和电压波形,从而近似地确定工作类型。大体上,可调谐到最大 PAE 的放大器类型无外乎 E 类、F 类或 F^{-1}类。

13.4.2 高压单片式放大器

想要实现可靠、划算并且输出功率较高的 MMIC HPA,需要有多方面的设计考虑,很多时候要进行权衡。一些最重要的参数连同预期的在性能、可靠性及成本等方面的影响列于

表 13.12 中。一个较好的 MMIC 设计能从根本上提供更高的输出功率密度及在较高的漏极电压下的高 PAE 值,而同时可以降低 MMIC 的芯片尺寸,并且使沟道温度保持在 150℃以下。

对于给定的输出功率,高压工作能简化 MMIC 芯片和系统的电流路径。更高的电压工作状态会增加负载阻抗,这样使得在整个工作频率带宽内的输出功率和 PAE 更容易达到所需要的匹配。更宽的栅栅间距和芯片上均匀分布的有源器件,能够使晶体管沟道温度保持在使 HPA 可靠工作的合理水平内。传输线和电感在薄半导体基底上的耗散远远高于氧化铝基底。在第 10 章中讨论过,对于低损耗匹配网络,可以通过在传输线导体和 GaAs 基底之间增加聚酰亚胺层,将传输损耗降低 2 倍。

表 13.12　在甚高功率 MMIC 放大器发展过程中考虑过的设计折中办法

设计参数	对性能的影响	对可靠性的影响	对成本的影响
更高的漏极电压	+ 电流降低	+ 电流降低	+ 芯片更小
	+ 负载阻抗增大	- 耗散功率密度增加导致沟道温度升高	+ 对于更高的电压和更低的电流,系统成本降低
	+ 晶体管边缘减少且匹配更容易	- 电容的电压应力更大	
	+ I^2R 损耗降低	- 电压尖峰更大	
更宽的栅栅间距	- 更高的漏极电容导致增益降低	+ 沟道温度降低	- 芯片宽度增加
损耗更低的输出匹配	+ 电子性能更好	+ 片内功率耗散更低	- 生产台阶更高
谐波终端	+ PAE 更高	+ 沟道温度更低	- 芯片稍大

可靠的高压工作状态要求设计高 PAE 的 HPA 来使晶体管沟道温度保持在合理的水平内。在 HPA 中,为实现高 PAE 值,谐波终端和 E 类工作状态等设计参数的重要性仅次于低损耗输出匹配网络。基于 MMIC 功率放大器的高压器件已经发展到可以工作在 S 波段到 Ka 波段。在低于4 GHz 时,用于发展 MMIC 的几种器件包括 FP MESFET、HBT、pHEMT 和 GaN HEMT;高于 4 GHz 时,MMIC 主要依赖 GaN HEMT。在表 13.3 中已经介绍了 MMIC 高压晶体管的发展。

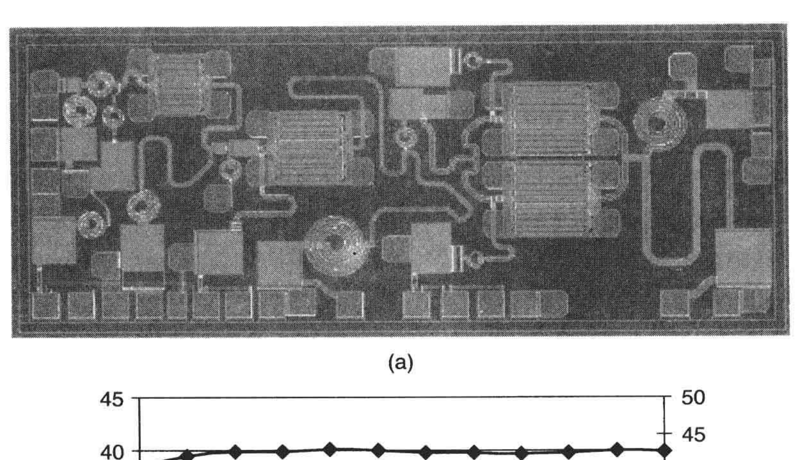
HV FET MMIC 放大器

在参考文献[16]中介绍了一种输出功率为 10 W、使用 HV MSAG FET 的 MMIC 放大器。三级设计的输出级采用 9.6 mm 的 FET 边缘来实现 24 V 偏置电压且在 $P_{1\,dB}$增益压缩时有 10 W 的输出功率。图 13.13(a)为 MMIC 的照片,芯片尺寸为 3 mm^2。封装芯片 CW 输出功率和 PAE 的典型测量值在图 13.13(b)中给予展示。在整个 3 ~ 3.8 GHz 带宽内的 PAE 都高于 30%。

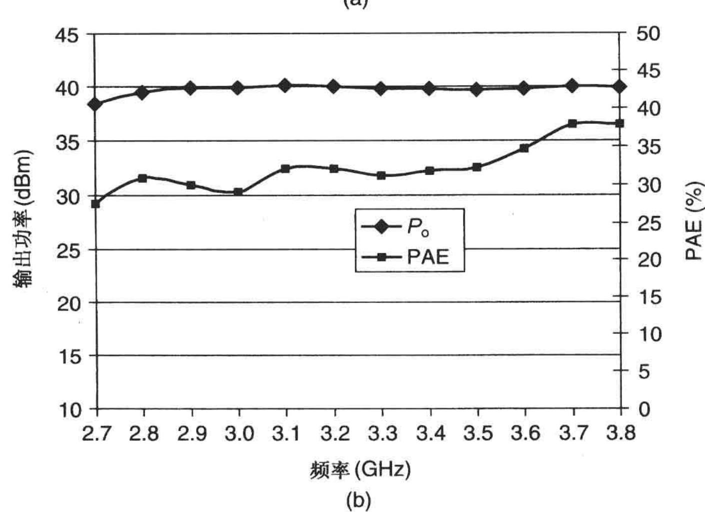
SiC 基底 GaN HEMT MMIC 放大器

一种工作在 16 GHz、偏置电压 31 V,使用 GaN 0.4 μm 栅 HEMT 的 24 W MMIC 功率放大器已经出现。该两级放大器的输入级匹配到 50 Ω,使用 3 mm 晶体管;输出级匹配到 25 Ω,使用 6 mm晶体管。在 16 GHz 时测得的增益为 12.8 dB、输出功率为 24.2 W、PAE 为 22%[21]。

一种工作在 Ka 波段的 4 W 两级功率放大器 MMIC 使用 SiC 基底的 Al/GaN/GaN HEMT 进行了改进。输出级采用一个 0.18 μm 栅长和两个 0.6 mm 栅极边缘的晶体管。器件两级设计的长宽比为 2:1[52]。对于400 μm 栅宽的器件,测得的 I_{dss}、g_m、f_T和f_{max}分别为 1 A/mm、290 mS/mm、84 GHz、114 GHz。MMIC 设计采用已测得的负载牵引数据和 S 参数。对于 0.6 mm 器件的最佳功率负载接近 50 Ω。图 13.14 为该4W PA MMIC。在 35 GHz、漏极偏置电压 24 V 时测得的小信号增益为 12 dB、饱和输出功率为 4 W、PAE 为 23%。因此在 Ka 波段的功率密度为 3.2 W/mm。



(a)



(b)

图 13.13 (a)10 W 三级 HVMSAG MMIC 的照片；(b)输出功率和 PAE

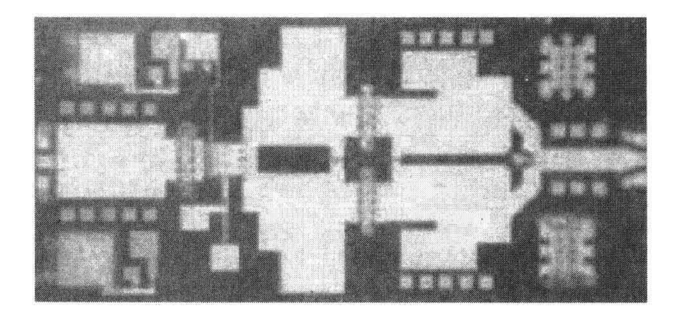


图 13.14 4 W 两级 GaN HEMT MMIC 的照片(引自 Darwish et al. [52]，IEEE 授权使用)

13.5 宽带 HV 放大器

要实现可靠、划算且输出功率较高的宽带 HV HPA MMIC，则需要广泛的设计考虑。对于带宽、性能、可靠性和成本，很多时候都要求采取折中办法。一些顶级的宽带设计方案包括：(a)低频段(30 MHz ~ 2 GHz)的反馈拓扑结构在第 11 章进行了讨论；(b)中频段(0.5 ~ 4 GHz 或 1 ~ 8 GHz)的电抗/电阻性拓扑结构，在第 7 章、第 9 章中进行了讨论；(c)高频段(2 ~ 20 GHz)的分布式结构，在第 11 章进行了讨论。

对于低频段(30 MHz ~ 2 GHz),主要的问题是怎样在如此宽的频带内设计输出匹配网络。除了反馈以外,没有输出匹配的放大器拓扑结构也可以采用。但是在低频段,晶体管的输出电抗比在器件输出端所需的负载阻抗要低得多,晶体管尺寸是已选定的,这样使得负载阻抗为 50 Ω。几种器件的负载阻抗 R_L和功率密度 P_L近似值归一化到 1 mm 栅极边缘时为

$$R_L = 5.0V_{ds} \quad \Omega \cdot \text{mm}, \quad \text{MSAG@10 V} \tag{13.15a}$$

$$R_L = 7.5V_{ds} \quad \Omega \cdot \text{mm}, \quad \text{HVMSAG@30 V} \tag{13.15b}$$

$$R_L = 7.5V_{ds} \quad \Omega \cdot \text{mm}, \quad \text{GaN HEMT on SiC} \tag{13.15c}$$

$$P_L = 0.8 \text{ W/mm}, \ \text{MSAG} \tag{13.16a}$$

$$P_L = 1.5 \text{ W/mm}, \ \text{HVMSAG} \tag{13.16b}$$

$$P_L = 5.0 \text{ W/mm}, \ \text{GaN HEMT} \tag{13.16c}$$

这样,R_L为 50 Ω 时,对于 MSAG@ 10 V、HVMSAG@ 30 V 和 GaN HEMT@ 50 V, 要求的器件尺寸分别为 1 mm、4.5 mm、7.5 mm。使用式(13.16)给出的功率密度,不含任何输出匹配时可能的 HPA 最大输出功率 P_o如图 13.15 所示。为了在整个超宽带中实现高功率,高功率密度的器件成为必需品,例如工作在超高压的 GaN HEMT。

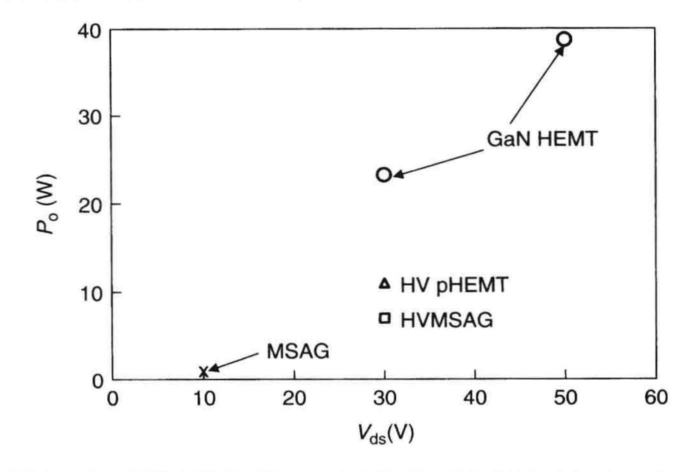


图 13.15　无输出匹配 HPA 的最大输出功率与漏极电压的比较图

功率器件的工作电压也可以通过器件的串联得到提高。例如,两个 28 V HVMSAG 器件串联后能够工作在 56 V。使用这个技术,可以像提高功率密度一样将所需的负载值提高数倍。晶体管的串联将在下一节中讨论。

中频段、3 倍频程带宽(0.5 ~4 GHz,1 ~8 GHz)高功率放大器的设计可以采用宽带匹配网络中的电抗/电阻性匹配技术实现,这一点在第 7 章中进行了讨论。在这个结构中,巴伦既用做阻抗匹配又用做扼流圈。这样做既减小了芯片尺寸,又在整个 2 ~3 倍频程的带宽内将高功率器件的低阻抗转换为了高阻抗。在 2 倍频程带宽内,这个技术成功地应用到 10 V MSAG FET, 使输出功率达到 13 W。

高频段、2 ~3 倍频程带宽(4 ~20 GHz,6 ~20 GHz)高功率放大器的设计可以采用修正的分布式拓扑结构实现,这一点在第 11 章中进行了讨论。在这个结构中,分布式功率放大器(DPA)匹配到一个 3 ~12 Ω 的源和负载阻抗,超宽带巴伦用来将 3 ~12 Ω 的阻抗转换到 50 Ω。为了实现较高的 PAE 值,DPA 的设计需要精确的非线性器件模型、低损耗匹配网络和低损耗超宽带巴伦。第 9 章中描述的 LLM 技术十分适合设计宽带 HPA。在每一级中,需要对平坦的放大器增益进行器件增益斜率补偿,这样造成的总的损耗通过保持功率和 PAE 的最佳值来进行调节。

一种工作在35 V、使用0.15 μm GaN HEMT的2.5 W宽带MMIC功率放大器已经被报道，实现了采用4个分离单元的单级平衡放大器。MMIC尺寸为4.2×4.9 mm^2。在整个3～18 GHz的频率范围内测得的增益为8 dB、输出功率为2.5 W、PAE为8%[74]。

13.6 串联FET放大器

低供电电压器件(≤10 V)或高压器件(≥20 V)的工作电压可以扩展到更高的电压[75~78]。这样一来工作电压将比器件击穿电压高得多,要通过串联器件来实现。当器件串联到DC偏置、并联到RF端[15,76],电路就实现了更高的偏置电压;但是并联器件的RF负载阻抗变得非常低,因此在宽带应用中匹配网络的设计变得比较困难。近年来出现了这种拓扑结构的改进版本,其中器件同时串联到DC偏置和RF负载[78]。这种结构使用4个器件串联,如图13.16所示,则FET的供电电压(V_D)和负载阻抗(Z_L)为

$$V_D = NV_{ds} \tag{13.17}$$

$$Z_L \approx NV_{ds}/I_{ds} \tag{13.18}$$

这里$N=4$为串联FET的数目,V_{ds}和I_{ds}为每个FET的工作电压和电流。功率增益(G)和输出功率(P_o)的提高倍数为FET的数目:

$$G = NG_S \tag{13.19}$$

$$P_o = NP_S \tag{13.20}$$

这里G_S和P_S为单个FET的增益和输出功率。

图13.17是一个DC和RF都串联的四FET高压结构的例子。两级MMIC采用低压M/A-COM设计。在30 MHz～2.5 GHz频带内、偏置电压+20 V下测得的数据实现了功率增益为21±1 dB、$P_{1\,dB}$为2 W、PAE为20%。这种结构能够应用到其他的器件上,包括HVFET和HEMT。

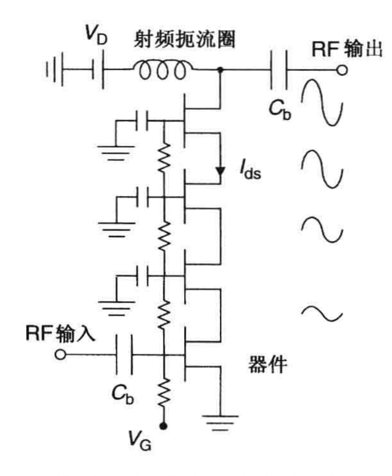


图13.16 高压工作状态下的4个FET串联结构

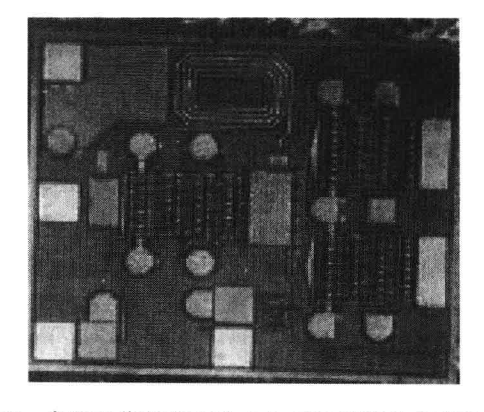


图13.17 高压工作状态下的4个FET串联的MMIC的照片(引自Ezzeddine和Huang[78],IEEE授权使用)

例13.3 有一个采用HV晶体管的低频宽带HPA,输入匹配。在28 V时晶体管功率密度和负载(R_L和C_L并联)为

$$P_o = 4 \text{ W/mm}$$
$$R_L = 90\ \Omega \cdot \text{mm}$$
$$C_L = -0.5 \text{ pF/mm}$$

当在器件输出端没有输出匹配网络时，对于单个晶体管和两个晶体管串联（与图 13.16 类似）分别求最大输出功率容量和工作频率。假设输入是匹配的，由于 C_L 的存在，最大工作频率限制于输出反射系数 ρ。这里 $\rho = 0.3$，系统阻抗 $Z_0 = 50\ \Omega$。

解　对于单个晶体管的情况，最大功率转换 $R_L = 50\ \Omega$，单个晶体管的最大输出功率为

$$P_{o\max} = 4 \times 90/50 = 7.2 \text{ W}$$

这样晶体管尺寸为 1.8 mm。输出反射系数 ρ 为

$$|\rho| = \left|\frac{Z_L - Z_0}{Z_L + Z_0}\right| = \left|\frac{Y_0 - Y_L}{Y_0 + Y_L}\right| = \frac{\omega|C_L|}{\sqrt{0.04^2 + (\omega C_L)^2}} \tag{13.21}$$

当 $\rho = 0.3$ 时，最大工作频率为 f_{max}；由式(13.21)可以得到

$$f_{\max}|C_L| = 2 \tag{13.22}$$

这里 f_{max} 的单位是 GHz，C_L 的单位是 pF。对于 1.8 mm 器件，$C_L = -0.9$ pF，$f_{max} = 2.2$ GHz。

对于两个晶体管串联的情况，运用式(13.18)和式(13.20)可以得到

$$P_o = 8 \text{ W/mm}$$
$$R_L = 180\ \Omega \cdot \text{mm}$$
$$C_L = -0.25 \text{ pF/mm}$$

最大功率转换 $R_L = 50\ \Omega$，最大的输出功率为

$$P_{o\max} = 8 \times 180/50 = 28.8 \text{ W}$$

在这里，两个 3.6 mm 晶体管串联，$C_L = -0.9$ pF。因此输出功率提高了 4 倍，而 C_L 值仍然与单个晶体管时一样。

因此，仍然有 $f_{max} = 2.2$ GHz。

例 13.4　有一个理想的晶体管，最大电流为 I_{max}，漏源电压为 V_{ds}，击穿电压为 50 V。当供电电压 V_D 为 28 V、48 V、100 V 和 200 V，晶体管输出负载 R_L 为 50 Ω 时，求其最大输出功率。忽略 C_L 的影响。

解　因为器件的击穿电压大于 $2V_{ds}$，

$$V_D = nV_{ds}$$

其中 n 为串联晶体管的数目。这里对于 $V_D = 28$ V、48 V、100 V 和 200 V，n 值分别为 1、2、4 和 8。输出功率和晶体管负载可以表示为

$$P_o = \frac{I_{\max} V_D}{4}$$
$$R_L = \frac{2V_D}{I_{\max}}$$

或者

$$P_o = \frac{V_D^2}{2R_L}$$

对于

$$R_L = 50\ \Omega,\ P_o = \frac{V_D^2}{100}\ W$$

对于 $V_D = 28$ V、48 V、100 V 和 200 V，P_o 的值分别为 7.8 W、23 W、100 W 和 400 W。

本章对高压器件和高压放大器的设计技术及一些混合和单片放大器的实例进行了介绍。对于在混合和单片技术中的放大器电路的实现将在接下来的两章中继续探讨。

参考文献

1. J. R. Gajadharsing, O. Bosma, and P. Westen, Analysis and design of a 200 W LDMOS based Doherty amplifier for 3 G base stations, *IEEE MTT-S Dig.*, pp. 529–532, 2004.
2. Y. Chung et al., Efficiency-enhancing technique: LDMOS power amplifier using dual-mode operation design approach, *IEEE MTT-S Dig.*, pp. 859–862, 2004.
3. K. Goverdhanam et al., Modeling high power RF LDMOS amplifiers, *IEEE MTT-S Dig.*, pp. 1069–1072, 2004.
4. D. W. Beishline et al., Highly efficient 60 watt W-CDMA LDMOS power amplifier using the modified Doherty configuration, *34th Eur. Microwave Conf. Dig.*, pp. 1169–1172, 2004.
5. Z. Xie et al., High performance and low cost LDMOS devices for 3 G base stations, *34th Eur. Microwave Conf. Dig.*, pp. 1177–1180, 2004.
6. F. Lepine, A. Adahl, and H. Zirath, A high efficient LDMOS power amplifier based on an inverse class F architecture, *34th Eur. Microwave Conf. Dig.*, pp. 1181–1184, 2004.
7. A. Grebennikov and N. O. Sokal, *Switchmode RF Power Amplifiers*, Elsevier, Burlington, MA, 2007.
8. P. H. Aaen, J. A. Pla, and J. Wood, *Modeling and Characterization of RF and Microwave Power FETs*, Cambridge University Press, Cambridge, UK, 2007.
9. K. Horiguchi et al., Efficiency enhancement of 250 W Doherty power amplifiers using virtual open stub techniques for UHF-band OFDM applications, *IEEE MTT-S Dig.*, pp. 1356–1359, 2006.
10. K. Ebihara et al., An ultra broadband 300 W GaAs power FET for W-CDMA base stations, *IEEE MTT-S Dig.*, pp. 649–652, 2001.
11. K. Inoue et al., A high gain L-band GaAs FET technology for 28 V operation, *IEEE MTT-S Dig.*, pp. 821–824, 2004.
12. R. Hajji, J. Shumaker, and E. Camargo., 28 V High-voltage GaAs FET large-signal modeling achieves power and linearity prediction, *IEEE MTT-S Dig.*, pp. 1065–1068, 2004.
13. M. Nagahara et al., A 28 V 250 W GaAs power FET with high gain of 15.5dB for W-CDMA base stations, *IEEE MTT-S Dig.*, pp. 1359–1362, 2004.
14. T. Yamamoto et al., A 5.5GHz, 25 W GaAs power-FET chip at 26 V operation, *34th Eur. Microwave Conf. Dig.*, pp. 1313–1316, 2004.
15. D. Miller and M. Drinkwine, High voltage microwave devices: an overview, in *GaAs MANTECH Conference*, May 19–22, 2003, paper #7-1.
16. High voltage low cost FETs technology for HPA MMIC applications, *Microwave J.*, Vol. 47, pp. 16–128, December 2004.
17. B. Yang et al., 28 V Planar GaAs MESFETS for wireless base-station power amplifiers, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 244–247, 2005.
18. T. A. Winslow, Power dependent input impedance of field plate MESFETs, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 240–243, 2005.
19. T. A. Winslow, D. M. Conway, and E. L. Griffin, High voltage MESFET technology for MMIC applications, *GOMAC Dig.*, pp. 56–59, 2005.
20. J. W. Palmour et al., Wide bandgap semiconductor devices and MMICs for RF power applications, *Int. Electron Device Meeting Proc.*, pp. 17.4.1–17.4.4, 2001.
21. W. L. Pribble et al., Applications of SiC MESFETs and GaN HEMTs in power amplifier design, *IEEE MTT-S Dig.*, pp. 1819–1822, 2002.
22. A. Sayed et al., An ultra wideband 5 W power amplifier using SiC MESFETs, *34th Eur. Microwave Conf. Dig.*, pp. 57–60, 2004.

23. J. W. Palmour et al., SiC and GaN based transistor and circuit advances, *12th GAAS Symp. Dig.*, pp. 555–558, 2004.
24. B. Luo et al., 56 W SiC MESFET transistors with >50% PAE for L-band applications, *GOMAC Dig.*, pp. 49–51, 2005.
25. M. Sudow et al., A SiC MESFET-based MMIC process, *IEEE Trans. Microwave Theory Tech.*, Vol. 54, pp. 4072–4077, December 2006.
26. B. M. Green et al., A high power density 26 V GaAs pHEMT technology, *IEEE MTT-S Dig.*, pp. 817–820, 2004.
27. M. Akkul et al., 50 W MMIC power amplifier design for 2GHz applications, *IEEE MTT-S Dig.*, pp. 1355–1358, 2004.
28. P.-M. Piel, M. Miller, and B. Green, A 26V, 45 watt GaAs pHEMT for 2GHz WCDMA applications, *IEEE MTT-S Dig.*, pp. 1363–1366, 2004.
29. A. Wakejima et al., A GaAs-based field-modulating plate HFET with improved WCDMA peak-output-power characteristics, *IEEE Trans. Electron Devices*, Vol. 50, pp. 1983–1987, September 2003.
30. M. Miller, Design, performance and applications of high voltage GaAs FETs, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 236–239, 2005.
31. K. Ishikura et al., A 28V, over 300 W GaAs heterojunction FET with dual field-modulating-plates for W-CDMA base stations, *IEEE MTT-S Dig.*, Paper # WE3E-1, 2005.
32. I. Takenaka et al., A 330 W distortion-cancelled Doherty 28 V GaAs HJFET amplifier with 42% efficiency for W-CDMA base stations, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1344–1347, 2006.
33. L. F. Eastman and U. K. Mishra, The toughest transistor yet, *IEEE Spectrum*, pp. 28–33, May 2002.
34. T. Kikkawa et al., An over 200-W output power GaN HEMT push–pull amplifier with high reliability, *IEEE MTT-S Dig.*, pp. 1347–1350, 2004.
35. T. Inoue et al., 30GHz-band 5.8 W high-power AlGaN/GaN heterojunction-FET, *IEEE MTT-S Dig.*, pp. 1649–1652, 2004.
36. M. Micovic et al., Ka-band MMIC power amplifier in GaN HFET technology, *IEEE MTT-S Dig.*, pp. 1653–1656, 2004.
37. R. Behtash et al., Coplanar AlGaN HEMT power amplifier MMIC at X-band, *IEEE MTT-S Dig.*, pp. 1657–1660, 2004.
38. Y. Okamoto et al., Improved power performance for recessed-gate AlGaN–GaN heterojunction FET with a field-modulating plate, *IEEE Trans. Microwave Theory Tech.*, Vol. 52, pp. 2536–2540, November 2004.
39. P. Saunier, GaN technology overview: accomplishments and challenges, *12th GAAS Symp. Dig.*, pp. 543–546, 2004.
40. D. C. Streit et al., The future of compound semiconductors for aerospace and defense applications, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 5–8, 2005.
41. D. Kimball et al., 50% PAE WCDMA base station amplifier implemented with GaN HFETs, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 89–92, 2005.
42. Y.-F. Wu et al., Field-plated GaN HEMTs and amplifiers, IEEE Compound Semiconductor Integrated Circuit Dig., pp. 170–172, 2005.
43. M. Micovic et al., GaN MMIC technology for microwave and millimeter-wave applications, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 173–176, 2005.
44. C. Lee, P. Saunier, and H.-Q. Tserng, High-temperature power performance of X-band recessed-gate AlGaN/GaN HEMTs, *IEEE Compound Semiconductor Integrated Circuit Dig.*, pp. 177–180, 2005.
45. P. Saunier et al., AlGaN/GaN on SiC and on Si for RF power applications, *GOMAC Dig.*, pp. 464–467, 2005.
46. W. Nagy et al., 150 W GaN-on-Si RF power transistor, *IEEE MTT-S Int. Microwave Symp. Dig.*, WE1E-1, 2005.

47. R. J. Trew et al., RF breakdown and large-signal modeling of AlGaN/GaN HFETs, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 643–646, 2006.
48. B. M. Green et al., A GaN HFET device technology on 3″ SiC substrates for wireless infrastructure applications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 706–709, 2006.
49. R. Therrien et al., AlGaN/GaN HFETs on Si substrates for WiMA applications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 710–713, 2006.
50. A. Maekawa et al., A 500 W push–pull AlGan/GaN HEMT amplifier for L-band high power application, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 722–725, 2006.
51. P. Schuh et al., 20 W GaN HPAs for next generation X-band T/R-modules, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 726–729, 2006.
52. A. M. Darwish et al., AlGaN/GaN Ka-band 5-W MMIC amplifier, *IEEE Trans. Microwave Theory Tech.*, Vol. 54, pp. 4456–4463, December 2006.
53. P. Schuh et al., Linear broadband GaN MMICs for Ku-band applications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1324–1326, 2006.
54. A. Wakejima et al., 370-W output power GaN-FET amplifier with low distortion for W-CDMA base stations, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1360–1363, 2006.
55. F. van Raay et al., X-band high-power microstrip AlGaN/GaN HEMT amplifier MMICs, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1368–1371, 2006.
56. M.-Y. Kao et al., AlGaN/GaN HEMTs with PAE of 53% at 35GHz, *IEEE MTT-S Dig.*, pp. 627–630, 2007.
57. K. Yamanaka et al., C-band GaN HEMT power amplifier with 220 W output power, *IEEE MTT-S Dig.*, pp. 1251–1254, 2007.
58. K. Iyomasa et al., GaN HEMT 60 W output power amplifier with over 50% efficiency at C-band 15% relative bandwidth using combined short and open circuited stubs, *IEEE MTT-S Dig.*, pp. 1255–1258, 2007.
59. Y. Okamoto et al., A 149 W recessed-gate AlGaN/GaN FP-FET, *IEEE MTT-S Dig.*, pp. 1351–1354, 2004.
60. D. Hill and T. S. Kim, 28-V low thermal impedance HBT with 20-W CW output power, *IEEE Trans. Microwave Theory Tech.*, Vol. 45, pp. 2224–2228, December 1997.
61. N. L. Wang et al., Linearity improvement of multi-watts 24–28 V InGaP/GaAs HBT by low frequency low source impedance matching, *IEEE MTT-S Dig.*, pp. 541–544, 2004.
62. S. Piotrowicz et al., High power and high efficiency 30 W compact S-band HBT power chips with gold or diamond heat spreaders, *IEEE MTT-S Dig.*, pp. 1527–1530, 2004.
63. A. Oki et al., HEMT and HBT MMIC power amplifiers, in *IEEE MTT-S Int. Microwave Symp. Workshop #WMH*, 2006.
64. H. F. Cooke, Precise technique finds FET thermal resistance, *Microwaves RF*, pp. 85–87, August 1986. Correction of this paper in *Microwaves RF*, p. 13–, February 1987.
65. B. A. Kopp, A. J. Billups, and M. H. Leusse, Thermal analysis and considerations for gallium nitride microwave power amplifier packaging, *Microwave J.*, Vol. 44, pp. 72–82, December 2001.
66. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
67. I. J. Bahl, Average power handling capability of multilayer microstrip lines, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 11, pp. 385–395, November 2001.
68. I. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
69. I. J. Bahl, E. L. Griffin, J. Dilley, and M. Balzan, Low loss multilayer microstrip line for monolithic microwave integrated circuits applications, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 8, pp. 441–454, November 1998.
70. I. J. Bahl, High current capacity multilayer inductors for RF and microwave circuits, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 10, pp. 139–146, March 2000.
71. J.-W. Lee and I. Adesida, Gallium nitride for electronics, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 2, John Wiley &, Hoboken, NJ, 2005, pp. 1758–1767.

72. Y.-F. Wu et al., A 50-W AlGaN/GaN HEMT amplifier, *IEEE IEDM Tech. Dig.*, pp. 375–376, 2000.
73. M. Boers, A. Parker, and N. Weste, A GaN HEMT amplifier with 6-W output power and > 85% power-added efficiency, *IEEE Microwave Mag.*, Vol. 9, pp. 106–110, April 2008.
74. D. E. Meharry et al., Multi-watt wideband MMICs in GaN and GaAs, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 631–634, 2007.
75. A. K. Ezzeddine, H.-L. Hung, and H. C. Huang, High-voltage FET amplifiers for satellite and phased array applications, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 336–339, 1985.
76. K. E. Peterson et al., Monolithic high-voltage FET power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 945–948, 1989.
77. D. Willems, I. Bahl, and K. Wirsing, High voltage distributed amplifier, *Electron. Lett.*, Vol. 27, pp. 2368–2370, December 1991.
78. A. K. Ezzeddine and H. C. Huang, Ultra-broadband GaAs HIFET MMIC PA, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1320–1323, 2006.

习题

13.1　阐述高压 HPA 的 5 种主要的优点和两种缺点。

13.2　在超高功率放大器应用中，定性地比较 GaAs MESFET、pHEMT、Si BJT、LDMOS、SiC MESFET 和 GaN HEMT。GaN 晶体管的主要问题是什么？

13.3　阐述多种类型的器件冷却技术。如果一个放大器尺寸为 25 mm^2，功率耗散为 100 W，那么需要哪种类型的散热器和冷却技术？

13.4　一个 50 Ω 微带线、一个 10 pF 的 MIM 电容和一个 50 Ω 的电阻集成在一个 3 mil 的 GaAs 基底上。电容密度为 300 pF/mm^2，电阻尺寸为 $100 \times 500\ \mu m^2$。计算每个元件在 10 GHz 时的平均功率处理容量。芯片安装在一个理想的 25℃ 散热器上，最大的 GaAs 表面工作温度为 150℃，导体厚度为 5 μm。

13.5　一个高功率分立片式电阻要设计成功率耗散为 100 W，求电阻的类型和尺寸。工作频率为 2 GHz。

13.6　设计一个工作在 1 GHz、16 W 的功率放大器，使用 LDMOS，其参数在 13.2.2 节介绍。假设器件功率密度为 1 W/mm。使用理想的 LC 元件。

13.7　设计一个工作在 2 GHz、16 W 的功率放大器，使用 GaN HEMT，其参数在例 13.2 中介绍。使用理想的 LC 元件。

13.8　设计一个拥有最大功率和带宽的放大器，采用 13.6 节中描述的器件的串联形式。使用 GaN HEMT，其参数在例 13.2 中介绍。求其在整个 RF 宽带内可以达到的最大功率。假设输入匹配网络不受到放大器性能的限制，最大供电电压为 56 V。

第14章　混合放大器

放大器电路要么使用混合技术制造，要么使用单片技术制作。单片放大器将在第15章考虑，封装和装配技术在第21章介绍。本章简要介绍混合放大器的加工技术。读者可以在参考文献[1～22]中得到详细的信息。本章最后分别介绍混合小信号放大器和功率合成放大器的设计例子。

14.1　混合放大器技术

在RF和微波频段，混合技术应用于放大器匹配电路元件、内匹配放大器、单片微波集成电路(MMIC)放大器的组装，以及大功率的合成。放大器的混合制作应用了一种或多种技术，包括印制电路板、薄膜、厚膜、共烧陶瓷和多芯片组合模块。在微波频段，将分离匹配元件(例如电感、电容和电阻)焊接在印制电路板上来设计放大器。薄膜技术也常用于设计混合放大器。下面介绍这些混合放大器的制作技术。

14.2　印制电路板

印制电路板(PCB)或者印制线路板(PWB)广泛地应用于电子器件的封装和RF前端电路板[12, 13]。在这些应用中，PCB的主要作用是为封装的固态器件、电阻、电容和电感提供机械支撑和多层电气互连。在RF/微波应用中，需要高性能和低成本的PCB材料。这种材料提供了优良的低损耗细线(≅5 mil宽度)和能为高密度电路提供小的间隙(≅5 mil)，以及能提供有限的阻抗匹配能力。这些材料能低损传递大电流。PCB可以是单层板、双层板，以及可以由多层基板构成。多层PCB有一个或多个介质层和金属层。金属层间通过通孔连接。基板可能是不能弯曲或者可以弯曲。图14.1给出了测试塑料封装功放的印制电路板结构。

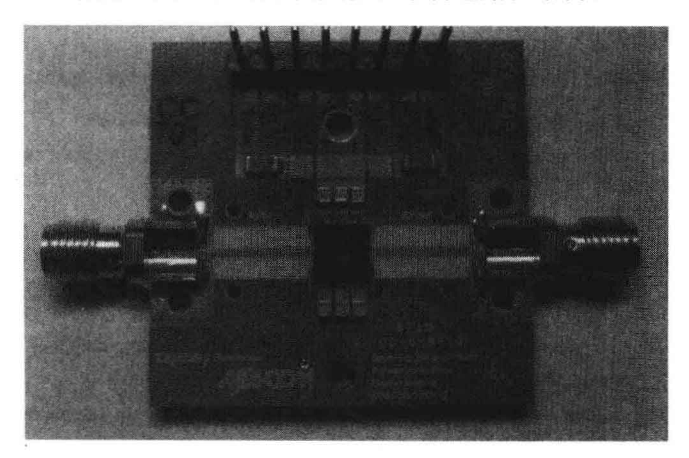


图14.1　测试塑料封装功放的印制电路板结构

基板的加工需要努力整合各种基本材料的特性，以此得到所希望的电气和机械性能，这样

的材料称为复合材料。在有机物或合成材料中以一定比例添加光纤、石英或者陶瓷材料，以此改变机械性能和介电常数。已经生产出众多产品，其介电常数介于 2.1 ~ 10，tan δ 值介于 0.0004 ~ 0.01。表 14.1 列出了目前各种常用 PCB 材料的电气参数和热参数。FR-4(fire retardant)是基于玻璃编织基底(glass woven substrate)的环氧物，其成本低，已得到广泛应用。PTFE (polytetrafluoroethylene)具有最好的热特性，工作温度可达 300℃。FR-4、BT/环氧、聚酰亚胺称为热固材料，其坚硬有弹性。当温度超过材料的玻璃传导温度(T_g)时，材料就会变软。FR-4、BT/环氧、聚酰亚胺的玻璃传导温度分别是 150℃、210℃、250℃。例如 PTFE/玻璃这种材料，加热后会变软及熔化，因此称其为热塑性塑料。PTFE/玻璃的熔化温度大约是 325℃。表 14.1 给出的各种材料的热膨胀系数(CTE)是通过测量随温度变化的尺寸稳定性来表征的。这些材料的热传递性能非常差，典型值大约是 0.2 W/m·℃。强化的玻璃环氧层压材料成本最低，而层压的PTFE 具有最低的介电常数和损耗。PTFE 基底还具有防潮湿保护功能和超高的粘合强度。FR-4 的高损耗正切及相对变化的 ε_r 限制了它的应用，一般用在频率低于 3 GHz。不同厂家生产的复合材料，其参数值变化微小。

表 14.1　一系列介电材料的电气特性和热膨胀特性

材料	介电常数	损耗	CTE xy(ppm/℃)	CTE z(ppm/℃)
FR-4/玻璃	4.5	0.03	16 ~ 20	50 ~ 70
Driclad/玻璃	4.1	0.01	16 ~ 18	55 ~ 65
BT/环氧/玻璃	4.0	0.01	17	55 ~ 65
环氧/PPO/玻璃	3.9	0.01	12 ~ 18	150 ~ 170
氰酸酯/玻璃	3.5	0.01	16 ~ 20	50 ~ 60
聚酰亚胺/玻璃	4.5	0.02	12 ~ 16	65 ~ 75
陶瓷填充热固物	3.3	0.0025	15	50
EPTFE w/热固物	2.8	0.004	50 ~ 70	50 ~ 70
二氧化硅填充的 PTFE	2.9	0.003	16	24 ~ 30
PTFE/玻璃	2.4	0.001	12 ~ 20	140 ~ 280
PTFE	2.1	0.0004	70 ~ 90	70 ~ 90

RF 印制电路板通常使用多层 FR-4 做成，顶层介电层厚度为 10 mil。顶层金属层用 1 盎司铜做成，厚度为 1.4 mil。接地层用 2 盎司铜做成，厚度为 2.8 mil。RF 层和接地层之间的厚度是 10 mil，使得 50 Ω 微带线的宽度是 17.5 mil。为使板子和标准的 RF 接插件兼容，设计板子的总厚度为 62 mil。

14.3　混合集成电路

混合微波集成电路(MIC)工作频率范围为 1 ~ 20 GHz。因为满足振动、温度和强振动的条件，所以被广泛应用于无线技术、航天和军事领域。这节将简要介绍多种混合技术，例如薄膜技术、厚膜技术和共烧陶瓷技术。在 MIC 中，氧化铝(Al_2O_3)陶瓷是最常用的。另外也有大量的其他陶瓷材料，其相对介电常数(ε_r)在 6 ~ 150 之间。高介电常数材料有利于减小 RF 电路和微波电路的尺寸。混合集成技术大量应用于制作分立集总电感、电容和电阻，以及基于无源器件的集总元件。使用不同材料的多层溅射法来实现集总元件。

通常，生产印制电路和 MIC 的基本材料分为以下 4 类：

1. 基底材料——蓝宝石，氧化铝，氧化铍，铁氧体/石榴石，RT/duroid，石英，GaAs，InP。
2. 导体材料——铜，金，银，铝。

3. 介质膜——SiO, SiO_2, Si_3N_4, Ta_2O_5。
4. 电阻膜——NiCr, Ta, Ti, TaN, WN, Cermet, GaAs。

基底材料

MIC 的基底必须具有如下的基本特性[5~7]：

1. 使用基底的成本必须合理。
2. 基底的厚度和介电常数决定了可实现的阻抗范围，同时决定了应用的频率范围。
3. 对于忽略电介质损耗的基底，损耗正切值应该很小。
4. 基底表面光洁度必须很好(0.05 ~0.1 μm 光洁度)，同空隙相比要有一定的自由度，以保持低的导体损耗和大的金属-膜附着力。
5. 必须有优良的机械加工强度和导热性。
6. 加工电路时不能出现变形。
7. 基底的热膨胀系数(CTE)同固态器件或封装材料的匹配很重要。匹配的热膨胀系数可以避免大的温度变化，从而提高稳定性。

当要满足其他的指标来保持小尺寸的电路板时，基底的介电常数必须很高。基底材料的属性变化列于表 14.2。这里提供的材料数据只是一般的属性，必须小心使用。要得到精确的数据，可以参考生产商的数据表。

通常希望使用高介电常数($\varepsilon_r \cong 10$)的基底。但是，高阶模式的出现限制了基底的厚度。薄基底上的高阻抗线要求是非常窄的导线，但是窄导线的损耗大，并且窄导线的界定困难。Al_2O_3 是一种最适合使用到 20 GHz 的基底材料。对于高频(>20 GHz)、微波和毫米波集成电路，介电常数为 4 的石英是最适合的，已被广泛应用。安装在基底上的有源器件的热耗散很大，需要热阻小的基底，所以有优良的导热率的氧化铍和氮化铝(AlN)适合大功率应用。

表 14.2 MIC 基底的属性

材料		表面粗糙度 (μm)	损耗正切值 (tan δ) @10 GHz(10^{-4})	相对介电常数(ε_r)	导热率 (W/cm · ℃)	介电强度 (kV/cm)	MIC 应用
铝	99.5%	2 ~ 8	1 ~ 2	10	0.37	4×10^3	
	96%	20	6	9	0.28	4×10^3	微带线，扩展基底
	85%	50	15	8	0.2	4×10^3	
蓝宝石		1	1	9.3 ~ 11.7	0.4	4×10^3	微带线，集总元件
氮化铝		1 ~ 2	5	8.8	2.3	—	复合基底，封装
玻璃		1	20	5	0.01	—	集总元件
氧化铍(BeO)		2 ~ 50	1	6.6	2.5	—	复合基底，封装
金红石		10 ~ 100	4	100	0.02	—	微带线
铁酸盐/石榴石		10	2	13 ~ 16	0.03	4×10^3	微带线，共面波导
GaAs(高电阻率)		1	6	12.9	0.46	350	高频，微带线，单片 MMIC
Si(高电阻率)		1	10 ~ 100	11.7	1.45	300	MMIC，RFIC
石英		1	1	3.8	0.01	10×10^3	微带线，高频
聚烯烃		1	1	2.3	0.001	~300	
InP		—	—	14	0.68	—	MMIC

导体材料

应用于 MIC 的导体材料必须有高的电导率、低的热阻、低 RF 电阻、对基底好的附着性、好的刻蚀性和可焊性，以及容易被沉积和电镀[5,7]。RF 表面电导率和趋肤深度决定了电阻，因此

趋肤深度决定了需要的厚度。导体厚度最少是趋肤深度的 3～4 倍，以最大可能地包括 98% 的电流密度。表 14.3 列出了一些广泛应用于 MIC 的导体材料的属性。

表 14.3　MIC 导体材料的属性

材料	表面电阻率 [(Ω/□)×10^{-7}]	2 GHz 时趋肤深度 δ(μm)	热膨胀系数 [(α_t/℃)×10^{-6}]	电介质	沉积技术
Ag	2.5	1.4	21	差	气淀
Cu	2.6	1.5	18	差	蒸镀
Au	3.0	1.7	15	差	蒸镀
Al	3.3	1.9	26	差	气淀
Cr	4.7	2.7	9.0	好	气淀
Ta	7.2	4.0	6.6	好	蒸镀，气淀，溅射
Ti	—	—	—	好	气淀，溅射
Mo	4.7	2.7	6	中	蒸镀，气淀，溅射
W	4.7	2.6	4.6	中	溅射，气相，电子束，气淀
Pt	—	3.6	9	—	溅射，电子束，气淀
Pd	—	3.6	11	—	气淀，溅射，电镀

介电膜材料

在 MIC 中，介电膜应用于电容的中间介质层、有源器件的保护层和无源器件的隔离层。希望这些介电材料是可再生的，并具有高的击穿电场和低损耗正切值，以及可以经受没有开定位通孔的加工[7]。表 14.4 列出了 MIC 中常用的介电膜属性。SiO 不是很稳定，可以应用于不是很重要的地方，例如旁路电容和隔直电容。使用 SiO_2、Si_3N_4 和 Ta_2O_5 材料，可以得到品质因数 Q 大于 100 的电容。

表 14.4　用于 MIC 中的介电膜属性

材料	沉淀技术	相对介电常数(ε_r)	介电长度	微波 Q
SiO	气淀	6～8	4×10^5	30
SiO_2	沉积	4	10^7	100～1000
Si_3N_4	气相溅射	7.6	10^7	
Al_2O_3	阳极气淀	7～10	4×10^6	
Ta_2O_5	阳极气淀	22～25	6×10^6	100

电阻膜

在 MIC 中，电阻膜用于生产电阻、终端、衰减器、稳定放大器和偏置网络。要求电阻材料的属性具有高的稳定性、低的电阻温度系数和方块电阻值在 10～2000 Ω/□范围[7,8]。表 14.5 列出了用于 MIC 的薄膜电阻材料。用于气淀的镍铬合金和氮化钽是最常用的材料。

表 14.5　MIC 中的电阻膜属性

材料	沉积技术	电阻率(Ω/□)	TCR(%/℃)	稳定性
Cr	气淀	10～1000	−0.100～+0.10	差
NiCr	气淀	40～400	+0.001～+0.10	好
Ta	溅射	5～100	−0.010～+0.01	很好
Cr-SiO	气淀或胶结	最大 600	−0.005～−0.02	中
Ti	气淀	5～2000	−0.100～+0.10	中

掩膜版图

任何 MIC 的设计开始于电路的原理图。在电路设计完成后，画出一个粗略的版图。下一步得到精确的掩膜版图，为混合 MIC 制作单层掩膜，或者为多层微型 MIC 和 MMIC 制作一套掩膜。最终，使用这些掩膜，刻蚀 MIC 基底得到所需的图案，使用一套掩膜，实现微型单片 MIC 的各种光刻步骤。

14.3.1 薄膜 MIC 技术

用于 MIC 的薄膜制作技术持续发展，以满足日益提高的工作频率及高产量、低成本要求。一个薄膜 MIC 由不同的电路功能块组成。每个电路功能块又由带状线或微带线、分立半导体器件和集总元件构成。薄膜生产工艺可以实现这些功能块。该工艺在无尘的环境中是可精确控制和重复进行的。制作工艺的第一步是在基底上沉积第一层金属层。基于好的基底附着力这个标准来选择薄膜，同时这也是选择哪种导体材料作为第一层金属膜的最重要因素。考虑到沉积技术，下面提及一些关于 MIC 导体的注意事项。在射频段，电磁场被约束在导体的几个趋肤深度中。为了达到低损耗，用于附着的高电阻率材料层(例如铬)必须非常薄。为了低损耗传输，主导体必须有低 DC 方块电阻率。薄铬和厚金制作的低方块电阻材料，在不正确的工艺技术下，可能导致高 RF 损耗。因为在溅射工艺中，有时会遇到非常高的基底温度(>300℃)，溅射的薄铬层将会扩散到上一层的金膜中，尽管由于更厚的金层，方块电阻可能很低，但是这会导致高的 RF 损耗。因此，对于 MIC 材料，有些技术(像溅射技术)必须小心的使用。将金属膜沉积到基底上通常有 3 种方法:真空气淀、电子束气淀和溅射。

铝合金基底的典型金属组合是 Cr/Cu/Au 或者 NiCr/Ni/Au。通过一种处理技术沉积一层非常薄的种子层金属。然后通过电镀技术沉积大块的金属导体。种子层金属提供机械和电气基础，在种子层上电镀高质量的金属导体块。电路形式由通孔技术或者内腐蚀技术实现[20]。通孔技术是先在基底气淀一层薄金属层，然后在金属薄层上涂厚的光刻胶。光刻胶的厚度近似于最后金属膜的厚度。在光刻胶上定义图案后，在需要金属的地方，通过精确的定义，将第二金属层镀到相应的厚度。之后，洗掉光刻胶。通过非常小的根切，刻蚀掉厚种子金属层的多余金属。这种技术也适用于制作宽度在 25 ~ 50 μm、间距在 25 ~ 50 μm 的线。

第二种技术是内腐蚀技术——利用完全由气淀定义或者由薄气淀层和厚电镀层组合定义的厚金属层实现的。薄光刻胶层作为一种掩膜来界定电路图案，通过刻蚀去除不需要的金属区。这种技术需要采用大约导线厚度的两倍来根切金属膜。通孔技术不仅可以更好定义厚导体，而且节约成本，因为只在需要材料的区域沉积。

传统上，单层分立电容是通过加热 5 mil 厚的陶瓷基底制作而成[16]。两端用薄膜或厚膜工艺镀金属。最后将基底分割成小片的电容。薄膜电阻是通过在氧化铝基底上沉积镍镉合金或钽氮化物薄膜实现。通过激光修整技术及在端口或焊盘上镀铬-金，可以使电阻值的容差为 ±1%。使用 BeO 和 AlN 作为基底，可以制作大功率电阻。最后将基底切割成小片的电阻。

在 20 世纪 80 年代，出现了薄膜技术的变种，即所谓的微型混合[15]。微型混合 MIC 技术是基于薄膜技术的。微型混合 MIC 技术包括含集总电阻电容的多层无源电路的批量生产，以及固态器件和这些电路的外部连接。这种电路技术的优点是体积小，重量轻，优良的散热性能和宽频带性能。

14.3.2　厚膜 MIC 技术

使用各种压印墨汁通过印制丝印图案来生产厚膜 MIC。厚膜 MIC 价格便宜，通常用在微波频段的低频段。在传统厚膜技术多层间的内部连接是通过逐次丝印导体层、介电层和阻隔层图案到基底来实现。印刷材料类似墨水或浆材。丝印后，每层在 150℃下干燥 15 分钟，然后在 850℃烧制 30 ~ 60 分钟。重复印刷、干燥、烧制这些步骤来制作出多层电路。以一种完全自动的方式生产高容量、低成本元件。

通常使用的基底材料是氧化铝(Al_2O_3)、氧化铍(BeO)和氮化铝(AlN)。玻璃 - 陶瓷合成物是典型的电介质材料，具有低介电常数、低损耗正切值、高的击穿电压及和基底材料的 CTE 匹配。导体可以是金、铜、银、钯-银/金、和铂-银/金。表 14.2 给出了各种导体材料的属性。掺杂玻璃的钌(RuO_2)是常用的电阻材料。

最近，感光厚膜工艺提升了这种技术[17]。该工艺可以生产 1 mil 的线和缝隙及 3 mil 的通孔。该工艺可以使用高达 10 层的铜和金。早期，厚膜技术用于内连接分立元件;但是，在 RF 和低微波频段，提升后的技术可以为低损耗无源电路印制导体图案。

14.3.3　共烧陶瓷和玻璃——陶瓷技术

在混合微型 MIC 推行之时，一种厚膜变种——低温共烧陶瓷(LTCC)也开始兴起[18]。LTCC 的生产工艺类似于厚膜工艺，只是 LTCC 的生产工艺不使用基底。介质层采用了非过火陶瓷带(也称绿色带)替代浆材。该工艺还可以印制可靠电容和电阻。工艺流程包括:加工基底，钻通孔，丝印导体层，整理校对，层压，烧制。在绿色带上钻好通孔，填充导电浆材。同时丝印导体层电路图案。然后覆盖介质层，在介质层上继续加工。最后烧制这个复合结构，得到单片基底。玻璃 - 陶瓷基底的烧制温度为 850 ~ 900℃，这就是 LTCC 技术。因为低的烧制温度，LTCC 可以使用高电导率的金属材料，例如 Ag、Cu 和 Au。对介质带的玻璃 - 陶瓷复合材料进行了 CTE 匹配优化，使得底层金属和半导体芯片有更好的 CTE 匹配。在一个 6 × 6 英寸的单片 LTCC 基底上能够复合多达 50 层的电路。当陶瓷带的烧制温度在 1500 ~ 1600℃时，这种技术就是高温共烧陶瓷技术(HTCC)。这种技术通常使用的导体材料是钨(W)和钼(Mo)。表 14.6 给出了共烧玻璃-陶瓷与共烧氧化铝-陶瓷、氧化铝、BeO 和 AlN 之间介质属性的比较。

表 14.6　陶瓷材料的典型电气特性和热特性

属性	材料				
	Al_2O_3	HTCC	LTCC	BeO	AlN
1 MHz 时的相对介电常数	9.8	9.5	5.0	6.6	8.8
1 MHz 时的损耗正切值	0.0002	0.0004	0.0002	0.0003	<0.001
热耗散系数，10^{-6}/℃	6.5	7.1	3.0	7.2	4.4
热导率(W/m · ℃)	37	25	2	250	230
介电长度(kV/m)	25	23	1.5	26	14
密度(g/cm^3)	3.8	3.9	2.6	2.8	3.3

因为 LTCC 技术的多层工艺，与传统的薄膜技术、厚膜技术、HTCC 技术相比有许多优势，包括元件(电容、电阻、电感、电感变压器、传输线和偏置线)集成度高、设计灵活性大。其中设计灵活是因为可以实现各种类型的传输线介质，例如微带线、带状线、共面波导、矩形同轴线。应用多层陶瓷和金属层，LTCC 技术可以将无源元件、匹配网络、偏置线、RF 线保护层结合在一

起。最后，在顶层面放置低功率器件来实现有源或无源电路。在 LTCC MIC 上钻孔，大功率器件通过过孔连接到下层复合的基底上，从而实现大功率器件与 LTCC 的集成。

电感、变压器、电容、内部连线和其他无源元件用金、银、铜的浆材丝印。金、银、铜丝印的方块电阻的阻值范围分别是 4 ~ 10 mΩ/□、2 ~ 8 mΩ/□、3 ~ 4 mΩ/□。采用玻璃料和导体粉末混合的浆材来丝印厚膜电阻。方块电阻的值可以通过调整玻璃料和导体粉末的比例来改变。方块电阻值的变化范围可以为 5 Ω/□ ~ 10 MΩ/□。修整表面电阻，使得电阻值的容差在 ±1%，而嵌入电阻值的容差只有 ±25%。浆材形式和带形式的材料都可以用来制作 MIM 电容。这些材料的介电常数介于 5 ~ 200。对于低介电常数(ε_r = 5 ~ 10)的电容、损耗系数、击穿电压和容差分别是 1 ~ 200 pF、<0.3%、500 V、±10%；而对于高介电常数分别是 10 ~ 3000 pF、<2%、200 V、±20%。图 14.2 是嵌入无源元件和偏置线的 LTCC 模块的三维视图。同时画出了固态器件的压焊线和旁路电容的贴片安置。

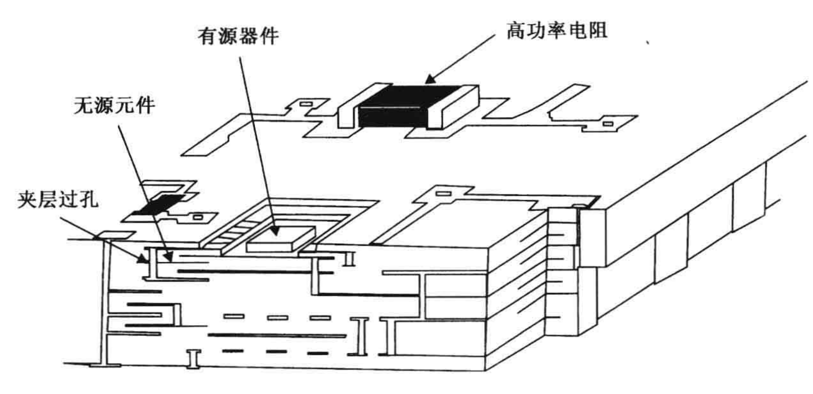


图 14.2　LTCC 模块的三维视图

MIC 的功能模块的实现可以选择多种多样的材料和工艺。表 14.7 列出了其中的一些材料和工艺。

表 14.7　应用于 MIC 生产的典型材料和工艺总结

材料/工艺	微波印制板	薄膜	共烧玻璃-陶瓷(LTCC)
基底	PTFE 玻璃纤维，PTFE 陶瓷，碳氢化合物陶瓷，聚酯玻璃	Al_2O_3，AlN，BeO，石英，玻璃-陶瓷	N/A
导体	Cu	Au，Al，Cu	Au，Ag，PdAgCu
电介质	N/A	SiO_2，聚酰亚胺，苯并环丁烯(BCB)	玻璃-陶瓷带
电阻	N/A	NiCr，TaN	RuO_2 掺杂玻璃
工艺	光刻，刻蚀，校对板材，键合	真空持续沉积、旋转图层，或者电镀导体、电介质和电阻；光刻；刻蚀	钻孔，在带子上印制和干燥导体，校对图层版图，碾压，共烧

14.4　内匹配功率放大器设计

大功率晶体管管芯的栅长和栅宽比很大，输入和输出阻抗很小，很容易受到封装寄生电容和电感的影响。设计放大器封装外的匹配电路是很困难的，特别是频率高的情况下。即使在预匹配(prematch)的情况下，封装的引脚电抗也会对放大器的功率、PAE 及带宽影响很大。在设计混合高功率放大器时，最实际的方法是使用考虑了微波封装的内匹配器件。这样可以很好地处理低输入和输出阻抗。

设计匹配电路可以采用集总元件或分布元件。在宽带和大功率条件下，功率晶体管的输入匹配电路可以采用集总电感和电容实现，其中集总电感采用键合线实现，集总电容采用中间为高介电常数介质的MIM类型的电容来实现。电容必须要有小的寄生电感和电阻、大的热强度和机械强度、小的温度系数，而且击穿电压是放大器工作电压的3~4倍，以及低成本。因为晶体管的输出阻抗比输入阻抗大得多，输出匹配网络的设计采用集总和分布元件。在陶瓷基底上，微带线通常作为分布电路元件来使用。

图14.3是一个FET/pHFMT功率管的内匹配电路。输入匹配部分要实现大的阻抗变换，因此使用了较多的元件。图14.4是一个2.2 GHz、140 W的内匹配异质结FET——用于手机基站的推挽式放大器中。该器件的总栅长是332 mm，功率输出密度大约是0.42 W/mm。有两个输入/输出引脚，使用外部的巴伦来实现推挽式的组合。该电路的具体设计请见参考文献[23]。

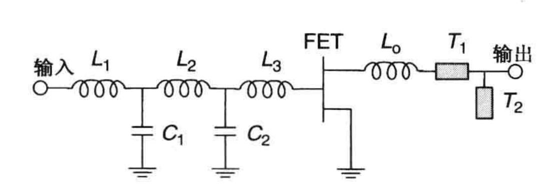


图14.3　FET/pHFMT功率管的内匹配电路

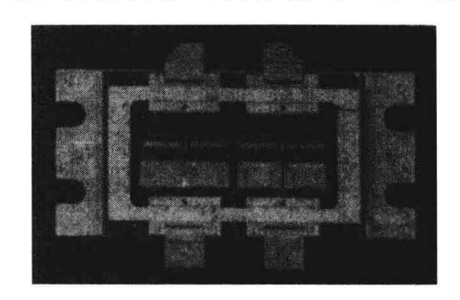


图14.4　2.2 GHz、140 W的内匹配FET功率管照片(引自Takenaka et al.[23]，IEEE授权使用)

14.5　低噪声放大器

本节分别讲述混合MIC技术中的窄带、超宽带、宽带分布低噪声放大器的设计实例。

14.5.1　窄带低噪声放大器

利用S参数和噪声参数设计X波段的低噪声放大器。要求放大器在50 GHz时还是无条件稳定。在15 mil厚的氧化铝基底上制作该LNA，要求的指标如下：

频率	10 GHz
带宽	5%
增益(最小)	20 dB
噪声系数(最大)	1.0 dB
VSWR(最大)	1.5:1

表5.9列出的pHEMT满足NF的要求，通过两级放大得到20 dB的增益。因为该器件在10 GHz时的稳定系数$K=0.647$，因此放大器的拓扑结构要同时符合低噪声系数和好的输入匹配。由于$K<1$，每一级及整体放大器要设计成无条件稳定。一个简单放大器包括输入匹配网络、级间匹配网络、输出匹配网络，如图14.5所示。图中分开的方形/矩形焊盘通过键合线来调节电路。在两级的低噪放中，输入匹配网络根据最优噪声系数匹配，级间和输出匹配网络根据最大增益和增益平坦度匹配。在该例中，每个管子偏置在漏极电流约10 mA(对最小噪声优化后的电流，20%~25% I_{dss})；但是输出级偏置在较高的电流上，从而增加器件的增益和输出TOI/IP3。两个管子的感性源反馈可以得到优化的NF、好的输入匹配和电路的稳定性。另外，

在级间匹配网络和输出匹配网络上加入电阻，使得电路在10~50 GHz稳定。匹配网络的元件值是通过CAD工具结合电路优化技术得到的。这里使用的微带线宽10 mil(60 Ω的特征阻抗)。图14.5给出制作在氧化铝基底($\varepsilon_r=9.9$，$h=15$ mil)上的电路匹配网络的实际尺寸。通常在靠里或靠外的方形/矩形焊盘上焊接导线来提升电路的性能。设计时已经考虑了T形结的不连续性和键合线的影响，但是忽略了隔直和旁路电容的寄生电抗影响。将电阻假设为印制型的。采用长10~12 mil、直径1 mil的导线连接分立元件。使用器件的EC模型计算K值，计算出在0.1~50 GHz时K值远大于1。仿真得到9.5~10.5 GHz时放大器的NF小于0.7 dB，增益和回波损耗分别大于20 dB和15 dB，如图14.6所示。

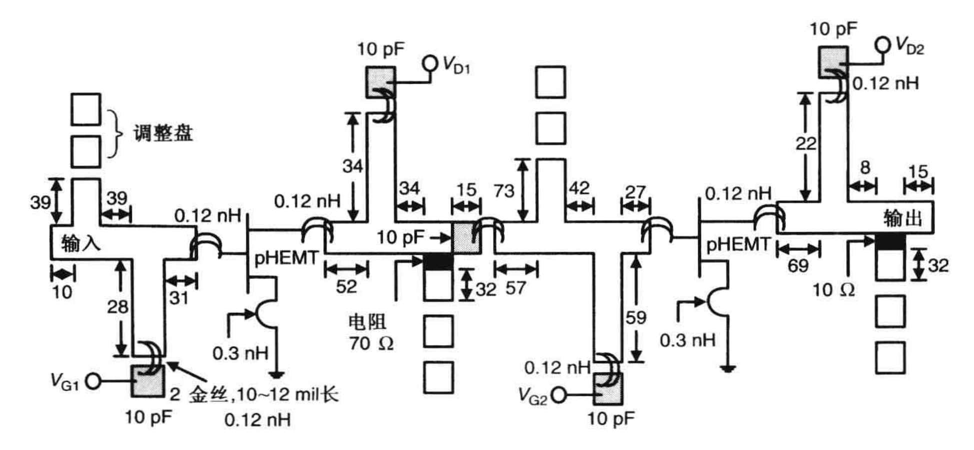


图14.5 采用pHEMT的两级窄带LNA电路图，所有尺寸单位是mil

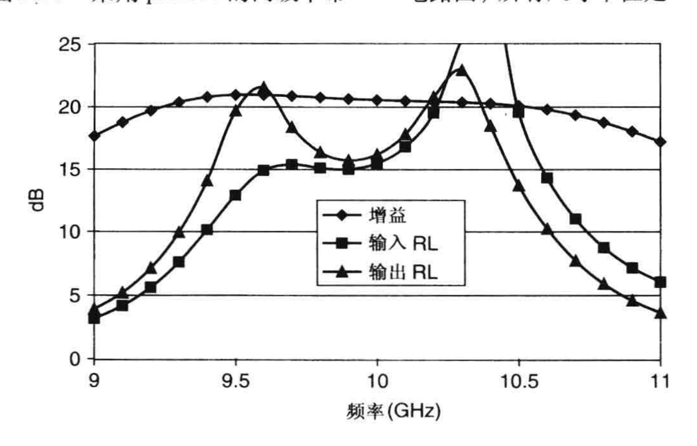


图14.6 窄带LNA的仿真特性

14.5.2 超宽带低噪声放大器

下面介绍超宽带(UWB)LNA的设计。设计目标是在3~11 GHz增益和噪声系数分别是9 dB和3 dB，好的输入和输出匹配网络(VSWR=2:1)，以及到50 GHz无条件稳定。

表5.9列出的pHEMT满足NF的要求，单级放大器就可以满足9~10 dB的增益要求。该器件的$K<1$，因此该宽带放大器拓扑结构必须同时满足低噪声系数和好的匹配。因为$K<1$，放大器必须设计为无条件稳定工作。图14.7设计了简单反馈放大器结构，以及电抗性输入匹配网络和电抗/电阻性输出匹配网络。低噪声放大器的匹配电路设计需要对噪声系数、好的输入和输出匹配和增益平坦度进行折中。器件偏置在漏极电流约10 mA(最小NF偏置电流)处。利用

CAD 工具优化匹配电路的元件值。电路的优化依据微带线的长度及宽度。图 14.7 给出了氧化铝基底($\varepsilon_r=9.9$, $h=15$ mil)上匹配电路部分的实际尺寸。这里用到了 10 mil 宽的微带线。电路设计时考虑到 T 形结的不连续性和键合线的影响，但是忽略了隔直和旁路电容的寄生电抗影响。假设电阻为印制型的，采用长 10 ~ 12 mil、直径 1 mil 的导线连接分立元件。假设器件的源极连接到地。计算出 K 值远大于 1。放大器仿真结果如图 14.8 所示，NF 低于 3 dB，增益优于 10 dB，回波损耗远好于 10 dB。

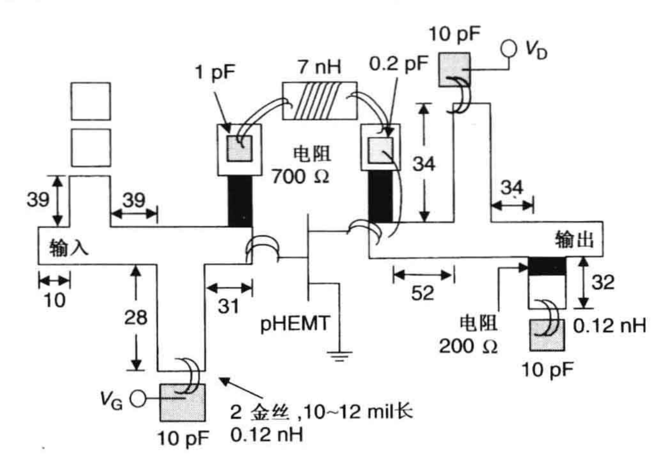


图 14.7　采用 pHEMT 的单级 UWB LNA 电路图，所有尺寸单位是 mil

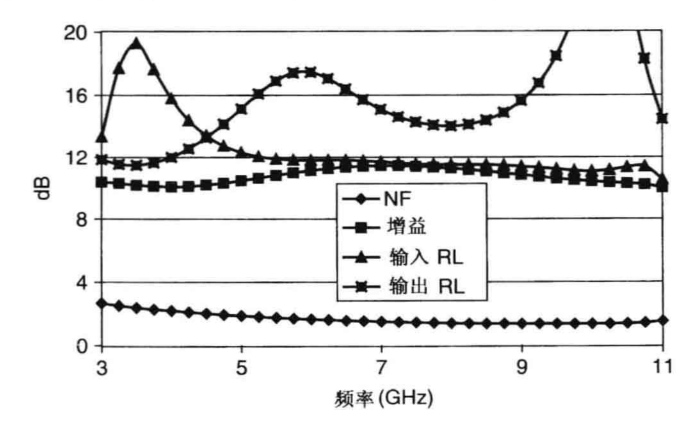


图 14.8　UWB LNA 的仿真特性

14.5.3　宽带分布式低噪声放大器

下面讲述单级分布式 LNA 的设计。使用表 5.9 给出的 S 参数和噪声参数。在 2 ~ 12 GHz，要求增益和 NF 分别是 12 dB 和3.5 dB，好的输入和输出匹配，以及高达 50 GHz 时仍就无条件稳定。

表5.9 给出的 pHEMT 满足 NF 要求，同时其 $K<1$。因此该宽带放大器拓扑结构必须同时满足低噪声系数和好的匹配。因为 $K<1$，放大器必须设计为无条件工作。这里选择一种有 5 个单元的简单分布式拓扑结构，如图 14.9 所示。低噪声放大器的匹配设计考虑到噪声系数、好的输入和输出匹配及增益平坦度。器件偏置在漏极电流约 10 mA 处，根据微带线的长度和宽度来优化匹配网络。图 14.9 给出了氧化铝基底($\varepsilon_r=9.9$, $h=15$ mil)上匹配电路的物理尺寸。电路设计时考虑 T 形结的不连续性和键合线的影响，但是忽略了隔直和旁路电容的寄生电抗影响。又

假设电阻为印制型的，采用长 10 ~ 12 mil、直径 1 mil 的导线连接分立元件。假设器件的源极连接到地。计算出 K 值远大于 1。放大器的仿真特性见图 14.10。NF 低于 3.5 dB，增益优于 12 dB，回波损耗优于 11.5 dB。该拓扑结构使用了 5 个器件，同单个器件的反馈结构相比，分布式有更好的单级增益、$P_{1\,dB}$和 TOI 值。

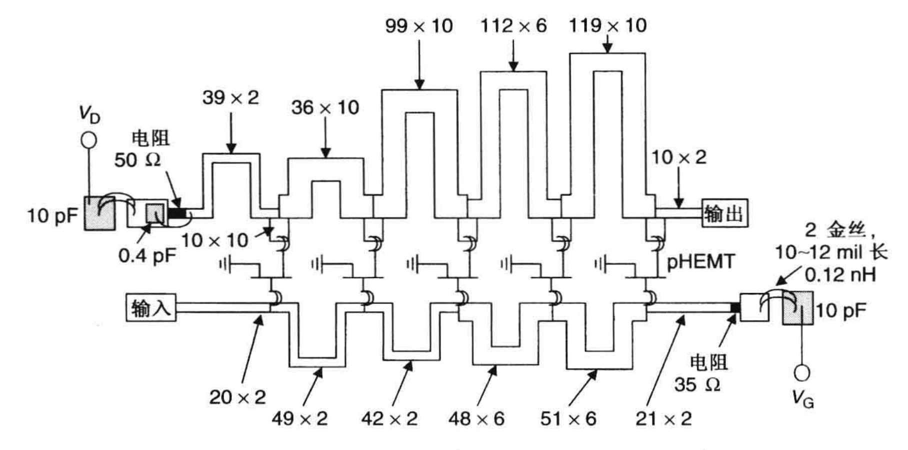


图 14.9　采用 pHEMT 的单级宽带分布式 LNA 电路图

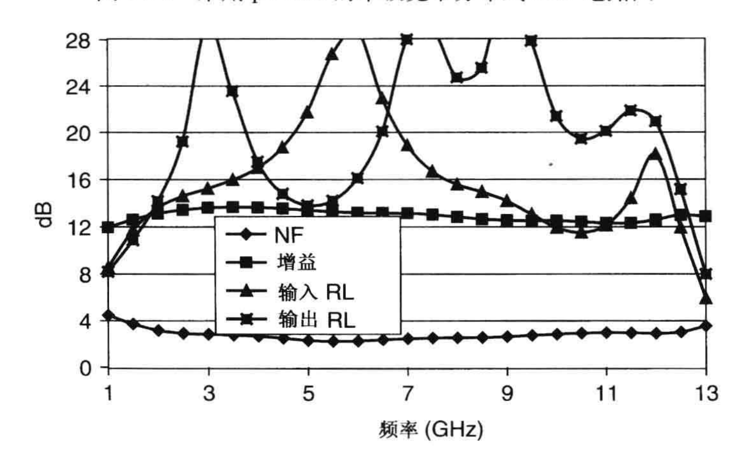


图 14.10　宽带分布式 LNA 的仿真特性

14.6　功率放大器

这一节讲述利用混合 MIC 技术来设计窄带和宽带功率放大器实例。

14.6.1　窄带功率放大器

该例子采用封装好的器件设计一个两级窄带（1626.5 ~ 1660.5 MHz）10 W 功率放大器[24]。设计采用的两个商用器件如下：

Q1 Motorola GaAs 集成功率放大器 MRFIC1818

Q2 Ericsson GOLDMOS FET PTF10053

表 14.8 给出了这两个器件的性能参数。该例子的设计原则很通用，也常用于多级混合和 MMIC 功率放大器的设计，如图 14.11 所示。注意到表 14.8 给出的输入和输出阻抗数据对应的频

率范围不是我们所要求的，所以要采用差值技术来修正输入和输出阻抗。采用 30 mil 的厚 GETEK 材料作为基底，利用 CAD 工具优化两级电路设计。图 14.12 是放大器的单层 PCB 版图。在 PCB 地平面贴上一块矩形金属板，从而提高热性能和机械稳定性。PCB 的尺寸是 2.5 英寸 ×1.37 英寸。

表 14.8　MRFIC1818 和 PTF10053 晶体管的性能参数

器件	频率范围 (MHz)	输入功率 (dBm)	输出功率 (dBm)	正常电压 (V)	正常 RF 增益 (dB)	输入阻抗 $Z_{in}(\Omega)$	输出阻抗 $Z_{OL}^{*}(\Omega)$
Q1(MRFIC1818)	1700 ~ 1900	3	33	+5	30	9.19 ~ j30.10 1.71 GHz	6.00 + j3.80 1.71 GHz
Q2(PTF10053)	1000 ~ 2000	30	40.8	+26	11	2.70 ~ j4.0 1.75 GHz	3.3 + j2.5 1.75 GHz



图 14.11　两级混合放大器电路图

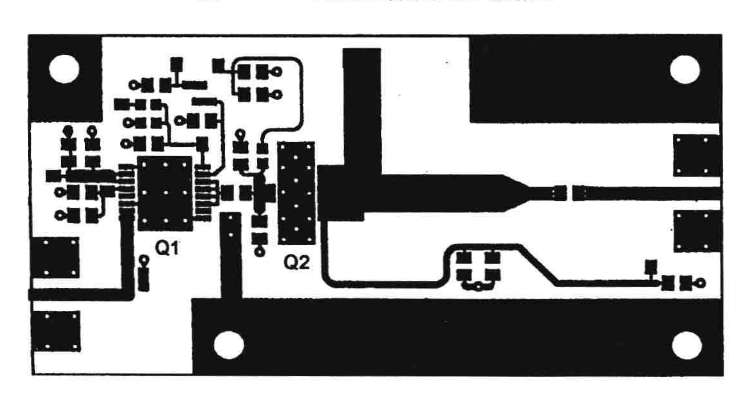


图 14.12　两级 10 W 混合放大器 PCB 版图

在 CW 条件下测试该放大器。表 14.9 给出了简要的测量数据。

表 14.9　在 1.6605 GHz 下 10 W 混合放大器的简要测量数据

参数	性能
1 dB 压缩点	40.9 dBm(12.3 W)
中心频率 34 MHz 带宽内增益平坦度	±0.3 dB
输入回波损耗	优于 14 dB
输出负载失配	无自激 VSWR 2:1
自激	0 ~ 18 GHz
除谐波外的杂散	−50 dBc 或更优，高至 18 GHz
二次谐波	−35 dBc 或更优
三次谐波	−55 dBc 或更优
MRFIC1818 RF 电流峰值(+5 V)	1900 mA
PTF10053 RF 电流峰值(+26 V)	800 mA
PAE	35%

14.6.2 宽带功率放大器

在超宽带功率放大器中应用 CC75T36K240G5 锥形电感(第6章介绍过)的设计实例如图 14.13所示。已经实现利用24 V电源、大功率密度的 MESFET 工艺和反馈拓扑结构来设计低频宽带 MMIC[25]。功率管芯安放在陶瓷基底上，锥形电感放置在印制电路板上。在该功放应用中，锥形电感用于宽带低频扼流，工作频率可以低至10 MHz。功放的功率和 PAE 的测量值如图 14.14所示。在接近两个倍频程里有5 W的输出功率和30%的 PAE。锥形电感可以实现远大于该实例所要求的带宽。

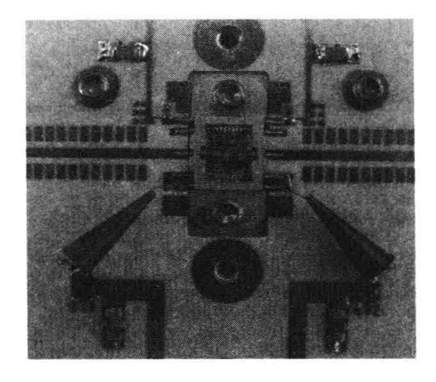


图 14.13 采用锥形电感作为多倍频程偏置扼流圈的24 V宽带 MESFET 放大器设计实例

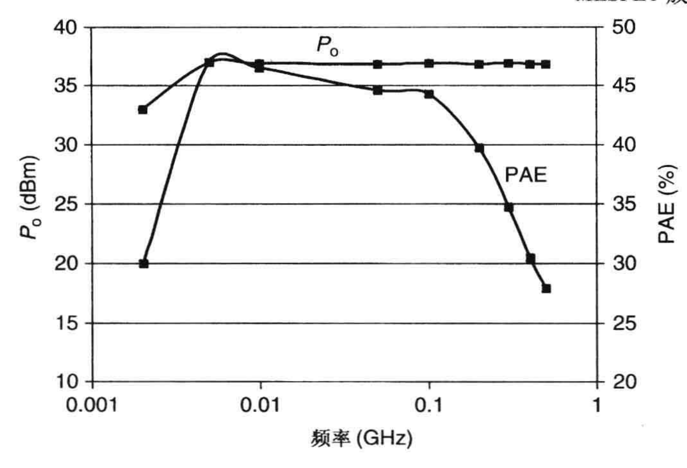


图 14.14 采用锥形电感作为多倍频程偏置扼流圈的24 V宽带 MESFET 放大器的 RF 功率性能

参考文献

1. R. R. Tummala and E. J. Rayaszewski (Eds.), *Microelectronic Packaging Handbook*, Van Nostrand Reinhold, New York, 1989.
2. L. T. Manzione, *Plastic Packing of Microelectronic Devices*, Van Nostrand Reinhold, New York, 1990.
3. J. E. Sergent and C. A. Harper (Eds.), *Hybrid Microelectronic Handbook*, 2nd edition, McGraw-Hill, New York, 1995.
4. P. E. Garrou, and I. Turlik, *Multichip Module Technology Handbook*, McGraw-Hill, New York, 1998.
5. F. Z. Kesiter, An evaluation of materials and processes for integrated microwave circuits, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-16, pp. 469–475, July 1978.
6. M. Caulton and H. Sobol, Microwave integrated circuit technology—a survey, *IEEE J. Solid-State Circuits*, Vol. SC-5, pp. 292–303, December 1970.
7. H. Sobol, Applications of integrated circuit technology to microwave frequencies, *Proc. IEEE*, Vol. 59, pp. 1200–1211, August 1971.
8. H. Sobol, Technology and design of hybrid integrated circuits, *Solid State Technol.*, Vol. 13, pp. 49–57, February 1970.

9. T. S. Laverghetta, *Microwave Materials and Fabrication Techniques*, Artech House, Norwood, MA, 1984.
10. R. D. Jones, *Hybrid Circuit Design and Manufacture*, Marcel Dekker, New York, 1982.
11. D. J. Elliott, *Integrated Circuit Mask Technology*, McGraw-Hill, New York, 1985.
12. D. S. Farquhar, A. M. Seman, and M. D. Paliks, Manufacturing experience with high performance mixed dielectric circuit board, *IEEE Trans. Advanced Packaging*, Vol. 22, pp. 153–159, May 1999.
13. A. Aguayo, PTFE and low cost, high performance materials for high speed and high frequency applications, *Proc. 6th Annual Wireless Symp.*, pp. 243–267, 1998.
14. L. M. Walpita, et al. Temperature-compensated thermoplastic high dielectric-constant microwave laminates, *IEEE Trans. Microwave Theory Tech.*, Vol. 47, pp. 1577–1583, August 1999.
15. F. Sechi, et al. Miniature beryllia circuits—a new technology for microwave power circuits, *RCA Rev.*, Vol. 43, p. 363, 1982.
16. L. Devoe and A. Devoe, Technology and innovation in single layer capacitors, *Microwave J.*, Vol. 37, pp. 144–152, February 2002.
17. P. Barnwell and J. Wood, A novel thick film on ceramic MCM technology offering MCM-D performance, Presented at *6th International Conference Multichip Modules*, Denver (CO), April 1997.
18. R. L. Brown, P. W. Polinski, and A. S. Shaikh, Manufacturing of microwave modules using low-temperature cofired ceramics, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1727–1730, 1994.
19. A. A. Mohammed, LTCC for high-power RF applications, *Advanced Packaging*, pp. 46–50, October 1999.
20. I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter chap10.
21. I. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
22. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
23. I. Takenaka, et al. Low distortion high power GaAs pseudomorphic heterojunction FETs for L/S-band digital cellular base stations, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1711–1715, 2000.
24. R. S. Tomar and P. Bhartia, A simple interstage matching technique for designing hybrid microwave power amplifiers, *IEEE Microwave Mag.*, Vol. 4, pp. 67–84, September 2003.
25. T. A. Winslow, Conical inductors for broadband applications, *IEEE Microwave Mag.*, Vol. 6, pp. 68–72, March 2005.

习题

14.1 定性和定量地比较在混合 MIC 放大器中应用的微带线、CPW 和集总元件。

14.2 损耗常量为 α、长为 ℓ 的传输线，线的噪声系数为

$$F = e^{2\alpha\ell}$$

当衰减常量为 0.2 dB/cm，长度为 0.5 cm，确定其噪声系数 F(也用 dB)。

14.3 LNA 输入匹配需要 $\lambda/4$ 变换器，匹配 50 Ω。在 2 GHz，采用 FR-4，确定最小噪声贡献下 $\lambda/4$ 变换器的尺寸。计算对 LNA 噪声系数的贡献，用 dB 表示。

14.4 采用表 15.9 给定的 S 参数和噪声参数设计一个工作在 5 GHz 的单级 LNA。基底采用 15 mil 厚的氧化铝。串联和开路节结构采用微带线。设计要求无条件稳定，输出损耗必须大于 15 dB。计算 NF、增益及输入和输出回波损耗。晶体管采用直径 1 mil 和 10 mil 长的线。

14.5 讨论应用于 2 GHz 和 15 GHz 放大器的 PCB、薄膜、厚膜、LTCC 和 HTCC 的优点和缺点。

14.6 讨论微波集成电路与传统电路相比的优点。

第 15 章　单片放大器

在过去的二十年里，微波技术经历了重大的发展，并满足了一系列要求:低成本、小型化、高稳定性、低功耗、低工作电压、高工作电压、大批量应用。在卫星通信系统、相控阵雷达和其他的航空应用中，对于电子系统的设计，主要的考虑因素是器件尺寸和重量。在 20 世纪 70 年代，基于成功的 MIC 技术，发展了一种新的基于 GaAs 半导体的微波技术，称为单片微波集成电路(MMIC)。MMIC 不同于 MIC，所有的有源、无源电路组件都在同一半绝缘基底上制作。通常商用和军用的 MMIC 放大器是一个完整部分。

对于 RF 无线应用，各种硅基器件技术的解决方案正被优化，包括双极型、CMOS、BiCMOS 和 SiGe HBT。在硅基工艺中，硅晶圆可以比 GaAs 晶圆做得更大、更便宜，但是工艺步骤相对较多。在本章末尾，将要讨论广泛使用的 n 型或 n 阱 CMOS 制造工艺的显著特点。RFIC 和 MMIC 的缺点是无源元件的 Q 值低、加工后不能调整以优化性能、不可重现的昂贵的工程成本和开发周期长。

15.1　单片放大器的优点

然而，目前生产的大部分 MMIC 放大器工作在 0.5 ~ 40 GHz 微波范围，部分包含 30 ~ 300 GHz的毫米波(mmW)。由于单片技术减轻了传统混合微波集成电路中连接分立元件所用的键合线的寄生效应，所以特别适用于毫米波应用。同混合方案相比，基于 mmW 子系统的 MMIC 的成本以 10 倍或更多的速度减少。MMIC 放大器的优点包括:低成本、小尺寸、重量轻、电路设计灵活、宽带特性、减少电路调整、大量生产的能力、封装简单，以及更好的重复生产性、发射强度(radiation hardness)和稳定性。

MMIC 功率放大器同普通的可实现的内匹配功率放大器相比，具有如下的潜在优点:

- 多级设计高增益(15 ~25 dB)
- 更高的整体功率附加效率(PAE)
- 更好的部件间幅度、相位一致性
- 尺寸紧凑、重量轻
- 部件数量少，稳定性高，成本低
- 没有外部的偏置限定要求

15.2　单片 IC 技术

在制造 MMIC 时，所有的有源和无源电路元件和内连接都在半绝缘基底(通常是砷化镓)上一起成型。典型地，MMIC 采用微带线和金属 - 绝缘体 - 金属(MIM)电容来设计匹配电路，然而在低微波频段，通常采用集总电感和 MIM 电容。通孔和金属填充孔提供了低损耗和低电感接地，其中金属填充孔用于连接基底底部到 MMIC 上层表面。图 15.1 显示了一个 MMIC 的三维视图。

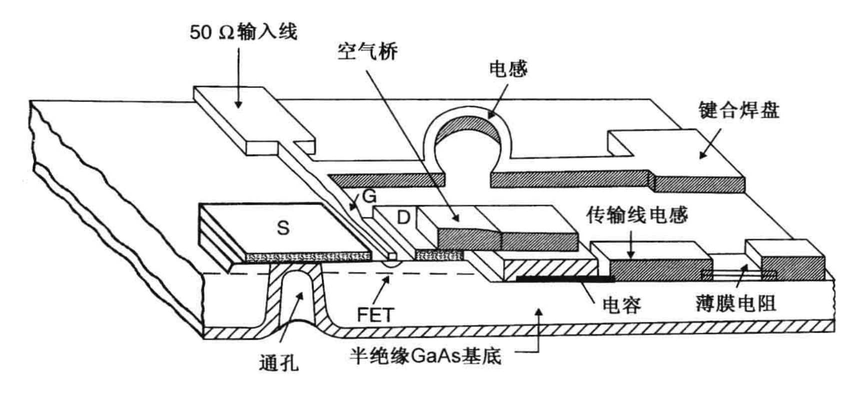


图 15.1　MMIC 放大器的三维视图

15.2.1　MMIC 制作

制作 MMIC 放大器的方法有很多种。使用 MESFET、HBT 和 HEMT 制作的 MMIC 通常采用嵌壁式栅工艺。但是自对准栅(SAG)工艺得到广泛应用，因为其保证了器件生产效率，优化了同时生产在同一晶圆上的不同功能模块(例如微波小信号、微波功率、数字)。在制造业中，SAG 工艺显示出良好的性能一致性。

为了使读者可以理解 GaAs MMIC 生产的相对复杂度，图 15.2 给出了 SAG 工艺的工艺流程图。同嵌壁式 MMIC 工艺相比，有很多相同的地方。该工艺包括有源器件、电阻、电容、电感、分布式匹配网络、空气桥，以及穿过基底连接地的通孔的制作。基本的工艺步骤类似于其他的 MMIC 技术。

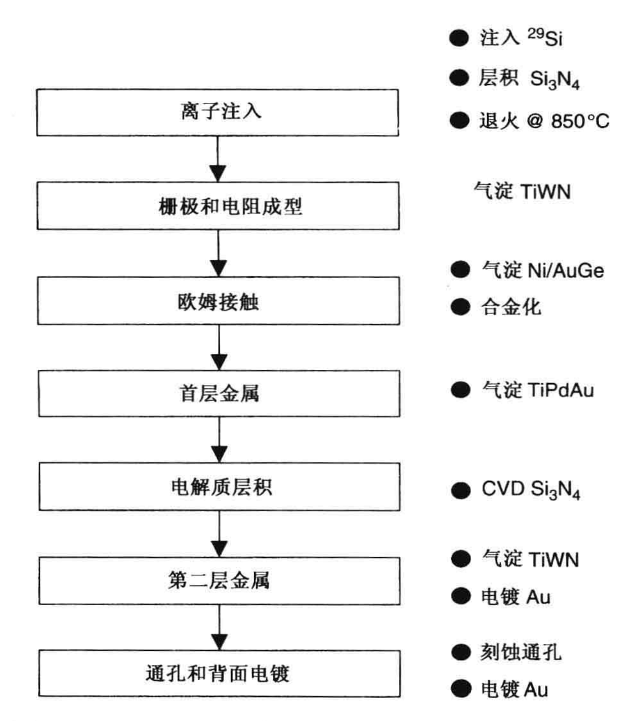


图 15.2　MMIC 工艺的多功能自对准栅(MSAG)工艺流程图

应该注意到，器件工作在微波频段低端时，GaAs MMIC 工艺比硅工艺更简单。因为集成使用的硅工艺具有固有的低频特性和较差的隔离特性，这就要求额外的工艺使得硅工艺能完成 GaAs 应用所覆盖的频率。例如，对于同样的 IC 应用，硅的双极型互补金属氧化物半导体(BiC-MOS)工艺可能需要 2 ~ 3 倍的掩膜层，这大大增加了成本。

1982 ~ 1996 年出版的 *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium Digest*、1997 出版的 *IEEE RFIC Symposium Digest* 和 1980 出版的 *IEEE GaAs IC Symposium Digest* 包含了大量的单片微波和毫米波集成电路的设计、生产和性能资料，以及其他的应用资料。很多其他的著作[1~22]也部分地或单独地讨论了该领域的一些问题。

15.2.2 MMIC 基底

通常依据芯片尺寸、重量、可靠性、可重复生产、成本、最高工作频率，以及一系列有源器件灵活设计的可实现性，来对用于微波设计的 MMIC 技术进行评价。用于 MMIC 的多种基底材料有硅块、碳化硅、GaAs、InP 和 GaN。在第 4 章的表 4.1 列出了它们的电气特性和物理特性。对于功率 MMIC 来说，基底材料的半绝缘和高导热性决定了器件的高隔离度、低介电损耗和良好的散热通道。硅主导了市场，而 GaAs 广泛用于 RF、微波和毫米波频率。对于高压、大功率、高温应用，在基底材料中，具有相对高的导热性的宽禁带材料占有重要地位，例如 SiC 和 GaN。如第 13 章所描述的，在 SiC 基底上做出的具有高功率密度的高压有源器件最近发展起来，很可能是由于它的高导热性。对用于高压大功率密度器件和 MMIC 的基底材料来说，高导热性是一个基本要求。

15.2.3 MMIC 有源器件

自首次报道 GaAs MMIC 以来，MESFET 和肖特基二极管一直是模拟集成电路(IC)的主力。用于微波的 MESFET 技术通常采用 0.25 ~ 1.0 μm栅长。MESFET 功率 MMIC 在微波频段表现出优良性能。然而对于新器件，越来越强调更好的性能和更高的工作频率。HEMT 和 HBT 器件在微波和毫米波 IC 应用中提供了可能的优点，由于异质结的使用提高了电荷的传输特性(例如在 HEMT 中)和 pn 结注入特性(例如在 HBT 中)。HEMT 适合应用于超低噪声和高频率中。采用新颖结构(例如赝晶格匹配的 HEMT，即所知的 pHEMT)生产的 MMIC 已经很大地提高了噪声特性和工作频率(高达 280 GHz)。AlGaN/GaN HEMT 器件已经表现出功率密度 5 倍于传统 GaAs 晶体管[23, 24]。HBT 是异质结的器件的纵向发展，也作为功率器件推广。GaAs HBT 作为功率器件，因其高增益、高效率、单电源供电及低工作电压而广泛地用于大量的无线应用中。HBT 相比于 FET 和 HEMT 也有更好的线性度和低相位噪声。在 pHEMT 结构中，AlGaAs 隔离层和 GaAs 缓冲层之间有 InGaAS 有源层，相比于传统的 HEMT 结构，该层提供更高的沟道载流子浓度。第 5 章详细描述了 MES-FET、HEMT 和 HBT。这些器件可以应用于低噪声、开关、混频器和依赖于实际应用的功率放大器。对于功率电路，需要大电流，不是使用大量单元，就是利用很大的栅宽器件。

有源器件的使用通常决定了 MMIC 的上限频率。MMIC 技术中的微波晶体管的性能逐年提高。这些有源器件(FET、HEMT 和 HBT)的性能决定了基底材料、工艺类型、沟道物理尺寸。器件通常用的品质因数是最大振荡频率，表示为 f_{max}。通常，对于放大器，最大工作频率大约是 $1/2f_{max}$。对于 GaAs 基底上的 FET，f_{max}的一个简单表达式[25]为

$$f_{max} = 38.05L^{-0.953} \tag{15.1}$$

此处的 L 是栅长，单位是毫米。因此，对于栅长是 0.25 μm 的 FET，其 f_{max} 约是 140 GHz。如文

献所述，对于 InP 基底上栅长是 0.1 μm 的 pHEMT，其 f_{max} 约是 600 GHz，对于一个0.1 μm的发射机 HBT，其 f_{max} 约是 170 GHz。在 InP 基底上采用 0.1 μm pHEMT 制作的一个三级放大器，在 153 ~ 155 GHz 时表现出约为 12 dB 的增益。

15.2.4　MMIC 匹配元件

类似于混合 IC，单片电路使用分布式和集总式匹配电路元件。在 MMIC 中，微带线和共面波导是两种最常用的传输介质。由于微带线的准 TEM 特性和优良的版图灵活性，微带线的使用更加普遍。这些线带有物理参数的横截面图如图 15.3 所示。微带线和共面波导(CPW)段组成了用于构建 MMIC 模块的基本的无源元件。当微带线段的尺寸减小到远小于波长，那么该段可以当做集总元件使用。集总的微波元件有螺线电感、薄膜电阻和叉指电容。集总式和分布式微带线通常用于无源和有源 MMIC。为了实现复杂电路，利用集总元件匹配网络或集总-分布电路元件将器件阻抗转换到 50 Ω。下面给出这些元件的概述。

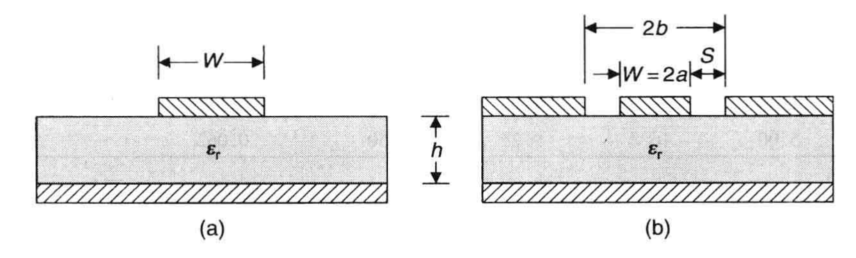


图 15.3　用于 MMIC 的传输线:(a)微带线;(b)共面波导

微带线

在 MMIC 放大器中，专门采用微带线作为传输介质，原因是大功率容量。第 6 章归纳了用于确定微带线参数的各种方法[27]。对于一给定介电常数，导体宽度 W 和基底厚度 h 决定了微带线的传播特性。表 15.1 总结了对于 GaAs 和 Si 基底的 Z_0、ε_{re}、α，以及线电容和线电感。例如，在 GaAs 基底上的 50 Ω 线，W/h 值大约是 0.7。如图 15.4 所示，当线的宽高比 W/h 增加时，特征阻抗递减和有效介电常数增加。在 100 μm 厚的 GaAs 基底上，在 1 GHz、10 GHz、20 GHz 和 30 GHz 测得的微带线损耗常数如图 15.5 所示。

表 15.1　微带线数据归纳

基底 h = 100 μm，t = 5 μm，tan δ = 0.0005，f = 10 GHz，ε_r = 12.9

W(μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
10	0.10	87.8	6.89	0.716	0.010	0.077
20	0.20	75.1	7.23	0.541	0.012	0.067
30	0.30	67.2	7.45	0.468	0.014	0.061
40	0.40	61.4	7.62	0.422	0.015	0.056
50	0.50	56.8	7.76	0.390	0.016	0.053
75	0.75	48.4	8.06	0.342	0.020	0.046
100	1.00	42.5	8.31	0.315	0.023	0.041
125	1.25	38.1	8.52	0.301	0.026	0.037
150	1.50	34.5	8.71	0.293	0.028	0.034
200	2.00	29.2	9.03	0.282	0.034	0.029
250	2.50	25.4	9.30	0.276	0.040	0.026
300	3.00	22.5	9.52	0.271	0.046	0.023
400	4.00	18.3	9.89	0.265	0.057	0.019
500	5.00	15.5	10.18	0.262	0.069	0.016

（续表）

(b)基底 $h=100\ \mu m$, $t=5\ \mu m$, $\tan\delta=0.0005$, $f=10$ GHz, $\varepsilon_r=11.7$						
W(μm)	W/h	Z_0	ε_{re}	α (dB/cm)	线电容 (pF/100 μm)	线电感 (nH/100 μm)
10	0.10	91.8	6.30	0.685	0.009	0.077
20	0.20	78.6	6.60	0.517	0.011	0.067
30	0.30	70.3	6.80	0.447	0.012	0.061
40	0.40	64.2	6.95	0.403	0.014	0.056
50	0.50	59.4	7.08	0.373	0.015	0.053
75	0.75	50.7	7.35	0.327	0.018	0.046
100	1.00	44.5	7.57	0.301	0.021	0.041
125	1.25	39.9	7.76	0.287	0.023	0.037
150	1.50	36.2	7.93	0.280	0.026	0.034
200	2.00	30.6	8.22	0.269	0.031	0.029
250	2.50	26.6	8.46	0.263	0.036	0.026
300	3.00	23.5	8.66	0.258	0.042	0.023
400	4.00	19.2	8.99	0.253	0.052	0.019
500	5.00	16.2	9.25	0.250	0.062	0.016

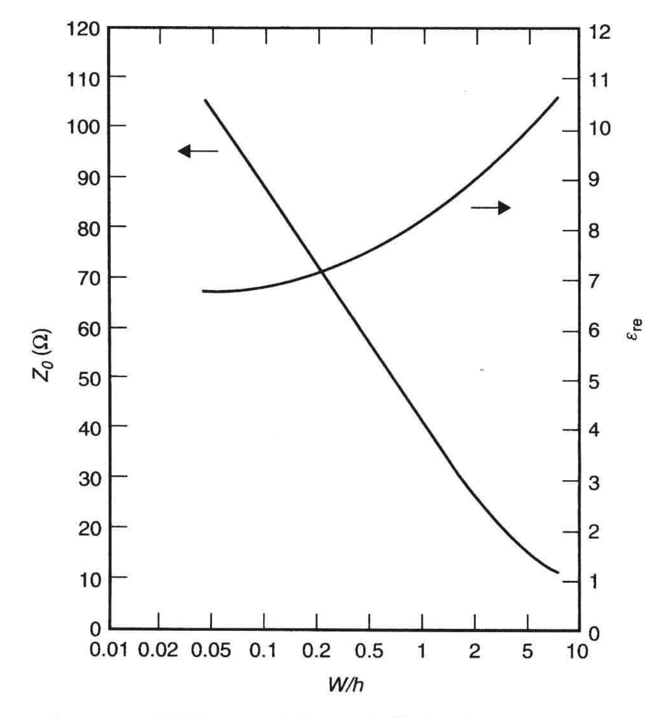


图 15.4 在 100 μm 厚的 GaAs 基底上，微带线的特征阻抗和有效介电常数

微带线中的波长 λ 和 ε_{re}的关系是

$$\lambda=\lambda_0/\sqrt{\varepsilon_{re}} \tag{15.2}$$

其中 λ_0是自由空间波长。第 6 章的式(6.5)给出了微带线传输线的最大工作频率。在 GaAs 基底上设计工作于 100 GHz 的微带电路，其最大厚度计算值小于 0.3 mm。

因为在 GaAs MMIC 上不能调整微带线，所以要求一个精确的、可理解的微带线不连续模

型，以便于节约成本、掩膜更迭的损耗时间及晶圆生产和评估周期。因为 MMIC 产量（芯片越小，产量越大）依赖于尺寸和可接受的电路电气特性，不连续性在 MMIC 中有着重要地位。在高频段，不连续性更加重要。不连续性不是计算在内，就是在最后一步设计中补偿。在大多数情况下，不连续性基本是非期望的电路电抗。在一个好的电路设计中，应努力减少或补偿这些电抗，如第 6 章的图 6.5 所示。

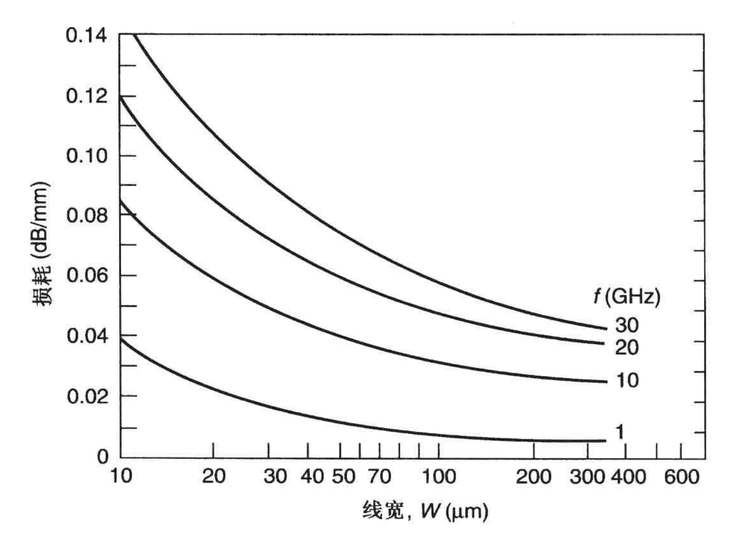


图 15.5　在 100 μm 厚 GaAs 基底上，分别在 1 GHz、10 GHz、20 GHz、30 GHz 测得微带线损耗常数

CPW

中心导体宽度 W、线和地平面导体间距 S[见图 15.3(b)所示]决定了 CPW 的特性。在 CPW 中，通常厚一些的基底，以至于基底背面如果有导体，可以提高机械强度，而这不影响 CPW 的电气特性。图 15.6 所示为 Z_0和 ε_{re}与导体的宽-沟道比的函数关系。CPW 的测量损耗和特征阻抗 Z_0的关系如图 15.7 所示。

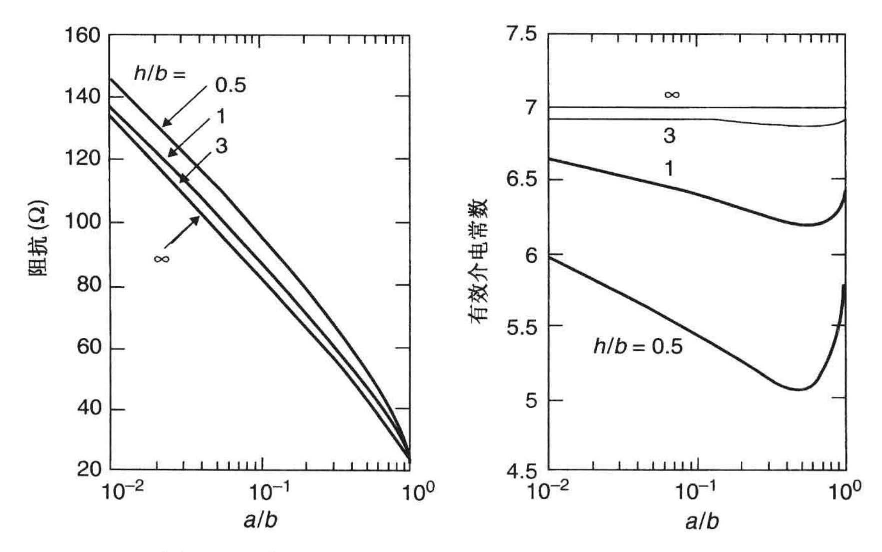


图 15.6　在 GaAs 上 CPW 的特征阻抗和有效介电常数

除了介电和欧姆损耗之外，功率到表面波的耦合和不需要(寄生)模式的辐射，构成了共面线的总体损耗。共面波导的寄生模式是基模式，两边狭缝有反向电压。该模式在不连续状态下被激励，可能产生辐射。保持电路对称，以及在对称间隙使用空气桥连接地平面来短路输出，可以减小这种模式的辐射。对背面有导体的共面波导，另一种寄生模式是平行板波导模式。表面波或基底模式是基底支持的 TM 和 TE 模式。如果使用薄基底，以至于表面模式的截止频率被推出工作频率，那么可以避免激励这些模式。如果基底厚度 h 选择为

$$h \leqslant 0.12\lambda_0/\sqrt{\varepsilon_r} \tag{15.3}$$

其中 λ_0 和 ε_r 分别是自由空间波长和基底的介电常数，那么可以实现上述情况。

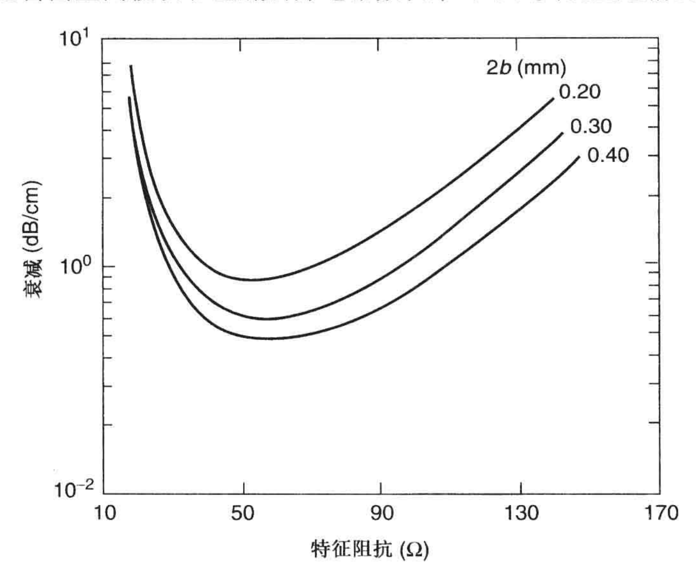


图 15.7 在 100 μm 厚 GaAs 基底上，60 GHz 下测得的 CPW 损耗常数

同微带线 MMIC 相比，在毫米波频段，通过合理设计匹配网络，CPW MMIC 有更低的损耗。CPW MMIC 要求 RF 地的连接没有通孔，更适合于倒装芯片的安装。类似于微带线的不连续性，也必须考虑 CPW 的不连续性效应。

集总元件

在射频频段，集总电感、MIM 电容和薄膜电阻常用于 MMIC 的匹配网络。集总元件放大器电路具有尺寸小、成本低、宽频带的优点。这些特性适合于有固定要求的 MMIC 和宽频带要求的应用。最近，MMIC 技术已经接近成熟，工作频率高达 30 GHz 的集总元件更适合于低成本的电路解决方案。低于 C 波段的频率，使用集总电感电容的 MMIC 在尺寸上大幅度地小于采用微带线或 CPW 分布元件的 IC。在 RF 和低微波频段，在不影响 RF 性能和不增加晶圆芯片数量的情况下，采用集总元件使得芯片尺寸很大程度地减小，可观地提高了 RF 产量。所有的这些因素可以大大地减小芯片成本。

电子迁移要求

电子迁移是导体中离子的逐步移动所产生的物质传输。导体中离子的移动是由于大电流密度流经导体。当导体中和电流密度是 $10^6\ \mathrm{A/cm^2}$ 或更高时，迁移电子连续碰撞金属晶粒，导致金属在电流流向上的堆积。在薄金属中，诱发的电子迁移损害通常表现为金属中出现空隙和堆

积。由于电子大量流动，导致金属晶粒的损耗和积累，引起空隙和堆积。这种现象出现在晶体管的栅极、漏极和源极盘，也出现在欧姆接触处。大部分的空隙导致高的欧姆电阻。在高温下，电子迁移效应变得更加显著。由电子迁移导致的空隙和堆积覆盖了延伸的周期，导致导体的开路和近距离导体的短路。在 FET 中，栅极开路引起漏源电流的有限控制及大的漏源电流值。不断增长的堆积构成物，导致指的短路。

因为 MMIC 中的导体比 MIC 中的导体要薄得多，所以要特别注意导体的电流承受能力。因此导体的电流承受能力受限于电子迁移的起始情况[19]。导体的电导率、厚度和线宽决定了电感的电流承载能力。在平的 GaAs 表面，金导体的最大电流密度安全值是 $2.22\times10^5\ A/cm^2$。因此电子迁移要求指定了承载直流时微带线和电感线的宽度。$2.22\times10^5\ A/cm^2$ 的电流密度转换为每单位线宽允许的最大电流，对应于 4.5 μm 厚的金导体是 10 mA/μm，对应于 9 μm 厚的金导体是20 mA/μm。

15.3　MMIC 设计

MMIC 的设计要求最先进的计算机辅助设计(CAD)工具。由于传统的混合微波电路可灵活地进行加工后调整，而在单片电路中不能实现，导致设计技巧的需要日益提升，因此要求新的设计方法论。这包括:精确规范的标准库单元和子电路的开发，线性和非线性有源器件的精确模型，精确的无源元件模型，电路拓扑和兼容于多种工艺的电路元件，设计的误差对齐，相近的有效模型，完整电路的综合仿真，晶圆上 IC 的自动 RF 测试。后者是为了不用做昂贵的安装和封装就可以获得统计的表征数据。

15.3.1　CAD 工具

图 15.8 给出一个综合 CAD 工具[28]，它包括器件、电路、系统仿真精确模型和统计的设计特征。对于设计者而言，可以使用多种微波 CAD 工具，包括 Agilent 的 ADS、Ansoft 的 Ansoft Designer、Applid Wave Research 的 Microwave Office 和 Cadence 。基于 MMIC CAD 工具[29]的工作站概念示于图 15.9 中。该交互式系统将提供在电路仿真、原理图捕获/编辑器和版图生成之间的高效协作，大大提高整体精度和减小设计周期。使用该系统，可以一次性成功设计一个简单的微波功能块。

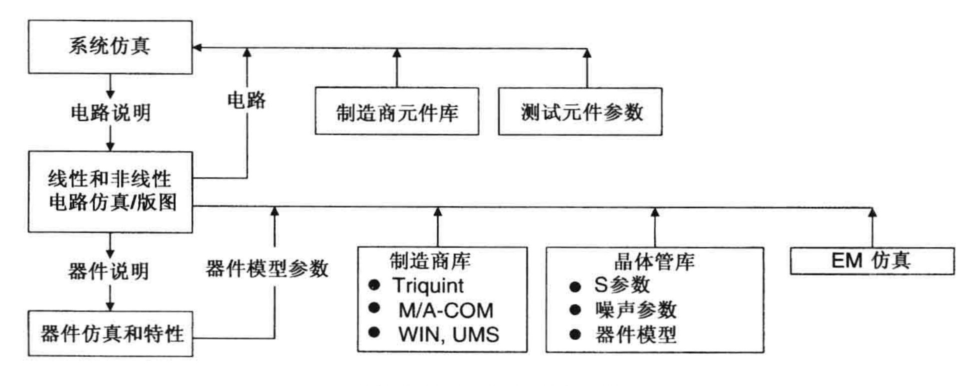


图 15.8　MMIC 设计系统

15.3.2　设计流程

一个典型的 MMIC 功率放大器设计流程遵循的流程图如图 15.10 所示。设计开始于系统要

求的电路说明，其中描述了电路拓扑及所使用的无源元件和有源器件(例如分布和集总无源元件、单或双栅 FET、低噪声或者功率 FET)。使用制造商开发的综合无源元件和有源器件模型来仿真电路功能。设计的最后是考虑版图的不连续性、器件间的相互影响、放大器的稳定性分析，以及考虑工艺变化来分析电路产量。在非线性电路设计情况下，设计电路的精度关键在于所使用器件的精确的非线性模型[30~37]。参考文献[15]和[38]概述了 MMIC。

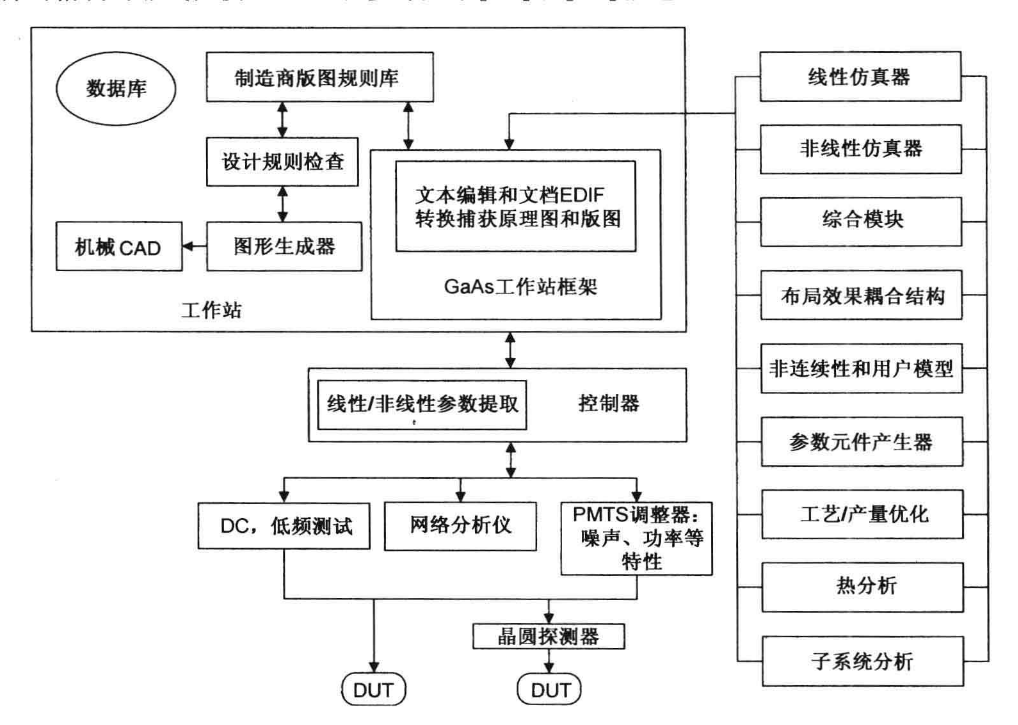


图 15.9　下一代概念型 MMIC CAD 工作站

15.3.3　EM 仿真器

MMIC CAD 工具的电磁(EM)仿真器主要用于无源电路单元和元件的精确建模。这些仿真器(所知的场分析器)通常用于电路单元建模，例如微带线和共面波导的结构，不连续性和传输线支节与不连续性间的耦合，使用多层电介质和电镀、电感、电容、过孔、交迭的结构。使用 EM 仿真器可以精确仿真无源元件，例如滤波器、耦合器、衰减器、功分器/合成器、巴伦、匹配阻抗变换器，以及各种内连接和封装。有源器件的寄生电抗的精确表征也需要 EM 仿真。EM 仿真器的另一个关键特点和重要作用，是能合并电路版图各部分之间的寄生耦合效应，这使得 MMIC 可以成功设计。只有使用 EM 仿真器才能精确评估辐射和表面波。由于 MMIC 设计变得越来越复杂，这些效应变得越来越重要，使用基于传统网络理论的 CAD 工具已经不能简单地合并出需要的结构。然而，由于计算时间非常长，使用 EM 仿真器只能分析一小部分的电路。使用传统的 CAD 工具合并数字结果，可以得到完整电路的响应。大部分的 EM 仿真器工作在集成的仿真环境里(即它们可以和微波计算机辅助设计和工程工具相结合)。在过去的 10 年里，在个人计算机和工作站做出的突出成就，导致了商用 EM 仿真器的出现。在一些出版物[39~40]中可以找到描述这些工具的更多信息。表 15.2 给出了可用的商用 EM 仿真器的概述。

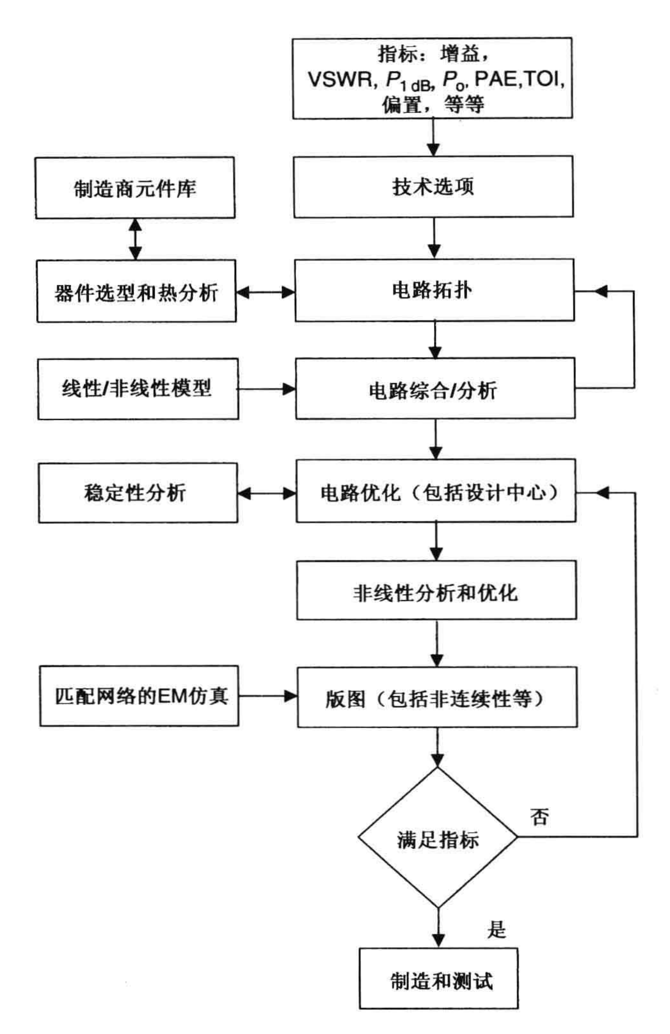


图 15.10　MMIC 功率放大器设计的典型流程图

表 15.2　一些用于 MMIC 的电磁仿真器概述

公司	软件名称	三维结构类型	分析方法	分析域
HP-EEsof	Momentum	平面	FEM	频率
	HFSS	任意	FEM	频率
Sonnet Software	EM	平面	MoM	频率
Jansen Microwave	Unisim	平面	光谱域	频率
	SFMIC	平面	MoM	频率
Ansoft Corporation	Maxwell 2D	平面	MoM	频率
	Maxwell SI Eminence 3D	任意	FEM	频率
Compact Software	Microwave Explorer	平面	MoM	频率
MacNeal-Schwendler Corp.	MSC/EMAS	任意	FEM	频率
Zeland Software	IE3D	任意	MoM	频率
Kimberly Communications Consultants	Micro-Stripes	任意	TLM	时间
Remco	XFDTD	任意	FDTD	时间

15.4 设计实例

自20世纪80年代早期，在放大器方面取得了巨大成就，包括低噪声放大器、驱动放大器和功率放大器。这些元件是大多数RF和微波前端不可或缺的部分。本节讲述各种MMIC放大器设计，包括低噪声系数、窄带、宽带、大功率、高效率，并简要讨论每种设计的显著特点。

15.4.1 低噪声放大器

在接收机前端的低噪声放大器(LNA)决定了系统的噪声系数。依据系统应用选用窄带还是宽带LNA。表15.3比较了最先进的、使用pHEMT[45]制作的窄带MMIC多级LNA的发展。在10~94 GHz，已经实现1~3.3 dB的噪声系数。图15.11是采用pHEMT GaAs MMIC技术制作的20~40 GHz的两级LNA的照片。

表15.3 报道的最好的InP HEMT MMIC LNA

频率(GHz)	级数	最小NF(dB)	增益(dB)	带外NF(dB)	报道年份
2.3~2.5	3	0.4	35	0.5 max	1993
7~11	2	1.0	21	1.2 max	1993
19~22	3	1.1	38	1.2 max	1995
40~50	3	1.9	25	2.3 ave	2004
43~46	3	1.9	22	2.0 ave	1995
50	2	2.8	9	—	1994
63	2	3.0	18	—	1990
56~60	2	3.2	15	4.2 ave	1992
56~64	3	2.7	25	3.0 ave	1993
58~62	2	2.2	16	2.3 ave	1995
75~110	3	3.3	11	5.0 max	1993
75~110	4	6.0	23	—	1993
92~96	3	3.3	20	4.4 max	1995
112~120	3	3.8	15	5.1 max	1999
120~124	2	—	11	—	1994
142	2	—	9	—	1995
155	3	5.1	12	—	1998

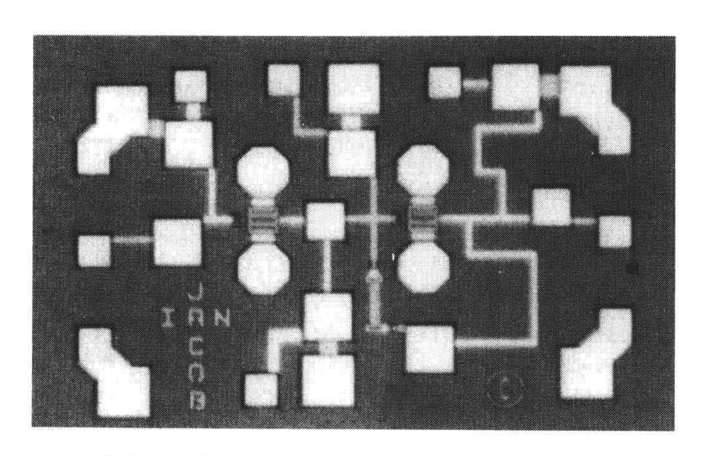


图15.11 采用pHEMT GaAs MMIC技术制作的20~40 GHz的两级LNA

15.4.2 大功率限幅器/LNA

因为放大器晶体管采用了精确的几何设计，这些电路很容易被大功率的杂散 EM 辐射损坏。为了保护前端的接收机而保持低的噪声系数，在 LNA 前面需要加一个大功率和低损耗的限幅器。已经开发出一种新式的大功率三级限幅器/LNA，它可以处理 X 波段的大于 10 W 的 CW 功率。该设计类似于参考文献[46]和[47]所描述的，其照片如图 15.12 所示。该限幅器/LNA 设计是一种平衡结构，采用兰格耦合器和肖特基二极管限幅器，后加三级 LNA。芯片上还包含一个大功率终端电阻。在 8.5 ~ 12 GHz 频率范围内，测得的典型指标：增益大于 19 dB，NF < 2.7 dB，回波损耗优于 18 dB，输出三阶截断点大于 28 dBm。测得的恢复时间大约是 35 ns。

15.4.3 窄带 PA

已经有文献叙述三级 Ku 波段 7 W MMIC 功率放大器[48]。该 7 W 的 HPA 的设计采用 2 个 1.8 mm FET 来驱动 4 个 1.8 mm FET，然后再驱动 8 个 1.8 mm FET。同时给出这些 FET 的热分析。此处 FET 的长宽比是 2:1。以饱和状态下最大输出功率和 PAE 来设计电路。匹配电路的微带线采用 10 μm 的聚酰亚胺[49]。图 15.13 是 7 W MMIC HPA 的照片。该设计要求双边偏置。该7 W MMIC 功率放大器在 $V_{ds}=8$ V 和 $P_{in}=23$ dBm 下，测得典型的 CW P_o和 PAE 如图 15.14 所示。在 12.5 ~ 14.5 GHz 的频率范围内，该放大器的输出大于 38.5 dBm，PAE 优于 27%。在 $V_{ds}=8$ V 和 $P_{in}=23$ dBm 下，测得的二阶、三阶谐波功率分别是 −40 dBc、−75 dBc。

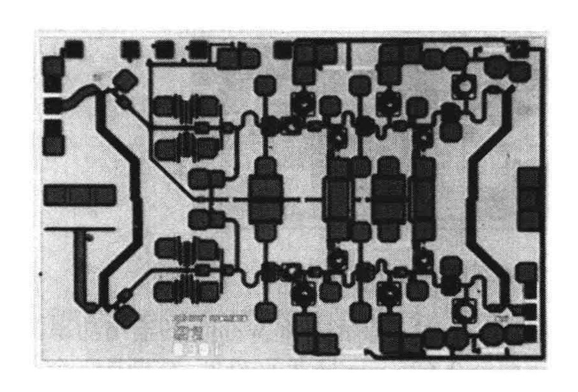


图 15.12　X 波段三阶集成 MMIC LNA/限幅器的照片。芯片尺寸为4.6 ×3.1 mm²

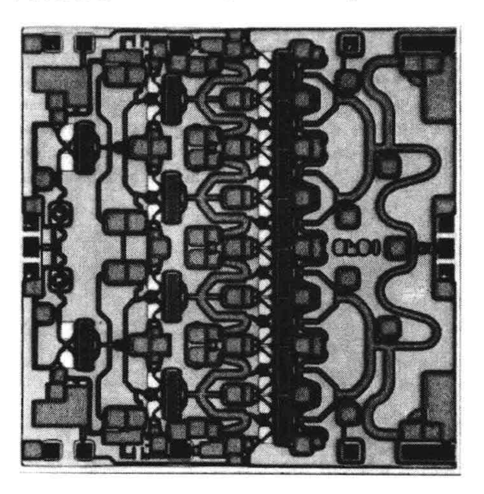


图 15.13　Ku 波段 7 W HPA 的照片。芯片尺寸为4.2 ×4.4 mm²

15.4.4 宽带 PA

C 波段 PA

下面讲述宽带 MMIC 功率放大器。如第 9 章所述，在 IC 设计中可以使用低通网络的双重匹配方案。如图 15.15 所示，采用集总的和分布的电路元件来设计阻抗匹配网络。低通匹配段由串联的高阻线/电感和并联的 MIM 电容组成。两级宽带 MMIC 功率放大器的设计是基于传统的功率放大器设计方法，以及采用了 FET 的小信号和非线性模型与工作偏置点处负载牵引的数

据。为了在 C 波段，其输出功率、增益、PAE、线性度和电源波动之间能获得最优的折中，器件的 Q 点选择在 AB 类(25% I_{dss})。IC 的目标输出功率是 2.5 W。

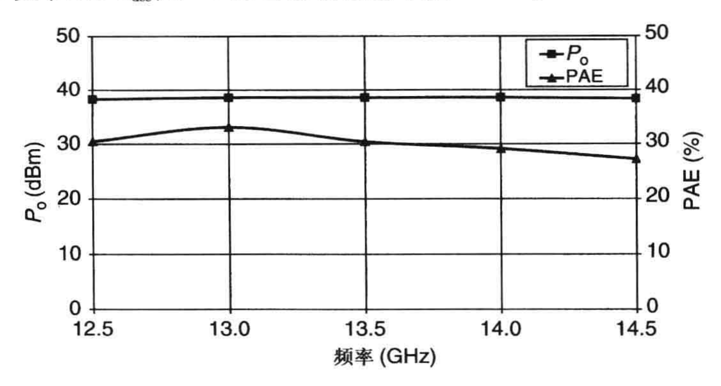


图 15.14 $V_{ds}=8$ V 和 $P_{in}=23$ dBm 下，输出功率和功率附加效率与频率的关系

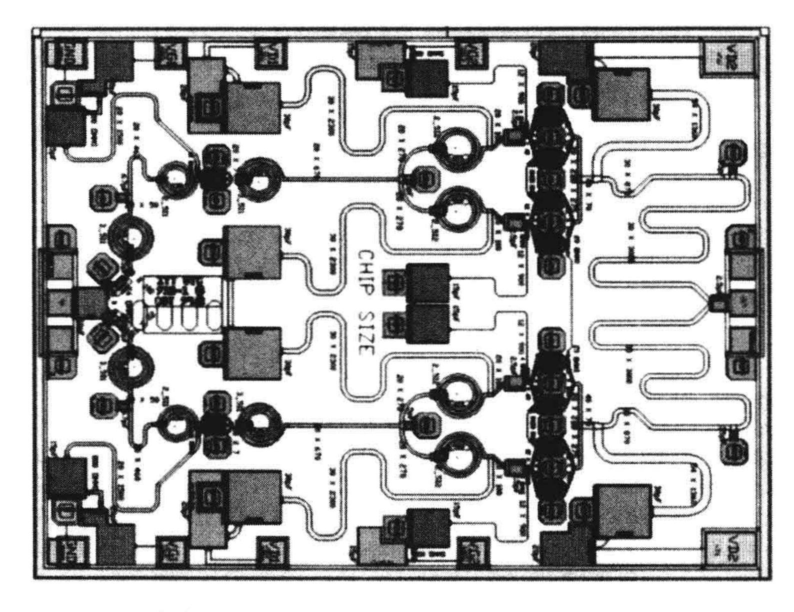


图 15.15 两级宽带 2.5 W 功率放大器的物理版图。芯片尺寸为 3.4×4.4 mm^2

基于输出匹配网络的耗散和失配损耗，以及 $V_{ds}=8$ V 时 FET 的 0.8 W/mm 的输出功率，使得输出级 FET 采用总共 5 mm 的栅宽。第一级采用两个 0.625 mm 栅宽的 FET，结果是一个 4∶1 的 FET。选择 FET 的长宽比为 4∶1，是为了在 PAE 和线性度之间有最优的折中，电路工作覆盖大范围的漏极电压。裸片和载体之间的热阻测得是 16℃/W。封装的 MMIC 芯片的典型 CW 测量数据、P_o、PAE 和输入 VSWR 与频率的函数关系如图 15.16 所示。测量条件是 $V_{ds}=8$ V，$I_{DQ}=360$ mA和 $P_{in}=18$ dBm。在 4.5～7.4 GHz 频率范围内，该放大器有大于 34 dBm 的输出功率、16 dB的增益、优于45%的 PAE。在 $V_{ds}=8$ V、$P_{in}=18$ dBm 下，测得二阶、三阶谐波的典型值分别低于 −25 dBc、−28 dBc。在 4.5～7.1 GHz 频率范围内，噪声系数和三阶截断点的典型值分别是 8.8 dB、43 dBm。在 $P_{in}=5$～20 dBm、$V_{ds}=3$～10 V、负载 VSWR = 3∶1[50]下，输出的非谐波功率低于 −70 dBc。

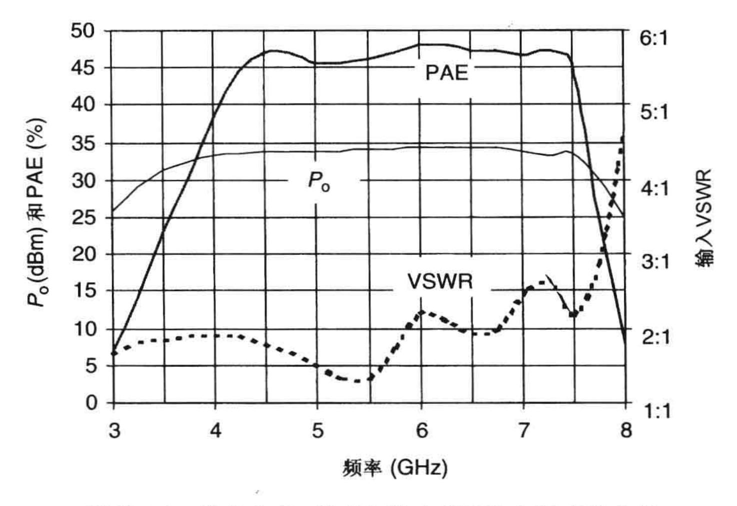


图 15.16　输出功率、效率和输入 VSWR 与频率的曲线

X 波段 PA

三级 10 W 高效率 MMIC 功率放大器的设计是基于小信号和大信号 FET 模型和在偏置点得到的负载牵引数据。为了在 X 波段最优化输出功率、增益、PAE，器件的 Q 点选择为 AB 类(25% I_{dss})工作状态。此处，使用低通和高通网络的双重电抗匹配拓扑结构提供了大输出功率和 PAE。采用集总元件和分布电路元件构成阻抗匹配网络。使用了 4 组 S 参数，分别为低增益、高增益、小电流、大电流，以优化负载线技术的设计。这些数据文件表征可能的制造变化，允许采用更大的工艺误差来实现设计。

在第二次循环时，采用 Taguchi 技术更进一步优化电路，提高带宽和输出功率，正如第 9 章所述。该设计在输入级采用两个 0.94 mm 栅宽(每个栅有 10 个指)的 FET，中间级采用 4 个 1.5 mm(每个栅有 14 个指)栅宽的 FET，输出级采用 8 个 2.5 mm(每个栅有 24 个指)栅宽的 FET。GaAs 基底的厚度是 75 μm。图 15.17 是 10 W HPA 的照片[51]。



图 15.17　10 W HPA 的照片。芯片尺寸为 4.6 × 4.6 mm^2

图 15.18 是封装芯片的 CW 典型测量值输出功率、PAE、增益与频率的函数曲线。可见，在

8.5 ~ 11 GHz 频率范围内，效率在34% ~43%范围内，输出功率是10 W。窄带(9.5 ~ 10.5 GHz)的输出功率是12 W，PAE超过40%。

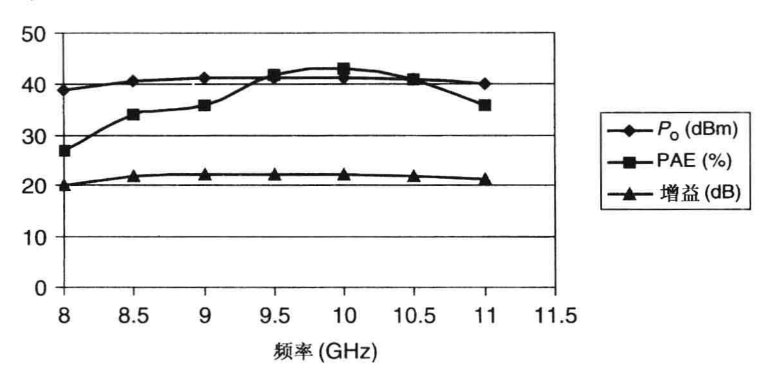


图 15.18 10 W HPA 在 V_{ds} = 10 V、P_{in} = 19 dBm、基底温度为60℃时，测得CW典型输出功率、PAE、增益

15.4.5 超宽带 PA

L至S波段

最近有文献讨论了一个工作在AB类的单片宽带12 W MMIC功率放大器的设计，其频率覆盖0.7 ~ 2.7 GHz[52]。该HPA的设计方法在第11章已经讲述。另一个覆盖1.2 ~ 2.4 GHz的大功率放大器，其输出功率为15 W，采用电抗/电阻性匹配技术和0.4 μm MSAG FET设计。该两级HPA由输入级的4个2.0 mm的FET来驱动输出级的16个2.0 mm的FET。该放大器的供电电压为10 V。

图15.19是该15 W宽带HPA的照片。该两级宽带功率放大器的输出功率和PAE平均测量值如图15.20所示。饱和输出功率大于15 W，PAE优于29%。在1.25 ~ 2.75 GHz，小信号增益优于20 dB，输入和输出VSWR小于2:1。

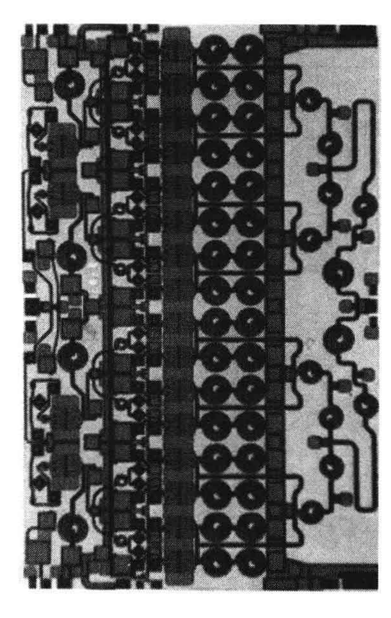


图 15.19 L/S波段的15 W MMIC功率放大器的照片。芯片尺寸为5 × 8 mm²

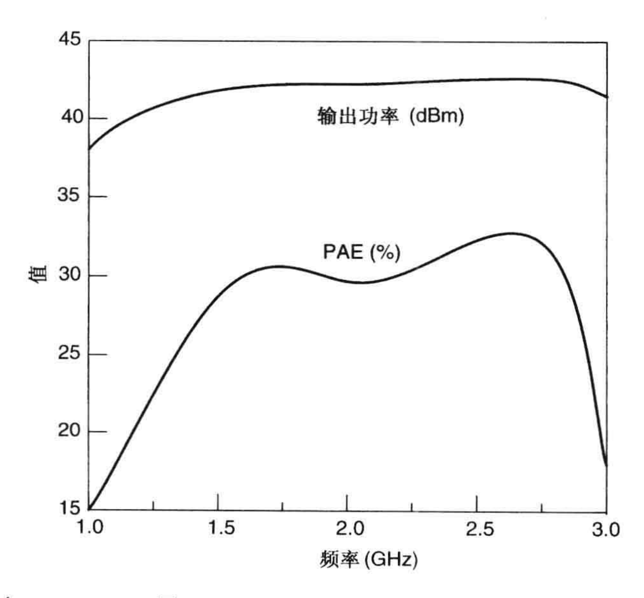


图 15.20 V_{ds} = 10 V时的输出功率和功率附加效率

2～8 GHz PA

最近报道了两个倍频程的宽带 HPA 开发的设计方法和测试数据。该 HPA 采用基于 MSAG MESFET 的 GaAs，采用多层电镀 MMIC 技术[53]。第 9 章讨论的低损耗匹配设计技术用于该两级功率放大器。在该例子中，输入级的 8 个 0.94 mm 的 FET 驱动输出级的 16 个 0.94 mm 的 FET。输出级的匹配网络采用 16 路的双重电抗拓扑结构来获得两个倍频程带宽。图 15.21 是 8 W 宽带 MMIC HPA 的照片。

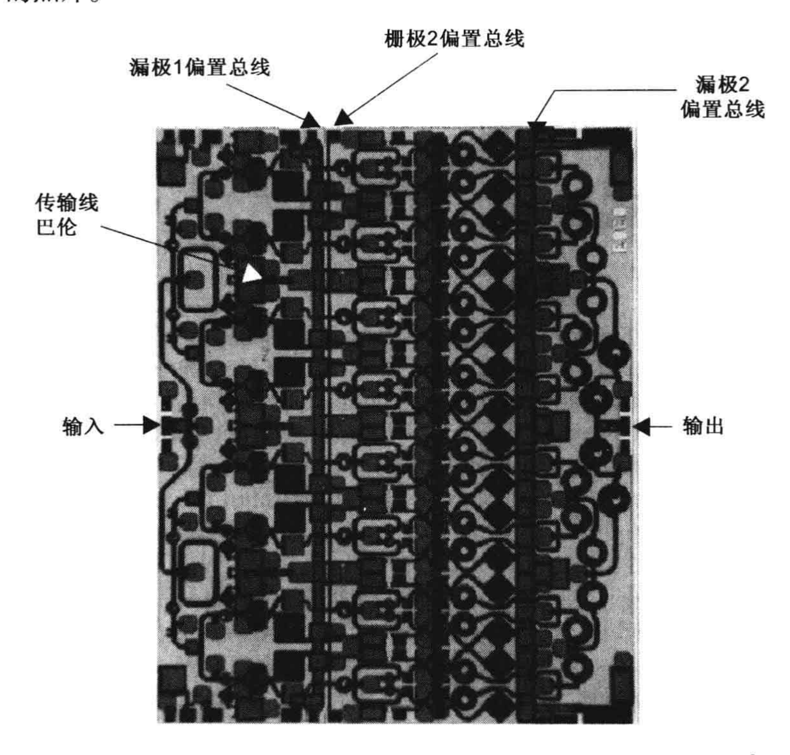


图 15.21　S/C/X 波段的 8 W HPA 的照片。芯片尺寸为 5×6.3 mm²

该功率放大器 MMIC 的 P_o 和 PAE 的典型测量值如图 15.22 所示。在 2～8.5 GHz 频率范围内，该放大器有大于 37.6 dBm 输出功率、优于 16% 的 PAE。

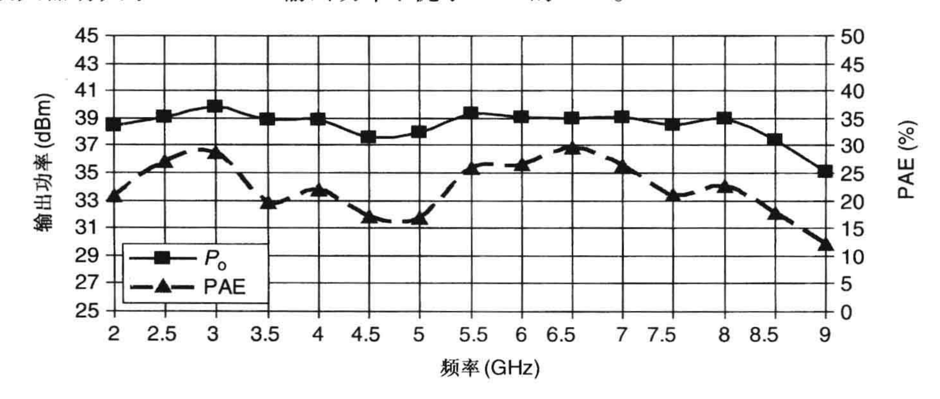


图 15.22　S/C/X 波段的 8 W MMIC HPA 输出功率和功率附加效率与频率的关系

2～18 GHz PA

下面讲述0.5 W的2～18 GHz的两级分布式放大器(DA)。每级匹配到50 Ω，采用第11章的图11.17的传统DA结构。在该设计中，每级采用5个单元，器件尺寸逐步减小，获得最大的功率带宽和PAE。第一级的器件尺寸是300 μm、300 μm、300 μm、300 μm和300 μm。在第二级的单端设计中，FET采用625 μm、625 μm、470 μm、470 μm和300 μm。通过使用小信号*S*参数，为实现最大增益、好的输入和输出VSWR来优化每级。图15.23为宽带DA的物理版图。增益和输出功率仿真结果如图15.24所示。

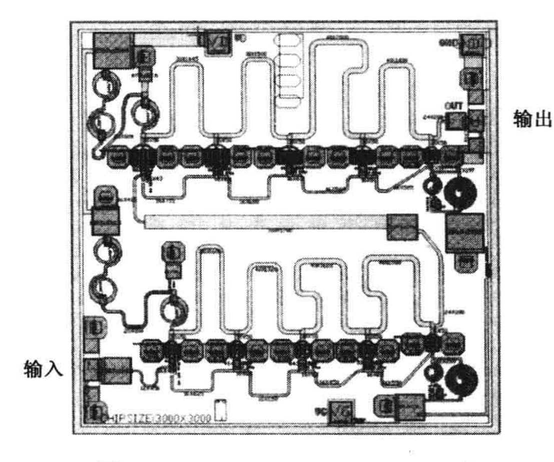


图15.23　2～18 GHz 0.5 W HPA版图。芯片尺寸为3×3 mm^2

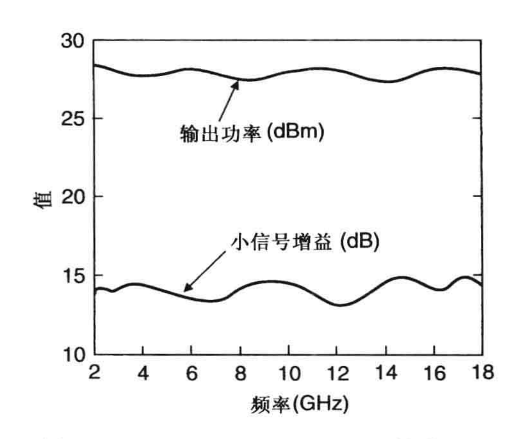


图15.24　2～18 GHz MMIC HPA的增益和输出功率仿真值与频率的关系

15.4.6　高功率放大器

单片高功率放大器的设计包含功率合成，实际上是合成尽可能多的器件来增加功率电平。因为单个大功率器件的输入阻抗非常小，不易匹配，所以使用单个大功率器件是不切实际的。第9章讲述的集中匹配技术是将匹配网络集成到分叉和合并支路上的最佳方式。输出支路的插入损耗和成本(昂贵的器件间距的滥用)限制了可合并器件的个数。另一个原因是随着合成损耗的增加，效率迅速下降。

S波段50 W HPA

一个50 W MMIC放大器[54]如图15.25所示，输出支路清晰可辨。两级2 GHz的放大器设计是基于0.5 μm栅长的GaAs pHEMT，输出级总共使用128 mm栅宽。在12 V供电下，测得CW功率为50 W，效率45%，带宽优于10%。

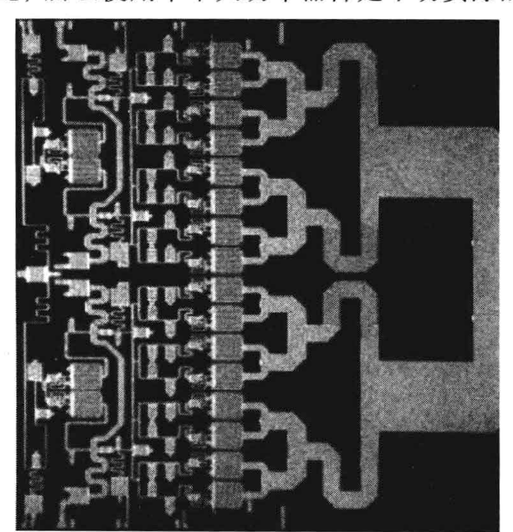


图15.25　2.1～2.2 GHz功率放大器(10×10 mm^2)(引自Akkul et al.[54]，IEEE授权使用)

X波段20 W HPA

20 W X波段的HPA由两个输入和输出完全匹配到50 Ω的10 W功率放大器构成。两个放大器在片上采用两路Wilkinson功分器/合成

器进行合成。10 W 功率放大器由 3 级构成[55]。FET 单元尺寸的选择影响到匹配网络、合成的拓扑结构、芯片尺寸和电气特性。两路共同的前馈合成采用两个 0.625 mm FET 来驱动 4 个 1.1 mm FET，再驱动 8 个 2.0 mm FET。此处的 FET 的长宽比是3.6∶1。每个 FET 有 20 μm 的栅栅间距。图 15.26 是 20 W HPA 的照片。采用测试点来测试 20 W 放大器的特性，如图 15.27 所示。测试点采用高性能的微带到同轴连接器，其回波损耗在高达18 GHz时优于 20 dB。

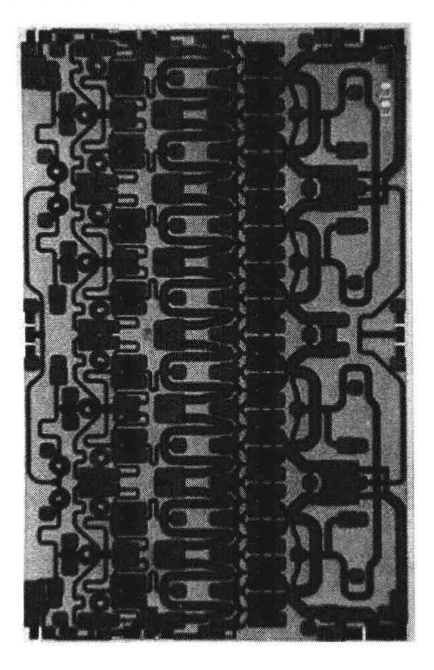


图 15.26 20 W X 波段 HPA 的照片。芯片尺寸为 5 × 8 mm²

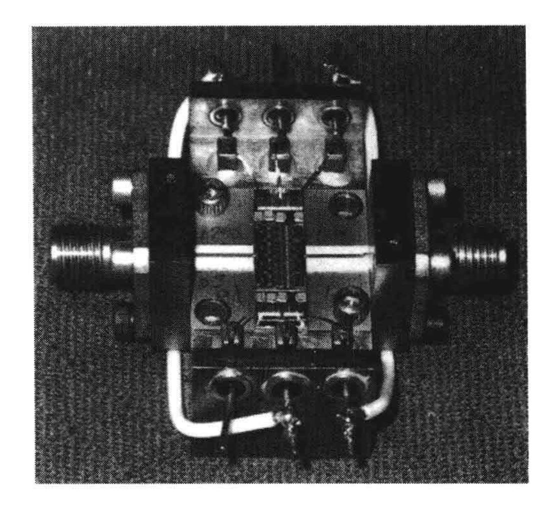


图 15.27 20 W MMIC 放大器的测试点照片

图 15.28 是封装片的输出功率和 PAE 的典型 CW 测试值曲线。输出功率和 PAE 的测试条件是 V_{ds} = 10 V、P_{in} = 18 dBm，基底温度为 25℃。在 8.0 ~ 10.0 GHz 频率范围内，放大器的输出功率优于 43 dBm，增益为 25 dB，PAE 优于 33%。在 7.8 ~ 10.5 GHz 频率范围内，输出功率和 PAE 分别优于 16 W 和 27%。

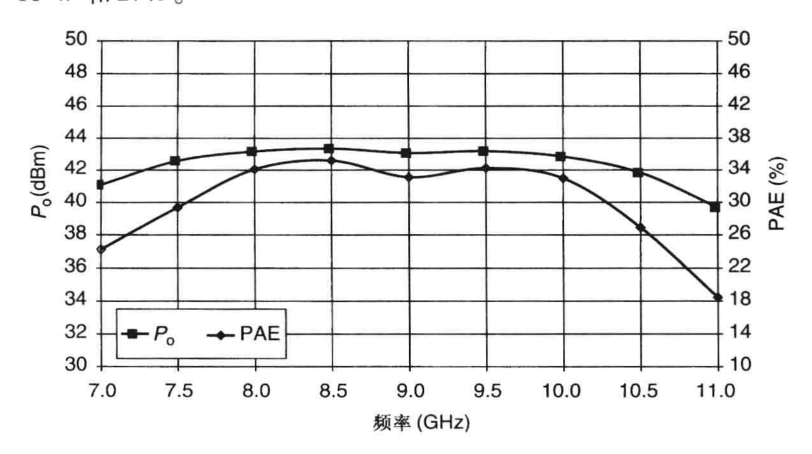


图 15.28 在 V_{ds} = 10 V、P_{in} = 18 dBm 下，输出功率和功率附加效率与频率的关系

15.4.7 高效率 PA

图 15.29 所示是采用 MESFET 技术设计的单级 15 W MMIC 功率放大器。该 C 波段放大器采用 28 mm 栅宽，输入匹配到 25 Ω，输出匹配到系统阻抗[56]。$V_{ds}=10$ V 时，输出功率和 PAE 的典型测得值如图 15.30 所示。电路的优化采用第 9 章讲述的 Taguchi 技术。测试时的基底温度为 25℃。在 4.7 ~ 5.5 GHz 频率范围内，放大器的输出功率优于 14 W，PAE 优于 55%。在窄带范围内，PAE 接近于 60%。

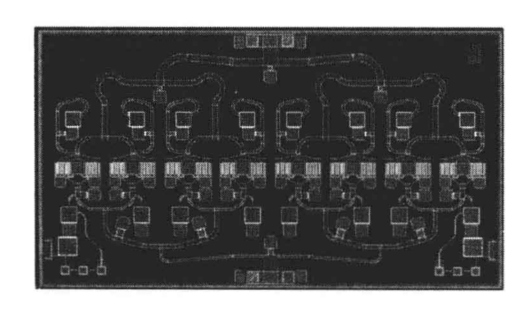


图 15.29 15 W C 波段 HPA 物理版图。芯片尺寸为 3.7 × 6.4 mm²

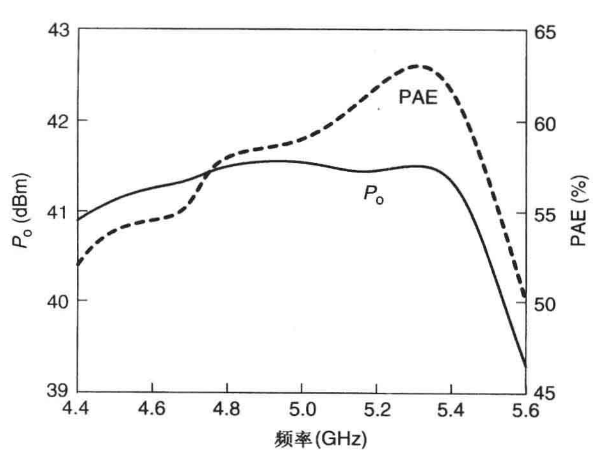


图 15.30 在 $V_{ds}=10$ V、$P_{in}=32$ dBm 下，输出功率和PAE与频率的关系

15.4.8 毫米波 PA

相关文献记录了工作在 27.5 ~ 29.5 GHz 的单片大功率高 PAE 的放大器。该放大器由两级构成，每级又由平衡结构组成。该设计基于 0.15 μm 栅长的 pHEMT。图 15.31 为该放大器的照片[57]。测得的小信号增益、输出功率、PAE 分别是 16 dB、1.6 W、35%。

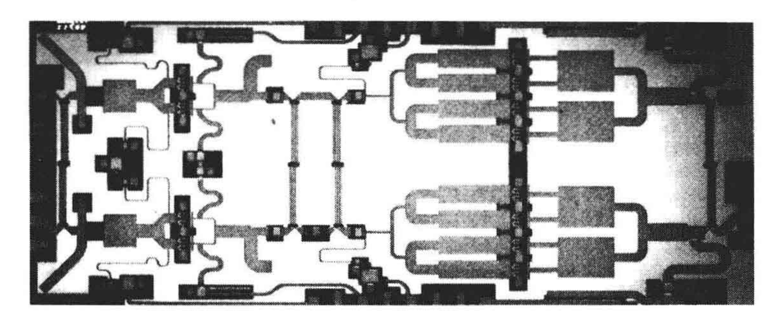


图 15.31 1.6 W Ka 波段 HPA 的照片。芯片尺寸为 6 × 2.5 mm²

表 15.4 比较了一些实现的不同频段对应的最大功率。为了进一步提高功率，需要功率合成多个 MMIC。依赖于频率，可以通过封装层合成或采用非常低损耗的波导合成，或者采用第 19 章将要讲到的准光学。

表 15.4 窄带 GaAs MMIC 功率放大器的特性总结

频率(GHz)	功率	级数	增益(dB)	PAE(%)	器件	参考
2.1 ~ 2.2	50	2	21	50	pHEMT	54
8 ~ 10	20	3	25	33	MESFET	55
12.5 ~ 14.5	7	3	18	27	MESFET	48
29 ~ 31	4	3	20	25	pHEMT	58
42 ~ 46	2.8	2	17	24	pHEMT	59
95	0.427	2	15	19	InP pHEMT	60

15.4.9 无线功率放大器设计实例

这里提供的例子是 GSM 功率放大器(PA)，其典型性能指标如下：

频率范围	880 ~ 915 MHz
功率增益	30 dB
输出功率	3 W
PAE	50%
输入 VSWR	2:1
供电电压	3.5 V
控制电流	5 mA@2.7 V

选用基于单片技术的 3 μm 宽的发射极 HBT 来设计该放大器。在功率放大器上，HBT 作为 MESFET 的替代品已被接受。HBT 相比 MESFET 功率放大器有很多优点。HBT 功率放大器的单电源供电使得放大器整体设计的复杂度降低。HBT 功率放大器能够容纳非常高的功率密度，相比 MESFET 功率放大器，减小了芯片的整体尺寸和成本。但是，HBT 的热设计比 MESFET 的热设计更为重要。在设计 HBT 功率放大器时，必须非常小心过热现象。设计 HBT 功率放大器的过程可以分为两个重要部分——电气设计和热设计。

电气设计

为了保持器件工作电流密度在 0.1 ~ 0.2 mA/μm^2，必须合理设计输出级的负载线和工作类型。通常，第一级偏置在 A 类，电流密度为 0.1 mA/μm^2，但是最后两级偏置在深 AB 类和 B 类，导致大约 0.008 mA/μm^2 的静态电流密度。为了获得最小单元热阻，可以利用厚发射极金属，以及合理放置通孔。在 RF 功率下，输出级的工作电流密度设计为 0.4 mA/μm^2。输出级的尺寸是 11 880 μm^2，这要求 6 个并联臂，每个臂有 11 单元，每个单元由两个指组成，总的面积是 $2\times3\times30=180$ μm^2。为了满足目标增益指标，该功率放大器要求有三级。后两级的器件尺寸比为6.6:1，前两级的器件尺寸比是 5:1。输出级的基波负载由并联 RC 表示，大约是 2 Ω 和 −26 pF。第二级的负载阻抗约是 13 Ω 和 −3.9 pF。第一级的负载阻抗比第二级的负载阻抗更容易匹配，大约是 65 Ω 和小于 −1 pF 的电容。

输出匹配由输出键合线和串联的封装电感构成。封装电感是 80 mil 长、50 Ω 的传输线段，后面跟随两个并联高 Q 值的 10 pF 相邻电容，等效一个并联的 20 pF 电容。采用 600 mil 长的 50 Ω 传输线段，使得第二级的 3 pF 输出电容超过 20 pF。传输线可以由在标准的 FR-4 介质板敷 1 盎司的铜线构成。

集电极偏置通过一个 λ/4 传输线可以馈入输出级。该 λ/4 传输线作为二次谐波短路节或者一个低 DC 电阻的 18 nH 扼流圈。第二级的负载阻抗由第三级的并联输入电容和并联电感组成。并联电感由一系列的平行键合线构成，直接连至第二级的集电极。第二级后面跟随一个大电容

值的 RF 旁路电容。通过该低阻抗点，馈入第二级的集电极偏置。和末级容性输入并联的感性偏置支路，构成一个稍微偏移频带中心频率的并联谐振。二级和三级间的级间匹配是频率调谐的，对频率非常敏感，但是为了实现简单的紧凑版图，要求使用非片上电感。第一级和第二级的级间匹配更加宽松。可以使用并联的传输线或者连接到第一级集电极的并联电感来构成。第一级的偏置通过该线上的通路提供，如图 15.32 的原理图所示。所有的三级器件有一个并联的反馈电阻，以提高稳定性。

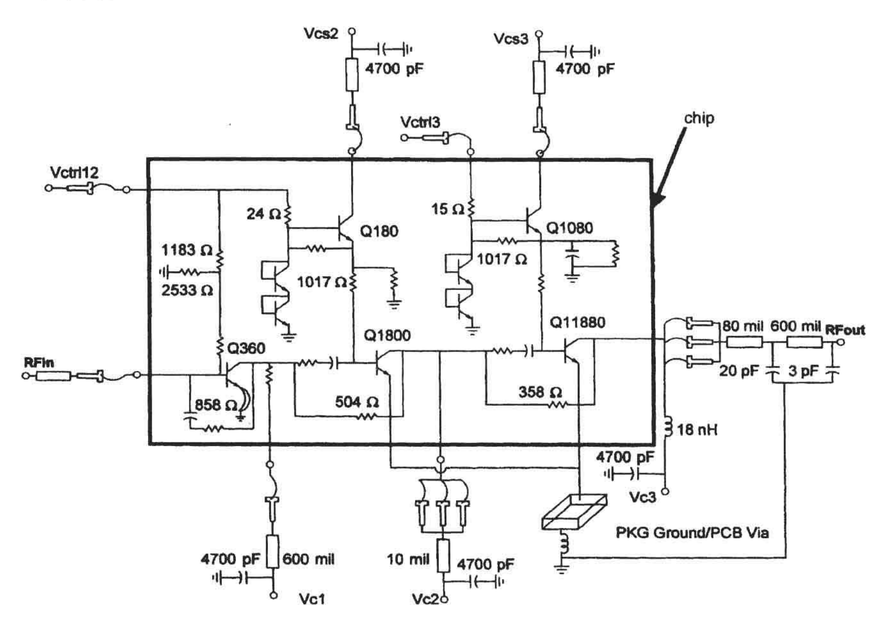


图 15.32　手持端 GSM 功率放大器的原理图。考虑接地效应的封装，以实现最大性能和稳定性

热设计的考虑

当设计 HBT PA 时，必须解决两个重要的热学问题。第一个问题是镇流。当大量的 HBT 单元（例如 2 指 $3\ \mu m \times 30\ \mu m = 180\ \mu m^2$）联合组成一个输出级，以实现所需的目标功率，单元间的微小变化可能引起工作电流的扭曲。GaAs HBT 有正的温度系数，这意味着一个 HBT 单元随着温度的升高，将流过更多的电流，而这会进一步提升工作结温。由 HBT 单元间的微小变化引起的电流扭曲，导致一些单元比其相邻单元流过更多电流。最终，这些单元流过电流趋于超额，达到一定结温，导致性能严重的恶化，缩短器件寿命，甚至结的灾难性损坏。避免该情况的简单方法是对基极和发射极镇流。镇流涉及在每个单元的发射极或者基极偏置电路上放置一个小电阻，以避免电流扭曲。当整列中“热”的 HBT 单元开始比周围单元流过稍微多的电流时，镇流电阻上的电压会增加，而这又会减小提供给该电流扭曲单元基极和发射极间的电压。这破坏了单元里正的热反馈。在 HBT PA 的输出阵列，将允许分布一个偶数的加热，因为其流过的电流低于工作时电流。

HBT PA 热设计的另一个重要方面是最大电流密度。因为 HBT 功率放大器不像 MESFET PA 那样限制电流，所以通过合理选择负载线和偏置电流，它们的工作电流密度（和这样的结温）可以设计得非常大。为了保持单元结温低于 150℃，必须小心设计 HBT PA 的工作电流密度。这依赖于工艺和版图的特殊系数，例如发射极金属厚度、晶圆厚度、过孔位置、单元间距、发射极尺寸。过高的结温可能导致工作寿命的减小、RF 性能的降低或者破坏性的损坏。

背面的过孔利于减小 PA 末级的有效热阻，因为其将发射极的热量传导到芯片的背部。

HBT PA 的热阻大约是 18℃/W。输出级版图的对称有利于提升稳定性、热一致性和整体放大器的功率增益。图 15.33 为该放大器例子的版图。该 HBT PA 性能的典型测量值如图 15.34 所示。在35.5 dBm的输出功率、30 dB 增益下，功率附加效率的峰值是 54%。

在这一节概述了 MMIC 放大器的性能，其他的各种 MMIC 放大器已经在之前的章节讨论过，第 14 章讲述了高压 MMIC 功率放大器。

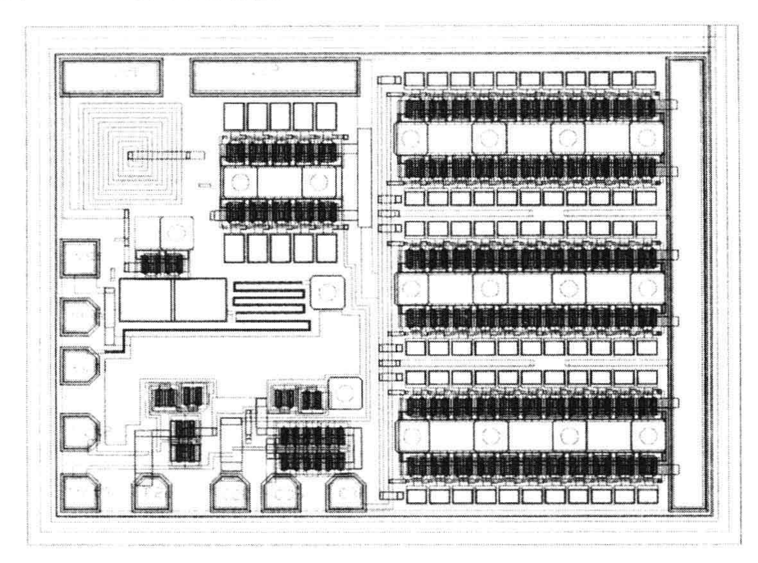


图 15.33 GSM 功率放大器的芯片版图

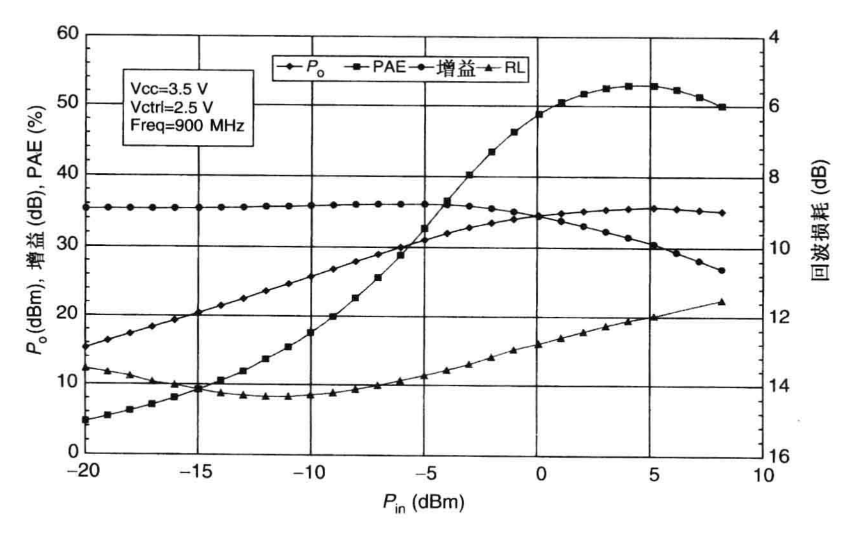


图 15.34 GSM 功率放大器测得的性能曲线

15.5 CMOS 制造

CMOS 集成电路制作起于薄的硅晶圆(6 ~ 12 in)，即所知的基底。下面讨论通常使用的n 型或 n 阱 CMOS 制造工艺[61~63]的显著特点。分别将晶圆掺杂磷(施主原子)或硼(受主原子)来实现 n 型或 p 型晶圆。为了实现 n 沟道 MOSFET 或 NMOS，要使用 p 型晶圆。n 阱 CMOS 制造的基

本步骤如图 15.35 所示。工艺开始于在晶圆/基底上外延生长 p 型层。该层使得高纯度硅厚度可控(1 ~ 20 μm)。下一步是注入离子形成 n 阱。接下来是生长一层 SiO_2，覆盖 Si_3N_4来定义有源器件区域。接着在有源器件区域外面通过 p^+场注入(所知的沟道截断注入)来隔离有源器件。在沟道截断注入之后，在没有覆盖 Si_3N_4的区域生产出一层厚的场氧化物(FOX)。接着去除 SiO_2和 Si_3N_4层。然后在有源器件区域生产一个薄的栅氧化物(≅80 ~ 200 Å)。

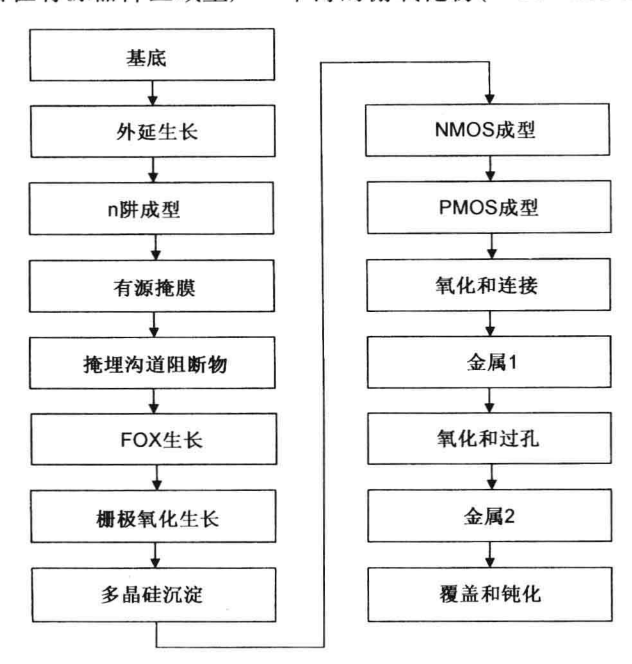


图 15.35 n 阱 CMOS 工艺的基本步骤

下一步，沉积一层多晶硅以定义晶体管的栅极、电阻的连接线、电容电极、内部连接线。去除 n 型器件的漏极和源极位置的氧化物，然后通过扩散施主原子或者注入离子来制作供连接的 n^+区域。类似地，为 p 型器件引入受主原子。接着沉积厚的氧化物层及金属层 1 和金属层 2。通过刻蚀过孔来实现多晶硅和各种金属之间的连接。工艺的最后，通过另一 SiO_2层钝化晶圆，同时留出连接键合线使用的焊盘区域。

可以有多种不同的方法来实现集总元件和无源元件，如电阻、电容、电感。电阻包括阱电阻、扩散电阻、多晶硅和薄膜。电容有多晶-多晶、金属-多晶、金属-硅、硅-硅。电感包括金属 1 -金属 2 和其他的多层金属。

通过连接阱区域和连接源漏的 n 沟道或 p 沟道区域，形成阱和扩散电阻。阱区域的片电阻率在 10 kΩ/□数量级，扩散电阻的电阻率在100 ~ 200 Ω/□。多晶硅栅层也用做电阻。CMOS 制造的多晶硅层的片电阻率在 20 ~ 80 Ω/□。在 SiO_2 层沉积金属镍和钽制作薄膜电阻。依赖与其厚度和混合度，片电阻率的范围是 100 ~ 1000 Ω/□。

在两个多晶硅电极间夹一层 SiO_2，构成了多晶 - 多晶电容。电容的误差范围是 10% ~ 20%。多晶硅-金属电容可以调整多晶硅和金属 1 电极间的 SiO_2厚度。该电容特性类似于多晶硅-多晶硅电容。图 15.36 是典型 CMOS 电路的横截面图。

对于 RF 应用来说，电感也是 CMOS 标准工艺的一部分。采用多层可用金属层实现电感，以提高品质因数。近年来，基于 CMOS 技术的硅电路具有显著的优势，同微波和毫米波频率范围的 MMIC 技术相竞争。

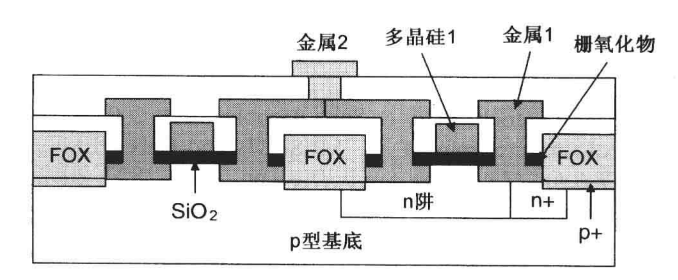


图 15.36　完成的 CMOS 器件截面图

参考文献

1. J. V. Dilorenzo and D. D. Khandelwal (Eds.), *GaAs FET Principles and Technology*, Artech House, Norwood, MA, 1982.
2. R. S. Pengelly, *Microwave Field-Effect Transistors—Theory, Design and Applications*, John Wiley & Sons, Hoboken, NJ, 1982.
3. R. Soares, J. Graffeuil, and J. Obregon (Eds.), *Applications of GaAs MESFETs*, Artech House, Norwood, MA, 1983.
4. R. E. Williams, *Gallium Arsenide Processing Techniques*, Artech House, Norwood, MA, 1984.
5. R. A. Pucel (Ed.), *Monolithic Microwave Integrated Circuits*, IEEE Press, Piscataway, NJ, 1985.
6. D. K. Ferry (Ed.), *Gallium Arsenide Technology*, Howard Sams, Indianapolis, IN, 1985.
7. N. G. Einspruch and W. R. Wisseman, *GaAs Microelectronics*, Academic Press, San Diego, CA, 1985.
8. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 15.
9. R. Soares (Ed.), *GaAs MESFET Circuit Design*, Artech House, Norwood, MA, 1989.
10. J. Mun (Ed.), *GaAs Integrated Circuits: Design and Technology*, Macmillan, New York, 1988.
11. P. H. Ladbrooke, *MMIC Design: GaAs FETs and HEMTs*, Artech House, Norwood, MA, 1989.
12. R. Goyal (Ed.), *Monolithic Microwave Integrated Circuits: Technology and Design*, Artech House, Norwood, MA, 1989.
13. F. Ali, I. Bahl, and A. Gupta (Eds.), *Microwave and Millimeter-Wave Heterostructure Transistors and Their Applications*, Artech House, Norwood, MA, 1989.
14. F. Ali and A. Gupta (Eds.), *HEMTs and HBts: Devices, Fabrication and Circuits*, Artech House, Norwood, MA, 1991.
15. D. Fisher and I. Bahl, *Gallium Arsenide IC Applications Handbook*, Academic Press, San Diego, CA, 1995.
16. R. Goyal (Ed.), *High Frequency Analog Integrated Circuit Design*, John Wiley & Sons, Hoboken, NJ, 1995.
17. W. R. Deal et al., Demonstration of a 270-GHz MMIC amplifier using 35-nm InP HEMT technology, *IEEE Microwave Wireless Components Lett*., Vol. 17, pp. 391–393, May 2007.
18. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
19. I. J. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
20. I. J. Bahl, Solid state circuits, in *Electrical Engineering Handbook*, 2nd edition (R. C. Dorf, Ed.), CRC Press, Boca Raton, FL, 1997.

21. I. D. Robertson and I. J. Bahl, Solid state circuits, in *Electrical Engineering Handbook*, 3rd edition (R. C. Dorf, Ed.), CRC Press, Boca Raton, FL, 2006.
22. I. J. Bahl, Monolithic microwave integrated circuits (MMICs), in *Encyclopedia of RF and Microwave Engineering*, John Wiley & Sons, Hoboken, NJ, 2005.
23. W. L. Pribble et al., Applications of SiC MESFETs and GaN HEMTs in power amplifier design, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1819–1822, 2002.
24. R. S. Pengelly, Improving the linearity and efficiency of RF power amplifiers, *High Frequency Electronics*, pp. 26–34, September 2002.
25. J. M. Golio, *Microwave MESFETs and HEMTs*, Artech House, Norwood, MA, 1991.
26. H. Wang et al., A 155-GHz monolithic InP-based HEMT amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1275–1278, 1997.
27. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
28. M. B. Steer, J. W. Bandler, and C. M. Snowden, Computer-aided design of RF and microwave circuits and systems, *IEEE Trans. Microwave Theory Tech*., 50th Anniversary Issue, Vol. 50, pp. 996–1005, March 2002.
29. U. L. Rohde et al., MMIC workstations for the 1990s, *Microwave J*., State of the Art Reference, Vol. 32, pp. 51–77, 1989.
30. R. Anholt, *Electrical and Thermal Characterization of MESFETs, HEMTs and HBTs*, Artech House, Norwood, MA, 1995.
31. Special Issue on Process-Oriented Microwave CAD and Modeling, *IEEE Trans. Microwave Theory Tech*., Vol. 40, July 1992.
32. Special Issue on Computer-Aided Design of Nonlinear Microwave Circuits, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng*., Vol. 6, January 1996.
33. Special Issue on Optimization-Oriented Microwave Computer-Aided Design, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng*., Vol. 7, January 1997.
34. F. Bonani et al., Physics-based large-signal sensitivity analysis of microwave circuits using technological parametric sensitivity from multidimensional semiconductor device model, *IEEE Trans. Microwave Theory Tech*., Vol. 45, pp. 846–854, May 1997.
35. D. Estreich, Nonlinear modeling for MMICs, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig*., pp. 93–96, 1987.
36. R. J. Trew, MESFET models for microwave CAD applications, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng*., Vol. 1, pp. 143–158, April 1991.
37. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993.
38. E. C. Niehenke, R. A Pucel, and I. J. Bahl, Microwave and millimeter-wave integrated circuits, *IEEE Trans. Microwave Theory Tech*., 50th Anniversary Issue, Vol. 50, pp. 846–857, March 2002.
39. T. Itoh (Ed.), *Numerical Techniques for Microwave and Millimeter-Wave Passive Structures*, John Wiley & Sons, Hoboken, NJ, 1989.
40. R. Sorrentino (Ed.), *Numerical Methods for Passive Microwave and Millimeter-Wave Structures*, John Wiley & Sons, Hoboken, NJ, 1989.
41. Special Issue on Engineering Applications of Electromagnetic Field Solvers, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng*., Vol. 5, September 1995.
42. Special Issue on Automated Circuit Design Using Electromagnetic Simulators, *IEEE Trans. Microwave Theory Tech*., Vol. 45, November 1997.
43. A. Conrad and J. Browne, EM tools enhance simulation accuracy, *Microwaves RF*, Vol. 36, pp. 133–136, November 1997.
44. D. Swanson and W. Hoefer, *Electromagnetic Simulators*, Artech House, Norwood, MA, 2003.
45. P. M. Smith, Status of InP HEMT technology for microwave receiver applications, *IEEE Trans. Microwave Theory Tech*., Vol. 44, pp. 2328–2333, December 1996.

46. I. J. Bahl, 10W CW broadband balanced limiter/LNA fabricated using MSAG MESFET process, *Int. J. RF Microwave Computer-Aided Eng*., Vol. 13, pp. 118–127, March 2003.
47. J. Looney, D. Conway, and I. Bahl, An examination of recovery time of an integrated limiter/LNA, *IEEE Microwave Mag*., Vol. 5, pp. 83–86, March 2004.
48. I. Bahl, Ku-band MMIC power amplifiers developed using MSAG MESFET technology, *Microwave J*., Vol. 49, pp. 56–82, February 2006.
49. I. J. Bahl et al., Low loss multilayer microstrip line for monolithic microwave integrated circuits applications, *Int. J RF Microwave Computer-Aided Eng*., Vol. 8, pp. 441–454, November 1998.
50. I. J. Bahl, Design of a generic 2.5W, 60 percent bandwidth, C-band MMIC amplifier, *Microwave J*., Vol. 45, pp. 54–70, August 2002.
51. E. L. Griffin, X-band GaAs MMIC size reduction and integration, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 709–712, 2000.
52. I. J. Bahl, 0.7–2.7GHz 12-watt power amplifier MMIC developed using MLP technology, *IEEE Trans. Microwave Theory Tech*., Vol. 55, pp. 222–229, February 2007.
53. I. J. Bahl, 2–8GHz 8-watt power amplifier MMIC developed using MSAG MESFET technology, *IEEE Microwave Wireless Comp. Lett*., Vol. 18, pp. 52–54, January 2008.
54. M. Akkul et al., 50 Watt MMIC power amplifier design for 2GHz applications, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1355–1358, 2004.
55. D. Conway, M. Fowler, and J. Redus, New process enables wideband high-power GHz amplifiers to deliver up to 20W, *Defense Electron*., pp. 8–11, February 2006.
56. W. L. Pribble and E. L. Griffin, An ion-implanted 13 watt C-band MMIC with 60% peak power added efficiency, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig*., pp. 25–28, 1996.
57. M. K. Siddiqui et al., A high-power and high-efficiency monolithic power amplifier at 28GHz for LMDS applications, *IEEE Trans. Microwave Theory Tech*., Vol. 46, pp. 2226–2232, December 1998.
58. K. Kong et al., Ka-band MMIC power amplifier (4W at 30GHz) with record compact size, *IEEE Compound Semiconductor IC Symp. Dig*., pp. 232–235, 2005.
59. M. V. Aust et al., A 2.8-W Q-band high-efficiency power amplifier, *IEEE J. Solid State Circuits*, Vol. 41, pp. 2241–2247, October 2006.
60. Y. C. Chen et al., A 95-GHz InP HEMT MMIC amplifier with 427-mW power output, *IEEE Microwave Guided Wave Lett*., Vol. 8, pp. 399–401, November 1998.
61. R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE Press, Piscataway, NJ, 1997.
62. B. Kang, S. Lee, and J. Park, *CMOS Layout Design*, MyCAD, Sunnyvale, CA, 2000.
63. P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd edition, John Wiley & Sons, Hoboken, NJ, 1993.

习题

15.1 定性和定量地比较在混合 MIC 放大器应用的微带线、CPW 和集总元件。

15.2 定性地比较混合和单片 MIC 技术。

15.3 设计 InP 基底上工作在 300 GHz 的单片放大器。确定基底厚度、最大微带导体宽度和金导体厚度。

15.4 采用表 5.1 给定的 S 参数和噪声参数设计一个工作在 5 GHz 的单级 MMIC LNA。基底采用 5 mil 厚的 GaAs。串联和开路节结构采用微带线。设计要求无条件稳定，输出损耗必须大于 15 dB。计算 NF、增益及输入和输出回波损耗。比较 MMIC LNA 同第 14 章习题 14.4 的混合 LNA 的特性。

15.5 定性地比较 GaAs MMIC 和 Si IC 工艺。

15.6 讨论混合和 MMIC 放大器的优点和缺点，以及限制超高功率放大器发展的 3 个主要因素。

15.7 表述单片毫米波单片集成电路与混合集成电路相比的优点。

15.8 (a)列出集成电路中使用的理想基底材料、导体材料、电阻膜、电容电介质膜的基本特性。
(b)比较薄膜电阻和有源层电阻的优缺点。

第16章 热 设 计

低噪声放大器和功率晶体管都有最大的工作沟道温度和结温。超过该温度会缩短晶体管的工作寿命。另外晶体管工作在较低沟道温度时，可以提高其电气性能。沟道温度是功率耗散和热转移的函数。低噪声和小信号器件相比功率器件，有较小的功率耗散。因此在设计功率放大器产品时，消除器件产生的过热是非常重要的。功率放大器的热设计包括两个层面：有源器件和放大器组装。

半导体晶体管的热学建模，可以采用基于 ANSYS 的多元物理软件的数值技术，或采用简单的解析模型，例如晶体管计算热阻（R_{th}）的 Cooke 模型[1]。对于大的 FET/HEMT（栅宽大于 1.5 mm），采用 IR 和液晶技术的测量结果和 Cooke 模型的预测结果高度一致。但是，对于小尺寸的晶体管（栅宽小于 0.6 mm），Cooke 模型对热阻过评估，因为 Cooke 模型没有包括由于填充金属的过孔而产生的额外热耗散和栅指末端的热传递。因此，对于小器件，Cooke 模型似乎对 FET 沟道温度预测过高。基于 FET 结构（指栅栅间距、单栅宽度及 FET 尺寸）和基底特性，以及最大沟道温度，可以计算出热阻，在 16.2 节将详细讨论该方法。

有多种方法可用于功率晶体管/MMIC 芯片的热检测。其中最常用的有

- 红外线影像
- 液晶测量
- 肖特基二极管的电气特征

这些方法利用不同的技术来测量器件有源区域的温度，各种方法的优点和性能的完整讨论见参考文献[2～4]。16.6 节将讨论这些方法的主要特征。

16.1 热力学基础

热传递或热耗散通过传导、对流、辐射而产生。因为固态器件中的热转移主要是通过传导，所以器件必须安置在好的导热槽中，从而将热量传走。首先考虑到芯片/裸片的厚度相对其产热的表面尺寸是很小的。在这种情况下，热量从顶面垂直传递到底面，如图 16.1 所示。顶面和底面的温度差 ΔT 由下式大约给出：

$$\Delta T = T_s - T_a = \frac{Ph}{K_{th}A} = \rho\frac{Ph}{A} \tag{16.1}$$

其中 P 是耗散功率，h 是裸片厚度，K_{th} 是裸片/半导体材料的热导率，ρ 是特定的热阻，A 是裸片的面积（$A = W \times L$）。此处，T_s 是表面或沟道温度或结温，T_a 是环境或房间或导热槽温度。因此，要获得较小的 ΔT，则要求芯片的面积大、高度小、材料的热导率大。表 16.1 给出了各种陶瓷和半导体材料的热导率。为了对比，同时也给出了铜的热导率。大多数的半导体热导率依赖于温度。温度越高，其热导率就越低。

式（16.1）也可以表示为

$$\Delta T = PR_{th}\,^{\circ}\mathrm{C} \tag{16.2}$$

其中

$$R_{\rm th}=\frac{h}{K_{\rm th}WL}\ {}^{\circ}{\rm C/W} \tag{16.3}$$

类比电阻，R_{th}定义为热阻。当ΔT用℃表示时，P、h、A和K_{th}的单位分别是 W、m、m^2、W/m·℃，R_{th}用℃/W 表示。h、A 和K_{th}的单位分别为 cm、cm^2、W/cm·℃。

表 16.1　陶瓷和半导体的典型热导率

材料	K_{th}(W/m·℃)
铝	37
AlN	230
BeO	250
GaAs	46
GaN	130
Si	145
SiC	350
金刚石	689
铜	393

当产热面积宽度和芯片厚度可以比较时，除有垂直热传递，也有侧向热传递，如图 16.2 所示。做一阶近似，认为表面流出的热量以 45°的热传递角流出。这意味着表面产生的热量(假设没有其他主要是由于传导的热源和热流动)流向延伸面积比产热面积大的绝缘材料，因为绝缘材料靠近地平面。而该地平面表现为导热槽。在这种情况下，热传递发生在四周，式(16.3)改写为

$$R_{\rm th}=\frac{h}{K_{\rm th}(W+2h)(L+2h)} \tag{16.4}$$

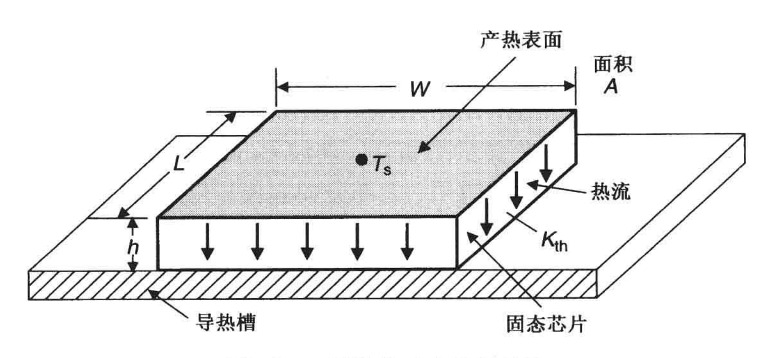


图 16.1　裸片的垂直热流结构

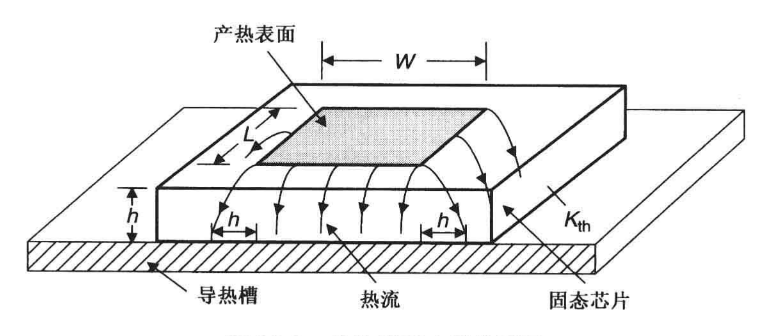


图 16.2　从热源流出的热流场

例 16.1　某 GaAs 芯片的厚度是 75 μm，晶体管的面积是 100 × 100 μm^2。当热导率是 46 W/m·℃时，确定芯片面积是(a)100 × 100 μm^2 和(b)300 × 300 μm^2 的热阻。

解　(a)此时，

$$W=100\ \mu\text{m}$$

$$L=100\ \mu\text{m}$$

$$R_{\rm th}=\frac{75\times10^{-6}}{46\times100\times10^{-6}\times100\times10^{-6}}=163\ {}^{\circ}{\rm C/W}$$

(b)此时，

$$W + 2h = 100 + 150 = 250\ \mu\text{m}$$
$$L + 2h = 100 + 150 = 250\ \mu\text{m}$$
$$R_{\text{th}} = \frac{75 \times 10^{-6}}{46 \times 250 \times 10^{-6} \times 250 \times 10^{-6}} = 26.1\ ^{\circ}\text{C/W}$$

因此，芯片面积大的晶体管由于高的热传递而有较小的热阻。

16.2 晶体管热设计

在设计器件时，功率晶体管的结温和沟道温度是一个很重要的参数。因为它不仅仅影响器件的性能，而且高的沟道温度会恶化稳定性。因此，使得器件的热阻尽可能小是很关键的。

对晶体管工作状态是沟道温度的函数的精确认识，决定了器件的性能。因为 DC 功率耗散在器件的导电沟道，因此沟道温度上升。由于晶格散射，增高的沟道温度降低了电子的移动和饱和速率。结果导致寄生电阻的增加，沟道电流减小。同时，栅漏的泄漏电流对温度也很敏感，随着温度的增加而增加。这些特性叠加在一起，导致晶体管随着温度的增加，其 RF 性能大大降低。

功率晶体管的热设计同电气设计同样重要。必须小心设计功率器件，最小化热阻以优化性能，同时增加稳定性。影响 FET/HEMT 热阻的最主要参数是基底厚度、栅栅间距和作为热源的有效栅长。

16.2.1 Cooke 模型

半导体器件的热建模可以采用简单的解析法，例如 Cooke 模型。Cooke 模型的热流和电场相似。FET 中的热源主要在栅极下的沟道中，大部分的漏源压降加于此处。沟道升高的温度从热阻(热导的倒数)计算得到。由于这些热流场数据和电场之间有数学上的相似性[5,6]，因此热阻可以通过计算电容得到。表 16.2 总结了热流场和电场之间数据的类比[7,8]。对于该结构，C 是电容值，G_{th}是热导，ε 是介电常数，K_{th}是热导率，可以有

$$\frac{C}{G_{\text{th}}} = \frac{\varepsilon}{K_{\text{th}}} \tag{16.5}$$

此时，热阻 $R_{\text{th}} = 1/G_{\text{th}}$，可以由下式计算得到：

$$R_{\text{th}} = \frac{\varepsilon}{C K_{\text{th}}} \tag{16.6}$$

表 16.2 热流场和电场的类比

热流场	电场
1. 温度，T(℃)	电势，V(V)
2. 温度梯度，T_g(℃/m)	电场，E(V/m)
3. 热流率，Q(W)	磁通，ϕ(库伦)
4. 热流密度，q(W/m^2)	磁通密度，D(库伦/m^2)
5. 热导率，K(W/m·℃)	介电常数，ε(库伦/V)
6. 加热密度，ρ_h(W/m^3)	电荷密度，ρ(库伦/m^3)
7. $q = -K\nabla T$	$D = -\varepsilon \nabla V$
8. $\nabla \cdot q = \rho_h$	$\nabla \cdot D = \rho$
9. $\nabla^2 T = 0$	$\nabla^2 V = 0$

下面考虑单栅和多栅 FET 结构。当电流开始流过器件时，由于功率耗散，FET/HEMT 在栅极下产生热量，BJT 在发射极下产生热量。有源区域成为热源，芯片背面(例如，地平面和封装)成为导热槽。因此，温度最大值和最小值分别产生在顶面和底面。由于热源和导热槽之间的热梯度，产生热传递。大的热耗散面积和薄的基底会导致沟道温度的上升较慢。

在单热源下，热传递垂直产生，或呈边缘45°，如图16.3所示。然而，在表面有多热源的条件下，边缘热传递依赖于热源的间距。如图16.4所示，因为热源间的相互加热，栅栅间距小于基底厚度导致高的沟道温度。

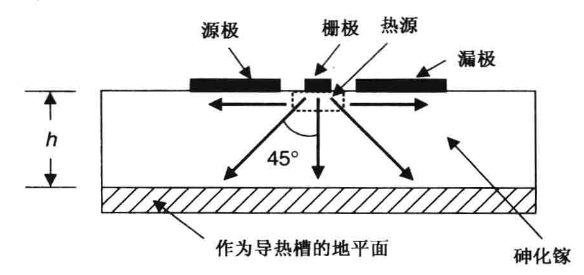


图16.3 单栅 FET/HEMT 热流场

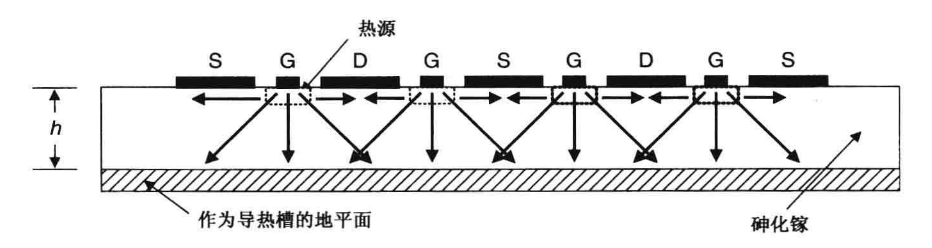


图16.4 多栅 FET/HEMT 热流场。对于近距离的热源(例如栅极)，热流在到达导热槽之前将会随机结合

16.2.2 单栅热模型

单栅 FET 热模型是基于微带电容的 Cohn 公式[9]计算的。热阻由下式给出：

$$R_{\mathrm{th}} = \frac{1}{2K_{\mathrm{th}}W_{\mathrm{g}}}\frac{K(k)}{K(k')} \tag{16.7}$$

其中 W_g 是单位栅宽，K_{th}是基底材料的热导率，K 是第一类完整椭圆积分：

$$k = \mathrm{sech}(\pi L'/4h)$$

$$k' = \tanh(\pi L'/4h),\ L' = \text{有效栅长},\ h = \text{裸片厚度}$$

在第6章，式(6.7)给出了 $K(k)/K(k')$ 的简化表达式。

16.2.3 多栅热模型

多栅热模型可以通过分析多栅 FET 热流而导出，如图16.5所示，类比于多条耦合的传输线[10]。由 Cooke 模型给出的热阻表达式[1]如下：

$$R_{\mathrm{th}} = \frac{n/(ZK_{\mathrm{th}})}{\pi\left[\frac{2(n-1)}{\ell n\,(M)} - \frac{(n-2)}{\ell n\,(P)}\right]}\ (^{\circ}\mathrm{C/W}) \tag{16.8}$$

$$P = 2\sqrt{\frac{1+\mathrm{sech}\left(\frac{\pi L'}{4h}\right)}{1-\mathrm{sech}\left(\frac{\pi L'}{4h}\right)}} \tag{16.9a}$$

$$M = \frac{2\left[\cosh\pi\left(\frac{S+L'}{4h}\right)/\cosh\pi\left(\frac{S-L'}{4h}\right)\right]^{1/2}+1}{\left[\cosh\pi\left(\frac{S+L'}{4h}\right)/\cosh\pi\left(\frac{S-L'}{4h}\right)\right]^{1/2}-1} \tag{16.9b}$$

其中 GaAs 和 SiC 的热导率(K_{th})同温度的函数关系由下式给出：

$$K_{th}(T) = 1.08T^{-0.26}(\text{W/cm}\cdot{}^{\circ}\text{C}) \quad \text{GaAs} \tag{16.10a}$$

$$K_{th}(T) = 3.47\left[\frac{300}{273+T}\right]^{1.5}(\text{W/cm}\cdot{}^{\circ}\text{C}) \quad \text{SiC} \tag{16.10b}$$

各个参数定义如下：L' = 有效栅长，单位为 μm；S = 栅栅间距，单位为 μm；h = GaAs 厚度，单位为 μm；Z = 总的栅宽，单位为 cm；n = 栅指个数；T = 最大沟道温度，单位为℃。

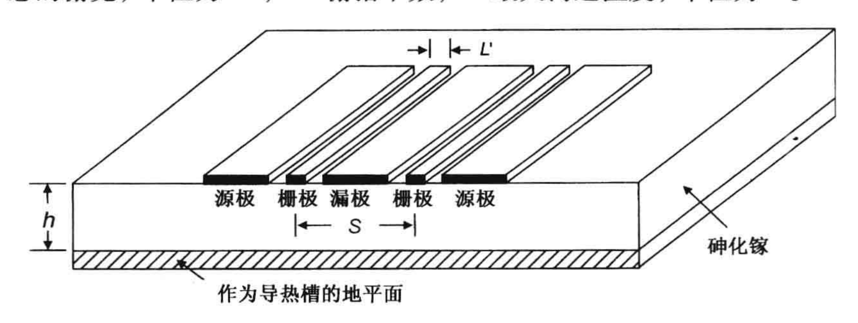


图 16.5 多栅 FET 与多金属微带线的类比

采用上面的公式，在三种栅栅间距下，计算一个 2.5 mm、最大工作沟道温度 150℃ 的 FET 的热阻和栅长的函数关系。其他的参数 $n=10$、$h=75$，单位栅宽 $Z/n = W_g = 250$ μm。热阻同栅长的变化如图 16.6 所示。同所预料的一样，热阻随着栅长的增加而减小。0.25 μm 栅长、20 μm 栅栅间距的器件的热阻是 43.5℃/W。将栅长增加至 2 μm，使得热阻减小到大约 35.3℃/W。随着栅指个数的增加，热阻也增加，如图 16.7 所示。此时，栅长是 1 μm，栅栅间距是 20 μm，栅宽保持在为 2.5 mm。在保持栅宽为 2.5 mm 时，单位栅宽随着栅指个数的增加而减小。将栅指个数从 1 增加到 16，导致热阻从 25.8℃/W 增加至约 38.7℃/W，大约增加了 50%。这意味着一组近距离的热源相比隔离的热源，R_{th}大约大 50%。

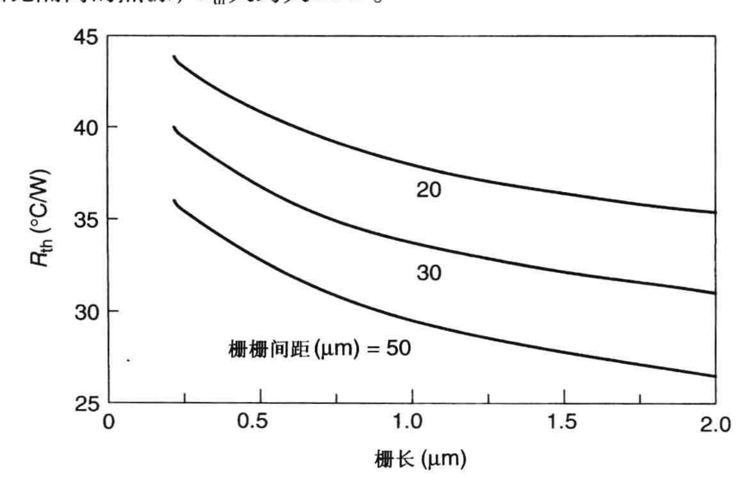


图 16.6 对于栅指个数为 10、最大沟道温度为 150℃ 的 2.5 mm GaAs MESFET，在不同的栅栅间距下，热阻同栅长的关系曲线

考虑一个 100 μm 单位栅宽、24 μm 栅栅间距的 FET。根据 Cooke 模型，FET 的栅指从 1 增至 2、2 到 4、4 到 18 和 18 到 144，在其单位栅宽下，R_{th}的增量分别是 19%、14%、9% 和 2%。

这意味着对应有多栅指的大尺寸晶体管，R_{th}的最大增量产生在前10～12根。因此，采用小尺寸的FET，在FET之间采用适当的物理间隔，有助于减小R_{th}的值。

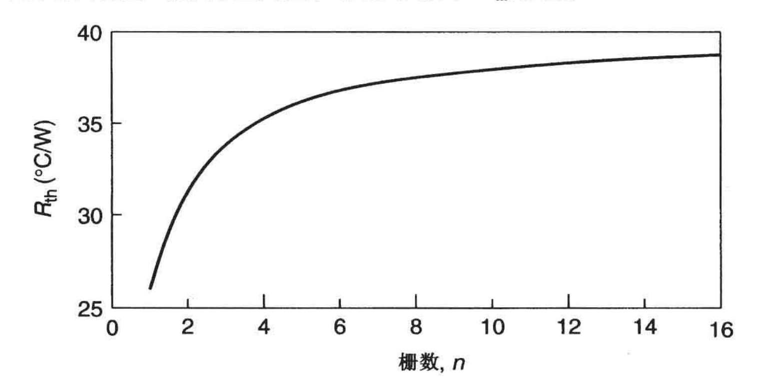


图16.7 对于栅长为1 μm、最大沟道温度为150℃的2.5 mm GaAs MESFET，热阻同栅数的关系曲线

对于器件底面(载体)和顶面(沟道)的温度差ΔT，采用$\Delta T = R_{th} \times P_D$计算，其中$P_D$是器件网络或整体的耗散功率。对于这些计算，基于最大允许的150℃结温，选择GaAs的热导率。下一步是计算在RF驱动下，器件的网络耗散功率。网络耗散功率由传输给器件的功率和从器件传输出去的功率计算得到。

如果T_C是芯片的背部温度，当RF工作时，沟道或结温T_{ch}由下式给出：

$$T_{ch} = P_D R_{th} + T_C$$

或者

$$\Delta T = T_{ch} - T_C = P_D R_{th} \tag{16.11}$$

$$\begin{aligned} T_{ch} &= [P_{DC} + P_{in}(RF) - P_o(RF)]R_{th} + T_C \\ &= [P_{DC}(1 - PAE)]R_{th} + T_C \end{aligned} \tag{16.12}$$

其中$P_D = P_{DC} + P_{in} - P_o$；$P_{DC}$是DC功率，$P_{in}$(RF)是输入的信号功率，$P_o$(RF)是传递到负载的输出功率。

例16.2 单栅GaAs HPA的$P_o = 2$ W，$G = 10$ dB，PAE = 50%，$R_{th} = 35$℃/W。当载体温度是50℃时，求芯片的沟道温度。

解 利用PAE = $P_o(1 - 1/G)/P_{DC}$、$G = 10$ dB = 10、PAE = 50% = 0.5、$P_{in} = 0.2$ W，可得：

$$P_{DC} = P_o(1 - 1/G)/\text{PAE} = 2 \times (1 - 1/10)/0.5 = 3.6\ \text{W}$$

从式(16.12)有

$$T_{ch} = [3.6 + 0.2 - 2] \times 35 + 50 = 113\,^\circ\text{C}$$

16.3 放大器热设计

当功率晶体管或MMIC功率放大器封装后，在裸片和最终用于测试或子系统的安装平台之间存在多个热阻层。这些热阻层，可能是一个裸片的接触薄层或混有环氧树脂的银(Ag)薄层，基于金属板、载体或金属片的封装，介于封装或载体和固定物之间的空气，以及固定板和导热槽。在理论分析器件结温时，必须考虑所有的这些热层。在有些情况下，由于结合物/封装/固定物/导热槽引起的ΔT，可能比裸片本身引起的ΔT还要高。

采用导热槽的功率放大器组装如图 16.8 所示。通过各个热阻，FET 或 MMIC/HMIC 放大器的耗散功率与器件结温、空气或环境温度有关，如图 16.9 所示，由下式可得：

$$P_D = \frac{T_{ch} - T_a}{R_{JC} + R_{CS} + R_{SA}} \tag{16.13}$$

其中，P_D是耗散功率，T_{ch}是结温，T_a是环境温度(通常为 25℃)，R_{JC}、R_{CS}、R_{SA}分别是器件结和载体、载体和导热槽、导热槽和环境之间的热阻。功率、温度、热阻的单位分别是 W、℃、℃/W。R_{JC}包括 GaAs 芯片、裸片的接触物材料、载体。R_{CS}包括封装或固定物和硅脂。因为器件载体必须和导热槽有良好的热接触，通常在封装或载体和导热槽之间使用硅脂填充空隙。这样R_{CS}减小一半。根据式(16.13)，结温可由下式给出：

$$T_{ch} = (R_{JC} + R_{CS} + R_{SA})P_D + T_a \tag{16.14}$$

对于给定的 T_{ch}、R_{JC}、R_{CS}、P_D和 T_a，为了减小 T_{ch}，R_{SA}的值变小显得很重要。因此，在封装功率放大器时，导热槽的设计是关键。在高压 HPA 中，R_{SA}是限制达到非常高功率的主要因素。

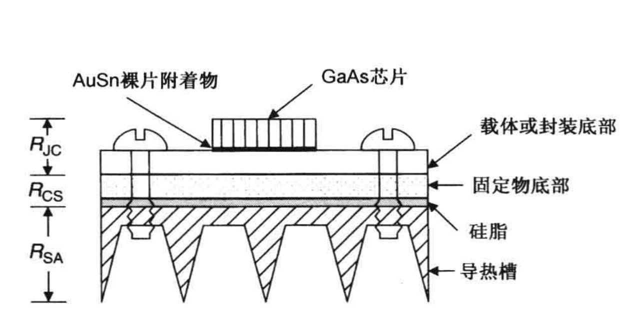


图 16.8　采用导热槽的 MMIC 功率放大器

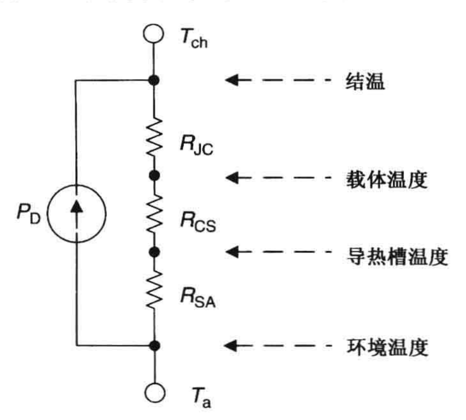


图 16.9　功率放大器装配件的热等效模型

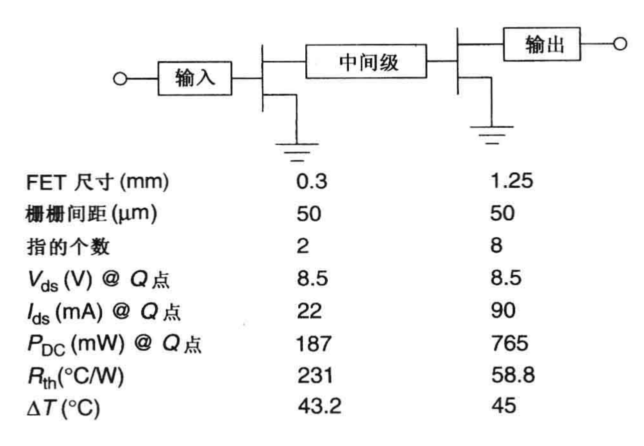
功率放大器芯片通常使用 80-20 的金-锡薄片粘合在载体上，载体材料可能是铜、CuW 或 CuMo，铜有最好的热导率，而 CuW 和 CuMo 相比于 GaAs 和铝有较好的导热系数。通常有较好匹配导热系数的材料，其热导率低，但是其材料加工和金属电镀成本较高。所有的载体和封装都电镀镍和金。以铜为载体的条件下，芯片的尺寸受限，同时铜载体需要厚的镍，这样不会因为导热系数失配而爆裂，以及在焊接温度的条件下，金不会渗入到铜中。

通常使用的金-锡粘合物的热导率是 57 W/m · ℃，而银-环氧树脂材料——Kidd AG-03HTL、Std Ablebond 84-1LMISR4(~Ablebond 8360)和 Ablebond RP-316-1 的热导率分别是 300 W/m · ℃、2.8 W/m · ℃和 10 W/m · ℃。在这些材料中，Kidd AG-03HTL 成为封装有源器件或 MMIC 芯片的最好材料。

例 16.3　考虑一个两级驱动放大器，输入级是 0.3 mm FET，输出级是 1.25 mm FET。基底是 75 μm 的 GaAs，其最大沟道温度假设为 150℃。器件偏置在 Q 点的电流是 72 mA/mm，电压是 8.5 V。计算每个 FET 允许的最大载体温度。

解　用式(16.8) ~ 式(16.10)计算每个器件的热阻。计算得到 0.3 mm 和 1.25 mm FET 的热阻 R_{th}分别是 231℃/W 和 58.8℃/W。在芯片背部，0.3 mm FET 的最大允许载体温度是 150 - 231 × 0.187 = 106.8℃，对于 1.25 mm FET，其最大允许载体温度是 150 - 58.8 × 0.765 = 105℃。

图 16.10 是该两级放大器的热计算总结。



FET 尺寸(mm)	0.3	1.25
栅栅间距(μm)	50	50
指的个数	2	8
V_{ds}(V) @ Q点	8.5	8.5
I_{ds}(mA) @ Q点	22	90
P_{DC}(mW) @ Q点	187	765
R_{th}(°C/W)	231	58.8
ΔT(°C)	43.2	45

图 16.10　两级放大器的热分析。基底是厚 75 μm 的 GaAs，最大沟道温度为 150℃

例 16.4　下面，考虑三级 12 W 功率放大器，输入级是两个 0.94 mm FET，中间级是 1.6675 mm FET，输出级是 2.625 mm FET，每个 FET 是隔离的，基底是 75 μm 的 GaAs，其最大沟道温度假设为 150℃。计算在 RF 应用中每个 FET 的温度；计算 PAE 减少 20% 时，每个 FET 的温度。

解　首先，使用 Cooke 模型计算每个 FET 的热阻(R_{th})。根据 FET 的结构和基底特性(FET 尺寸、栅栅间距、指的个数或单位栅宽、基底厚度)来计算 R_{th}。计算结果如下：

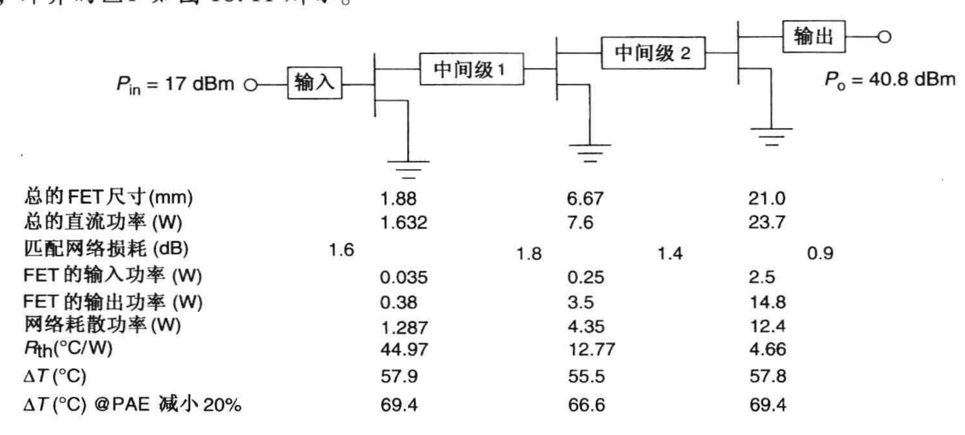
第一级：FET 尺寸 = 0.94 mm；栅栅间距 = 30 μm；指的个数 = 10；R_{th} = 89.94℃/W。

第二级：FET 尺寸 = 1.6675 mm；栅栅间距 = 30 μm；指的个数 = 14；R_{th} = 51.08℃/W。

第三级：FET 尺寸 = 2.625 mm；栅栅间距 = 20 μm；指的个数 = 24；R_{th} = 37.25℃/W。

由式(16.11)计算 MMIC 功率放大器的底表面和顶表面的温度差 ΔT。在这些计算中，选择 150℃ 下 GaAs 的热导率。利用式(16.10a)计算得到 150℃ 下 K_{th} = 0.2935 W/cm · ℃。

下一步计算 RF 条件下的沟道温度。此时需要器件的网络耗散功率。基于放大器的设计，利用 CAD，计算每个匹配网络的耗散和失配损耗、每个 FET 的输入功率和每个 FET 的输出功率，如图 16.11 所示。在所需频率范围外，在每个频率点进行这些计算，并取平均。在计算网络耗散功率后，可以计算每级的 ΔT。对于减小的 PAE，网络耗散功率以对应的比例增加(例如 20%)，计算的 ΔT 如图 16.11 所示。



总的 FET 尺寸(mm)		1.88		6.67		21.0	
总的直流功率(W)		1.632		7.6		23.7	
匹配网络损耗(dB)	1.6		1.8		1.4		0.9
FET 的输入功率(W)		0.035		0.25		2.5	
FET 的输出功率(W)		0.38		3.5		14.8	
网络耗散功率(W)		1.287		4.35		12.4	
R_{th}(°C/W)		44.97		12.77		4.66	
ΔT(°C)		57.9		55.5		57.8	
ΔT(°C) @PAE 减小 20%		69.4		66.6		69.4	

图 16.11　三级功率放大器的热分析。给出了 12 W HPA 的每级平均功率电平和 ΔT 的计算值。基底是厚 75 μm 的 GaAs，最大沟道温度为 150℃

16.4 脉冲工作

固态脉冲功率放大器可应用于相控阵雷达、移动通信、远距离测量仪器、便携式导航仪器和脉宽调制器。脉冲功率放大器的设计类似于 CW 功率放大器的设计，只是 CW 在工作时，其热要求比脉冲工作时更严格。在脉冲工作条件下，功率放大器的电气特性和稳定性得到加强。

固态器件在脉冲工作条件下，不会显著提高输出功率，因为 P_o 受限于 BV_{gd} 和 I_p。然而，在脉冲工作及没有超出器件最大结温或沟道温度下，依赖于脉宽和器件热时间常数的载体温度会升高，因此增强了器件的稳定性。GaAs MMIC HPA 工作于短脉冲(≤30 μs)和工作于 CW 下相比，P_o 大约提高 0.5 ~1 dB，PAE 提高 3% ~5%。

当功率晶体管工作于脉冲下，上电后的沟道温度大约由下式给出[3]：

$$T_{ch} = P_D R_{th}\left[1 - \frac{8}{\pi^2}\sum_{n=1,3,\ldots}^{\infty}\left(e^{-n^2 t/\tau}/n^2\right)\right] + T_a \tag{16.15}$$

其中，τ 是热时间常数，P_D 是器件的网络耗散功率，R_{th} 是热阻，t 是器件上电后的时间。对于 $t<\tau$，T_{ch} 的近似表达式可以写成[3, 11]

$$T_{ch} = P_D R_{th}\left(\frac{4}{\pi^{3/2}}\right)\left(\frac{t}{\tau}\right)^{1/2} + T_a \tag{16.16a}$$

或

$$T_{ch} \cong P_D R_{th}\left(\frac{t}{2\tau}\right)^{1/2} + T_a \tag{16.16b}$$

热时间的近似表达式由下式给出[11]：

$$\tau = \left(\frac{2h}{\pi}\right)^2\left(\frac{\rho C}{K_{th}}\right) \tag{16.17}$$

其中，h = 裸片厚度，ρ = 半导体密度，K_{th} = 热导率，C = 半导体的特性热量。

对于砷化镓(GaAs)，

$$\begin{aligned}\rho &= 5.31\ \mathrm{g/cm^3}\\ C &= 0.35\ \mathrm{J/g\cdot{}^\circ C} = 0.35\ \mathrm{W\cdot s/g\cdot{}^\circ C}\\ K_{th} &= 0.46\ \mathrm{W/cm\cdot{}^\circ C}\end{aligned}$$

且

$$\frac{\rho C}{K_{th}} = \frac{5.31\times 0.35}{0.46} = 4.04\ \mathrm{s/cm^2}$$

对于硅(Si)

$$\begin{aligned}\rho &= 2.33\ \mathrm{g/cm^3}\\ C &= 0.7\ \mathrm{J/g\cdot{}^\circ C} = 0.7\ \mathrm{W\cdot s/g\cdot{}^\circ C}\\ K_{th} &= 1.45\ \mathrm{W/cm\cdot{}^\circ C}\end{aligned}$$

且

$$\frac{\rho C}{K_{th}} = \frac{2.33\times 0.7}{1.45} = 1.13\ \mathrm{s/cm^2}$$

对于碳化硅(SiC)

$$\rho = 3.1\ \mathrm{g/cm^3}$$
$$C = 0.75\ \mathrm{J/g\cdot{}^\circ C} = 0.75\ \mathrm{W\cdot s/g\cdot{}^\circ C}$$
$$K_{\mathrm{th}} = 3.5\ \mathrm{W/cm\cdot{}^\circ C}$$

然后

$$\frac{\rho C}{K_{\mathrm{th}}} = \frac{3.1\times .75}{3.5} = 0.66\ \mathrm{s/cm^2}$$

例 16.5　考虑一个 12 W MMIC HPA，基底是厚 75 μm 的 GaAs。在 RF 条件下，$G=10$ dB，PAE =45%，$P_o=12$ W，以及 10 V 电压下，$I_{ds}=2.4$ A。芯片热阻 $R_{th}=4$℃/W。假设芯片背面温度是 25℃，分别计算(a)10 μs、(b)50 μs 和(c)CW 工作下的沟道温度。

解　此时，

$$\tau = \left(\frac{2h}{\pi}\right)^{24} 0.04\,\mathrm{s} = \left(\frac{2\times 0.0075}{\pi}\right)^{24} 0.04\ \mathrm{s} = 92.1\ \mu\mathrm{s}$$

$G=10$ dB $=10$，$P_{in}=P_o/G=12/10=1.2$ W。

下面计算芯片耗散功率 P_D，

$$P_D = P_{DC} + P_{in}(\mathrm{RF}) - P_o(\mathrm{RF}) = 2.4\times 10 + 1.2 - 12\ \mathrm{W} = 13.2\ \mathrm{W}$$

(a)对于 10 μs 脉宽，

$$T_{ch} = P_D\, R_{th}\left(\frac{4}{\pi^{3/2}}\right)\left(\frac{t}{\tau}\right)^{1/2} + T_a$$

$$T_{ch} = 13.2\times 4\left(\frac{4}{\pi^{3/2}}\right)\left(\frac{10}{92.1}\right)^{1/2} + 25\,^\circ\mathrm{C} = 37.5\,^\circ\mathrm{C}$$

(b)对于 50 μs 脉宽，

$$T_{ch} = 13.2\times 4\left(\frac{4}{\pi^{3/2}}\right)\left(\frac{50}{92.1}\right)^{1/2} + 25\,^\circ\mathrm{C} = 52.95\,^\circ\mathrm{C}$$

(c)对于 CW 工作条件下，利用式(16.11)，得出

$$T_{ch} = 13.2\times 4 + 25\,^\circ\mathrm{C} = 77.8\,^\circ\mathrm{C}$$

因此，从 CW 到 10 μs 脉冲工作，沟道温度减小 40.3℃。利用式(3.68)，功率约可增加0.4 dB。

对于长脉宽或脉宽大于 2τ，沟道温度相当于 CW 工作温度。为了使 $T_{ch}-T_a=\Delta T$ 减小，脉宽必须小于τ，即 $t<\tau$。工作于脉冲工作方式下的器件，t_o秒后的沟道温度由下式给出：

$$T_{ch} = P_D\, R_{th}\left(\frac{t-t_o}{2\tau}\right)^{1/2} + T_a \tag{16.18}$$

如果 $t-t_o$相当于脉宽(PW)，最大沟道温度是

$$T_{max} = P_D\, R_{th}\left(\frac{PW}{2\tau}\right)^{1/2} + T_a \tag{16.19}$$

该最大沟道温度发生在脉冲开启的时候。当脉冲关闭时，裸片降温。在 tp 秒之后，器件的结/沟道温度变为

$$T_{ch}(t) = T_{max}\left[1-\left(\frac{PW-tp}{2\tau}\right)^{1/2}\right] + T_a \tag{16.20}$$

或当 tp = PW 时，沟道温度变为 T_a。图 16.12(a)是器件沟道温度与时间的函数关系。此处，PRR 是重复率或占空比。为了获得低的沟道温度，PW $\ll\tau$，PRR < 50%。

例如，对一个 12 W HPA 在各种脉冲条件下进行功率测试。功率相应如图 16.12(b)所示，占空比是 10%。当 PW = 10 μs，功率没有随时间下跌，然而当 PW = 100 μs 时，脉宽里的功率会下降 0.3 dB。

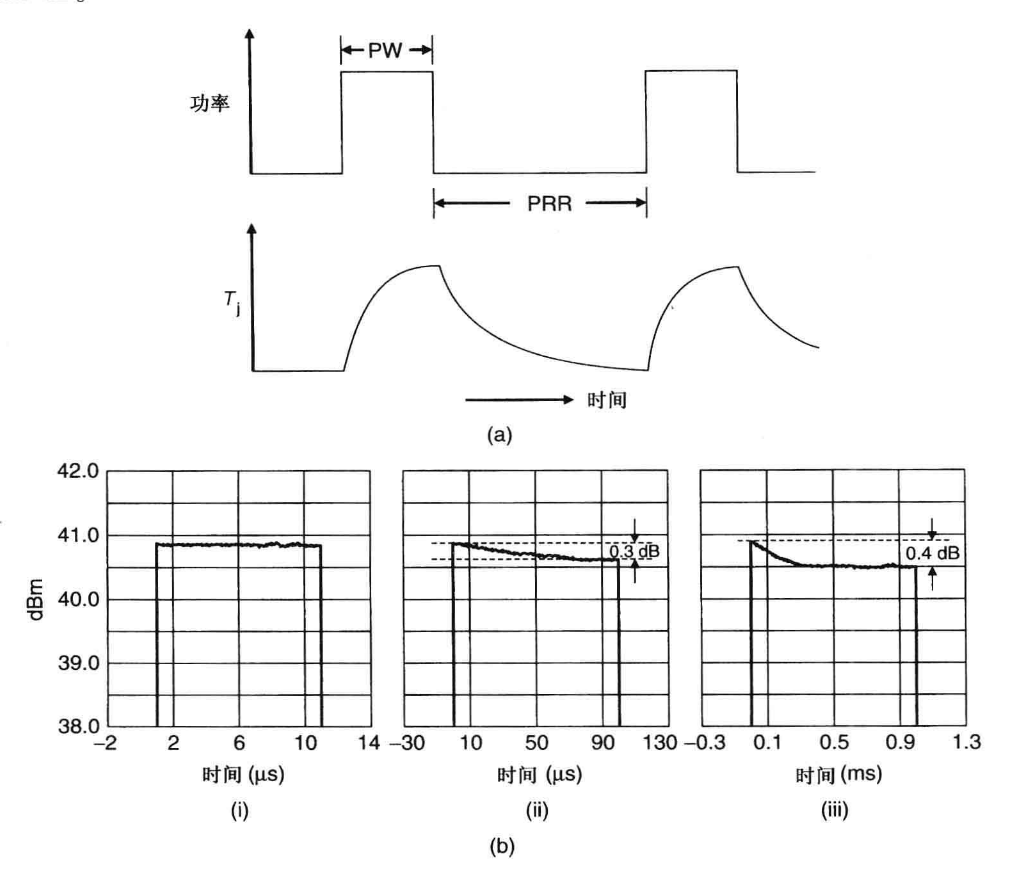


图 16.12 (a)在脉冲条件下，晶体管沟道温度与时间的关系；(b)12 W HPA 的脉宽效应：(i) PW = 10 μs，(ii) PW = 100 μs，(iii) PW = 1.0 ms

16.5 导热槽设计

导热槽[12, 13]是一种导体结构，通常涂有黑漆(为了更好的热辐射)，并和半导体器件的基底连接。它为器件产生的热通过辐射机制散发出去提供了路径。导热槽的热阻很小，通常利用很多的翅状物实现大的表面积。另外，利用降温风扇，可以提高效率。

导热槽的主要作用是为载体到空气提供低的热阻，保持器件结温低于半导体厂家给定的最大工作温度。在选择合适的导热槽时，热阻(R_{SA})起主要作用。R_{SA}的值越小，器件在不超过最大结温下可处理的功率越大。从导热槽到空气的热阻由三部分构成：传导、对流和辐射，由下式给出[13]：

$$R_{SA} = \underbrace{\rho\frac{d}{A_1}}_{\text{传导}} + \underbrace{\frac{1}{h_c A_2 + h_r A_3}}_{\text{对流}\quad\text{辐射}} \tag{16.21}$$

其中，ρ 是导热槽材料特定的热阻，d 是表面区域 A_1 的平均厚度，h_c 和 h_r 分别是对流和辐射的热传输系数，A_2 和 A_3 分别是导热槽和运动环境流体的接触面积、热辐射的有效面积。表16.3给出各种导体材料的特性。对于 $d=0.005\ \text{m}$、$A_1=0.05\times0.05\ \text{m}^2$ 的铝材料，其由传导贡献的 R_{SA} 只有0.0091℃/W。通过最小化 d 和最大化 A_1，还可以进一步减小 R_{SA}。不管在自然对流还是强制对流中，热传递系数 h_c 都是复杂的数，不能精确地计算。在强制对流下，h_c 的值是自然对流下的3～4倍。通常增大 A_2 比增加 h_c 更容易进一步减小对流产生的 R_{SA}。这就是为什么导热槽是大块结构。对于一个给定的温度差，由辐射产生的热传递系数 h_r 是导热槽表面辐射系数(完全黑体辐射系数是1.00)的函数。一个干净平滑的铝面的辐射系数是0.1，而氧化处理或漆黑表面的辐射系数是0.9。因此，通过黑化表面，可以很大程度地提高(10%～15%)导热槽在自然辐射下的辐射系数。在强制对流下，通过黑化，辐射消耗的热量只增加3%，因此由黑化而增加成本是不合理的[13]。需要再次注意 A_3 是不同于 A_2 的，尽管在两种情况下都使用导热槽表面积这个术语。在这种情况下，A_3 表示有效的辐射表面积。在正常延伸导热槽设计时(例如，散热翅片比翅片间距大4倍)，A_3 只是 A_2 的20%。通常，表面积 A_2 的增加使得 A_3 同比例增加[13]。

表16.3　各种导体材料特性

金属	熔点(℃)	电阻率 (10^{-6} Ω·cm)	热膨胀系数 (10^{-6}/℃)	热导率，K_{th} (W/m·℃)
铜	1093	1.7	17.0	393
银	960	1.6	19.7	418
金	1063	2.2	14.2	297
钨	3415	5.5	4.5	200
钼	2625	5.2	5.0	146
铂	1774	10.6	9.0	71
钯	1552	10.8	11.0	70
镍	1455	6.8	13.3	92
铬	1900	20.0	6.3	66
Kovar镍基合金	1450	50.0	5.3	17
铝	660	4.3	23.0	220
Au-20% Sn	280	16.0	15.9	57
Pu-5% Sn	310	19.0	29.0	63
CuW(20% Cu)	1083	2.5	7.0	248
CuMo(20% Cu)	1083	2.4	7.2	197

表16.4给出EG&G Wakefield Engineering设计的铝导热槽的典型参数。表中的散热表面积(HDS)是同空气接触的总面积。假设导热槽是1 in宽，表面氧化黑。导热槽的安装面的平坦度必须是0.01 mm，表面粗糙度小于0.5 μm。这通常通过磨平或抛光得到。为了使得载体和导热槽之间的热阻最小，载体必须紧密贴近导热槽。在每次测试之后，都要重新磨平，以便再次使用导热槽。

表16.4　EG&G设计的平背延伸导热槽的典型参数

模块型号	HDS(in^2/in)	重量(1b/ft)	延伸长度(cm)	高度(in)	R_{SA}(℃/W)
4242	5.16	0.25	1.106	0.375	14.0
5947	13.0	0.57	2.025	1.180	5.7
5596	30.93	2.20	3.136	2.25	2.4
5079	39.84	2.66	3.766	1.976	1.5
5271	60.70	4.34	7.03	1.312	1.3
5584	63.5	7.17	11.4	1.5	1.1
6274	101.0	9.15	6.961	2.79	0.8
4559	87.08	16.81	10.71	3.74	0.5

16.5.1 传导降温和强制降温

有 3 种基本的冷却方法:自然对流、强制对流和液体冷却[14]。表 16.4 给出的导热槽数据是自然对流下的。给定体积和热耗散要求，在生产商目录中选择特定导热槽以满足目标。但是，在大耗散功率下，导热槽尺寸变得很大。如图 16.13 所示，自然对流下，导热槽尺寸下降 4 倍，热阻下降一半。当要求小体积散发大量热量时，就需要强制对流或液体冷却。强制对流一般用于几百瓦耗散功率，并且要求液体冷却系统能从紧凑体积中耗散百瓦功率。

强制对流一般使用风扇和鼓风机，让空气流过导热槽的散热片。此时，冷却系数是空气流动率的函数。图 16.13 显示了在强制对流下，原本设计的自然对流下的热阻值是如何下降的。强制对流运行在小体积器件上可以实现同样的功率耗散。例如，自然对流下，1℃/W 的热阻要求导热槽的体积是 56 in^3，但是，在 500 ft/min 空气流动率下，体积仅仅需要 9 in^3，体积减小系数大于 6。

水的热容量大约是空气的4000 倍。水流率为每分钟几升的管道可以抽出几千瓦的热量[14]。导热管是更有前景的散热方法，已经成功用于冷却耗散功率大约 300 W 的 40 W C 波段功率放大器[15]。翅状导热槽的热阻是 0.092℃/W。

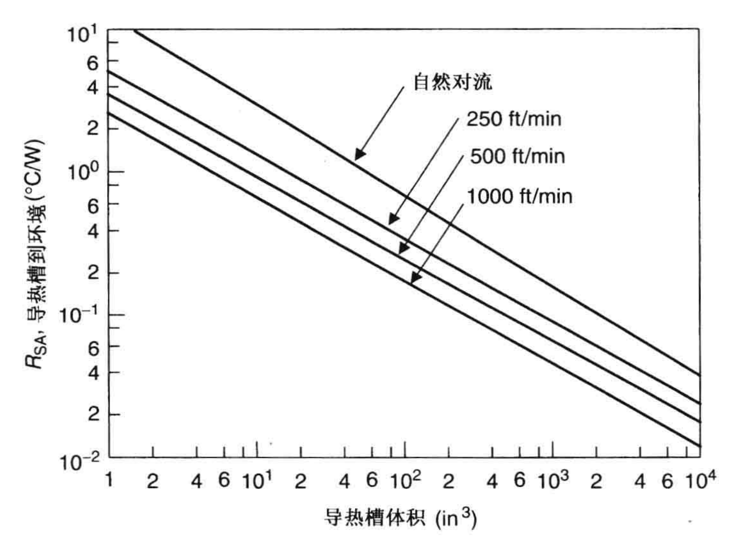


图 16.13 不同冷却方式下，热阻同导热槽体积的关系图

16.5.2 设计实例

采用自然对流导热槽进行的功率放大器的热设计实例如图 16.14 所示。在 5 GHz、10 dB 增益(G)下，功率 FET 芯片 RF 输出功率(P_o)为 12 W，耗散 30 W 的 DC 功率。器件的热阻是 2℃/W，最大的沟道和环境温度分别是 150℃和 50℃。

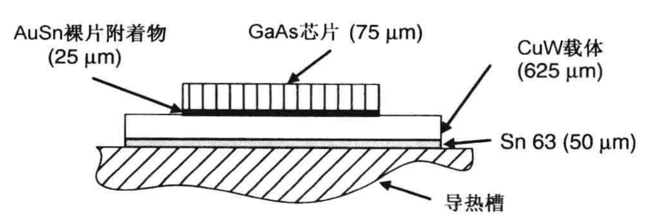


图 16.14 采用导热槽的典型 MMIC 功率放大器组件

沟道结温由下式给出：

$$T_{ch}=\left[P_{DC}-P_o\left(1-\frac{1}{G}\right)\right]R_{th}+T_a \tag{16.22}$$

其中 $R_{th}=R_{JC}+R_{CS}+R_{SA}$。在没有 RF 信号时，将有最高的沟道温度，即

$$T_{ch}=P_{DC}R_{th}+T_a \quad \text{或} \quad R_{th}=(150-50)/30=3.33\ {}^{\circ}\mathrm{C/W}$$

在很多情况下，GaAs 芯片载体或者封装是安装在固定物上，然后再安装在导热槽上。要求结间的表面圆滑，以最小化微小的空气空隙。因为使得表面圆滑的成本很高，通常在表面间采用热导率好的硅脂或薄垫片。表 16.5 给出了各种材料的特定的热阻率(ρ)。热阻率由下式计算可得：

$$R_{th}=\rho\frac{h}{A} \quad \text{和} \quad \rho=\frac{1}{K_{th}} \tag{16.23}$$

其中 h 和 A 分别是平均厚度和材料接触面积。

表 16.5 各种材料的特定热阻率(ρ)的典型值

材料	ρ(℃·m/W)
静止空气	30.48
聚酯薄膜	5.99
硅脂	5.18
填充硅脂的橡胶	2.06
云母	1.68
铝	0.004 50
铜	0.002 54

如果铝的固定板和硅脂尺寸(长×宽×高)分别是 $0.025\times0.0125\times0.002\ \mathrm{m^3}$ 和 $0.025\times0.0125\times10^{-5}\ \mathrm{m^3}$，通过式(16.3)可得

$$R_{CS}=\frac{0.0045\times0.002}{0.025\times0.0125}+\frac{5.18\times10^{-5}}{0.025\times0.0125}\ {}^{\circ}\mathrm{C/W}=0.029+0.17=0.2\ {}^{\circ}\mathrm{C/W}$$

因此，导热槽的热阻为

$$R_{SA}=R_{th}-R_{JC}-R_{CS}=3.33-2.0-0.2=1.13\ {}^{\circ}\mathrm{C/W}$$

从表 16.4 可知，型号 5584 的导热槽就足够了。在 RF 条件下，网络耗散功率是

$$P_D=30-12\times(1-1/10)=19.2\ \mathrm{W}$$

$$R_{th}=(150-50)/19.2=5.21\ {}^{\circ}\mathrm{C/W}$$

$$R_{SA}=R_{th}-R_{JC}-R_{CS}=5.21-2.0-0.2=3.01\ {}^{\circ}\mathrm{C/W}$$

从表 16.2 可得，型号 5596 或稍微小一些的导热槽就能满足要求。因此，在 RF 条件下，所要求的导热槽体积可以小很多。

16.6 热阻测量

晶体管或放大器的热阻可以通过测量沟道温度计算得到。测量沟道温度有红外(IR)技术[2~4, 16, 17]、液晶技术[2~4, 18]和电气测量[2~4, 19, 20]技术。

16.6.1 IR 成像测量

IR 成像方法采用红外辐射显微镜测量沟道温度。该仪器的原理是基于测量器件沟道辐射

出来的红外能量。近期的红外辐射显微镜的分辨率为 2～3 μm。在小心校准仪器后，能够非常精确地测量沟道的温度。然而，如果有源区域比仪器的分辨率要小且辐射率有变化(例如，Au ≅0.1，GaAs≅0.7)，将引起重大的误差。

采用导热槽的 MMIC 功率放大器组件和微型热偶的位置如图 16.15 所示。热偶用于测量载体或基底平面和导热槽的温度。由测得的沟道温度(T_{ch})、耗散功率(P_D)和采用热偶测量的载体温度，通过式(16.11)计算可得 GaAs 芯片的热阻。

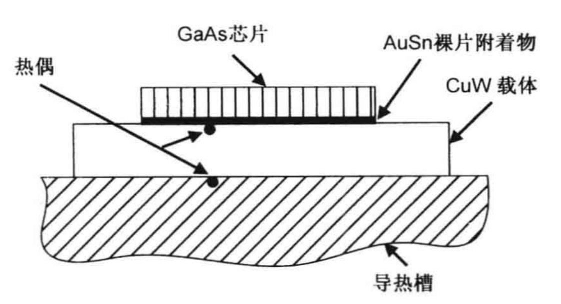


图 16.15 采用导热槽的 MMIC 功率放大器组件，以及用于测量载体或基底和导热槽温度的微型热偶的位置

IR 测量与 Cooke 模型计算的温度可以很好吻合的实例如图 16.16 所示。该图显示测得的 3 W单级 GaAs 功率放大器的基底所允许的最大温度。该放大器采用 5 mm FET 和 20 μm 的栅栅间距。指的个数为 20，GaAs 基底厚 75 μm。通过 IR 扫描，沟道温度保持在 150℃。测得的 R_{th} 值为 19.3℃/W。举个例子，采用塑料封装的2 W Ku 波段的四级功率放大器，在分辨率为 5 μm 的系统下，IR 成像如图 16.17 所示。热阻是8.4℃/W。在耗散功率为 8 W 时，沟道温度峰值为 97.4℃。

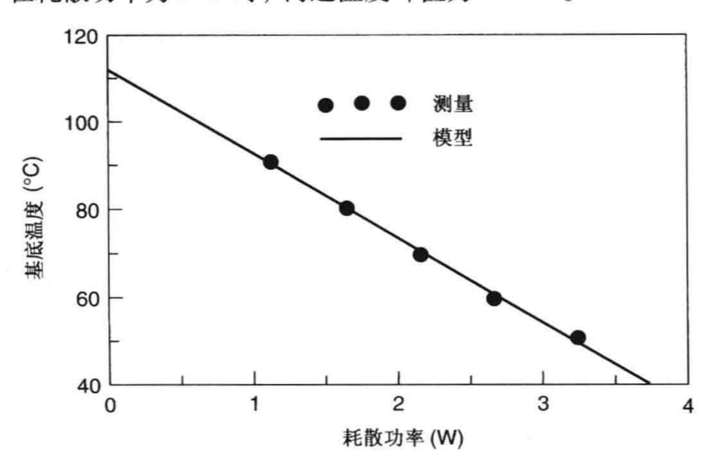


图 16.16 3 W 功率放大器芯片测得的基底允许最大温度与耗散功率的关系

16.6.2 液晶测量

该方法采用具有不同转换温度的向列液晶材料来测量沟道温度。在极化显微镜下观察，可以判断器件中的热点。器件芯片安装在导热槽上，在芯片背部放置热偶，并测量温度。器件偏置在 DC 下，已知转换温度的液晶混合物放置在芯片之上。该液晶对应于沟道温度，在该点，DC 耗散功率和芯片背部温度都得到测量。

考虑转换温度为 120℃ 的液晶。在转换点，器件的耗散功率为 5 W，芯片背部温度为 50℃，沟道温度为 120℃，计算器件的热阻为 $R_{th} = (120-50)/5 = 14$℃/W。

采用液晶方法可以测得 12 W HPA 的 FET 的沟道温度。利用该方法测量时，放大器输出级的 DC 耗散功率为 17.3 W，并测得液晶的转换温度。测量用的液晶转换温度是 120℃，对载体基底进行冷却，通过观察液晶的转换，保证 FET 的最大沟道温度是 120℃。在测量温度之后，也

就知道载体的温度。包括裸片附着物在内的热阻计算约为 0.7℃/W。输出级的 ΔT 计算约为 78℃，仅有裸片的热阻 R_{th} =4.505℃/W。对于 12 W HPA 这个例子，当输出级采用 8 个 FET 时，R_{th} =4.66℃/W。两种数据很接近，这也证实了 Cooke 模型。

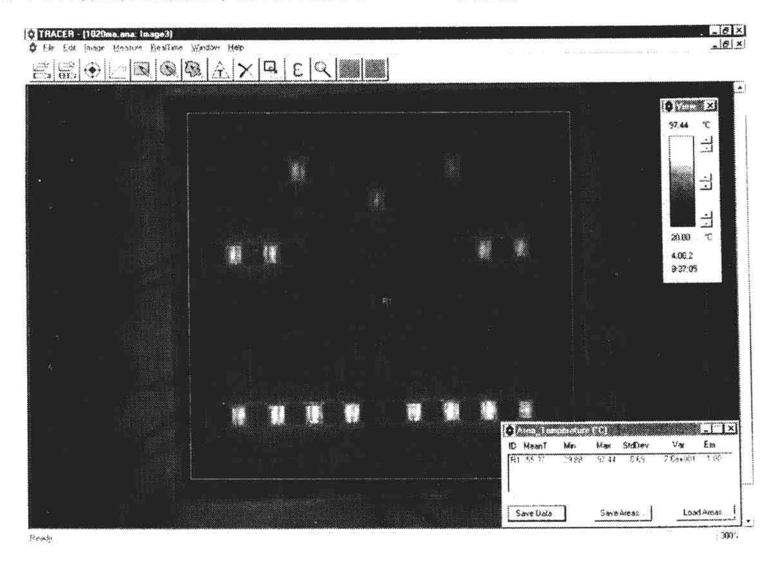


图 16.17　2 W Ku 波段驱动功率放大器的 IR 成像

16.6.3　电气测量技术

在恒定电流下，FET/HFMT 中的肖特基结电压（也称为内建电压）或基极-发射极结电压与温度呈线性变化。电气测量技术（EMT）正是基于这个原理。该技术由两步构成：确定结电压温度系数（JTC），以及在 DC 耗散功率的情况下，计算升高的结温。图 16.18为测量 FET 热阻的简单示意图。首先，栅极前向偏置在低栅电流下，测量低电流下参考栅源电压 V_{gsr}，然后立即切换脉冲（脉宽为 20 ~ 50 μs，长度 ≫τ）到漏极，实现所要求的 DC 耗散功率。该条件下，器件是自偏置的，而且相对于源极电压，栅极偏置在负电压。此时，由于 DC 功率耗散，器件沟道处于很高的温度下。器件回到低电流态后，立即测量栅源电压（V_{gs}），漏极供电断开与栅源电压的测量时间延迟为 1%τ。因此，测量时器件取决于 3 个脉冲：低电流态、器件加热态和低电流态。

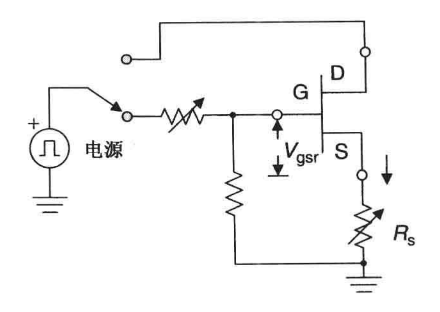


图 16.18　建立测量 FET 热阻的原理图

图 16.19 给出 150 μm FET 在室温和两个极端温度下，栅电流同栅源电压的典型变化。在栅电流为低电流的情况下，根据栅源电压变化与温度变化范围来计算 JTC。在该例子中，JTC 的值为 0.833 mV/℃。因此，沟道温度变化 100℃，栅源电压变化 83.3 mV。

采用下式计算热阻：

$$R_{th} = \frac{V_{gsr} - V_{gs}}{\text{JTC}} \frac{1}{P_{DC} - V_{gsr} I_g} \tag{16.24}$$

其中，V_{gsr} 和 V_{gs} 是在室温或栅电流 I_g（例如 5 mA）的常量值为很小时测得的栅源电压，P_{DC} 为 DC 耗散功率。

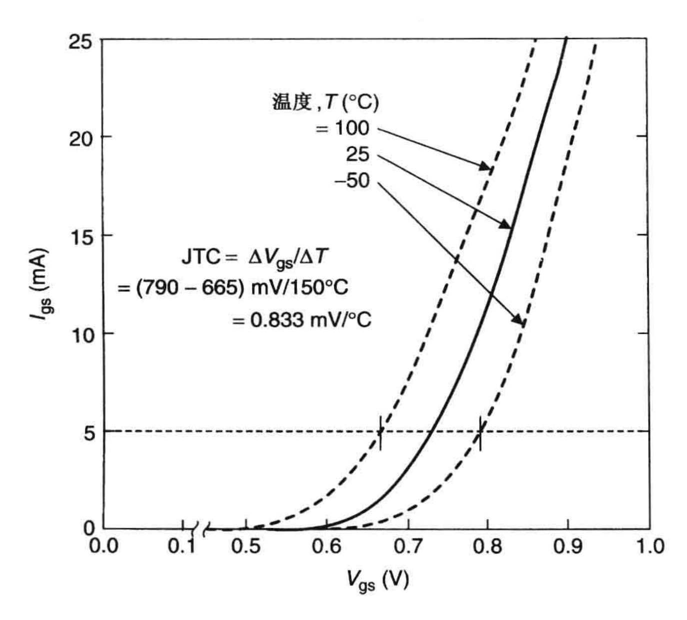


图 16.19 在不同沟道温度下，栅电流同栅源电压的关系曲线

例 16.6 考虑一个 FET，当栅极前向偏置在 $V_{gsr}=0.73$ V、$I_g=5$ mA 时，测得的 JTC = 0.000 83 V/℃。通过漏极的 DC 功率由 10 V 平均漏源电流 1 A 提供。在器件回到低电流态，立即测量 V_{gs}，测得 V_{gs} 为 0.65 V。请确定器件的热阻。

解 $V_{gsr}-V_{gs}=0.73-0.65=0.08$ V。

总的耗散功率 $=P_{DC}-V_{gsr}\times I_g=10-0.0037\ \text{W}=9.9963\ \text{W}$。

$R_{th}=(0.73-0.65)/(0.000\,83\times 9.9963)$ ℃/W $=9.64$℃/W。

EMT 和液晶方法只适合于分立的晶体管。因此，采用这些方法很难确定采用多个器件并联设计的 MIC 和 MMIC 功率放大器的热阻。对于功率放大器，通常采用 IR 成像技术。

参考文献

1. H. F. Cooke, Precise technique finds FET thermal resistance, *Microwaves RF*, pp. 85–87, August 1986. Correction of this paper in *Microwaves RF*, p. 13, February 1987.
2. J. V. Dilorenzo and D. D. Khandewal, *GaAs FET Principles and Technology*, Artech House, Norwood, MA, 1982, pp. 313–347.
3. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993, Chapter chap5.
4. K. Chang (Ed.), *Handbook of RF/Microwave Components and Engineering*, John Wiley & Sons, Hoboken, NJ, 2003, Chapter chap21.
5. G. J. Murphy, D. J. Shippy, and H. L. Luo, *Engineering Analogies*, Iowa State University Press, Ames, IA, 1963.
6. R. C. Levine, Determination of thermal conductance of dielectric-filled strip transmission line from characteristic impedance, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-15, pp. 645–646, November 1967.

7. I. J. Bahl and K. C. Gupta, Average power-handling capability of microstrip lines, *IEE Microwaves Opt. Acoustics*, Vol. 3, pp. 1–4, January 1979.
8. K. C. Gupta, R. Garg, I. J. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
9. S. B. Cohn, Problems in strip transmission lines, *Proc. IRE PG-MTT*, pp. 119–126, March 1955.
10. R. Mongia, I. Bahl, and P. Bhartia, *RF and Microwave Coupled-Line Circuits*, Artech House, Norwood, MA, 1999, pp. 499–500.
11. *Agilent (Avantek) High-Frequency Transistor Primer, Part III Thermal Properties*, Agilent, Santa Clara, CA.
12. A. D. Kraus and A. Bar-Cohen, *Design and Analysis of Heat Sinks*, John Wiley & Sons, Hoboken, NJ, 1995.
13. *Catalog of Heat Dissipation Components*, EG & G Wakefield Engineering, Wakefield, MA, 1988.
14. R. Soares, (Ed.), *GaAs MESFET Circuit Design*, Artech House, Norwood, MA, 1988, Chapter 6.
15. N. Fukuden et. al., A 4.5GHz 40 watt GaAs FET amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 66–68, 1982.
16. F. N. Sechi, B. S. Perlman, and J. M. Cusack, Computer-controlled infrared microscope for thermal analysis of microwave transistors, *IEEE Int. Microwave Symp. Dig*., pp. 143–146, 1977.
17. L. Walshak and E. Poole, Thermal resistance measurement by IR scanning, *Microwave J*., Vol. 20, pp. 62–65, 1977.
18. M. M. Minot, Thermal characteristics of microwave power FETs using nematic liquid crystals, *IEEE Int. Microwave Symp. Dig*., pp. 495–498, 1986.
19. B. S. Sage, A proposed method for testing thermal resistance of MESFETs, *Microwave Syst. News*, Vol. 7, pp. 66–70, November 1977.
20. *Sage Thermal Resistance Tester Manual*, Sage Enterprise, Inc., Palo Alto, CA.

习题

16.1 热阻为30℃/W的2.5 mm器件。10 GHz下，工作在A类时，输出功率、增益和PAE(%)分别是2 W、9 dB和45%；工作在B类时，分别是2W、8.5 dB和55%。当环境温度为50℃时，比较两种工作类型下的沟道温度。

16.2 热阻为0.5℃/W的GaAs芯片耗散100 W。芯片安装在载体上，载体固定在导热槽上。载体的热阻为0.2℃/W。如果环境温度为25℃，最大允许沟道温度为175℃，请设计一个导热槽。

16.3 晶体管栅宽为1 mm，有4个指，栅栅间距30 μm，裸片厚100 μm，芯片工作在沟道温度100℃，器件栅长1 μm，试确定晶体管的热阻。

16.4 晶体管栅宽为2.5 mm，有10个指，栅栅间距25 μm，裸片厚50 μm，芯片工作在沟道温度150℃，器件栅长1 μm，试确定晶体管的热阻。

16.5 尺寸为2×2 mm^{2}的功率芯片采用厚25 μm的AuSn安装在载体上。芯片热阻为10℃/W。载体面积为1×1 cm^2，厚1 mm。AuSn和载体的热阻分别为1.0℃/W和1.69℃/W。当耗散10 W功率，载体温度为25℃，请确定芯片上的表面温度。

第 17 章　稳定性分析

任何放大器都可能因为增加了外部正反馈增益而导致振荡，例如一个高增益 MMIC 塑料或者陶瓷封装芯片，在微波频段，如果在放大器设计和制作过程中不仔细考虑，任何不可避免的寄生效应都足以产生振荡。任何放大器直流参数的突变、零输入功率时输出功率的突变、电路对环境格外敏感等条件都会产生不需要的振荡。振荡可能会发生在器件传播的频率上(不会在放大器之外)，因为滤波、偏置电容阻断、低于波导截止频率或者测试系统对该频率不敏感。对于微波放大器来说，在 1 MHz ~ 40 GHz 或者更高频率之间发生振荡是很正常的。

振荡信号的测试包括宽带频谱测试仪和扫描振荡源。当扫描输入信号时，宽带输出信号频谱的基频和交调振荡信号都可以确定稳定性条件。任何变量的变化，例如阻抗值、负载阻抗的失配、供电电压、输入信号功率、温度、光线、使用时间和辐射都可能引起或者消除振荡。为了让放大器在这些条件下都能够稳定，必须要对这些参数在很大范围内进行测试。为了保持稳定，可以使用好几种设计技术，后面将会介绍。

任何有源器件上连接的正反馈都可以成为一个振荡器。这种反馈可以是有意的，例如级间的偏置网络、器件并联而产生的环路和源自感效应；也有可能是无意的，例如低的隔离度和接地。一旦确定了一个稳定性问题，通过降低一点增益来使电路稳定不是一件难事。在大部分微波系统中，频带内通常要求条件稳定，而如果是频带外则要求无条件稳定。铁氧体隔离器和平衡放大器(第 11 章中讨论)可以使放大器工作于稳定状态。在隔离频带外，系统可能变得不稳定，设计时必须仔细考虑。

相比较小信号放大器而言，功率放大器的稳定性问题更为关键。在大信号和脉冲工作条件下，器件特性会发生很大的变化。因此设计时需要精确的非线性模型、合适的 CAD 工具和稳定性分析。由于大部分器件都只是条件稳定，而系统要求放大器必须是无条件稳定的，所以放大器的稳定性分析在设计过程中是一个很重要的部分。

射频/微波功率放大器中的振荡可以分为五类：偶模、奇模、参数式、伪参数式和低频式。偶模稳定性分析适用于大部分使用小尺寸晶体管的低噪声和缓冲放大器。功率放大器在设计时必须满足无条件稳定，因此偶模、奇模、参数式和低频振荡情况都必须避免。在双端口网络中，偶模条件下的电流有流入和流出端口；而在奇模条件下，端口上没有电流流入和流出，但是其内部有电流和电压。这些会在下面的章节中简要介绍。

17.1　偶模振荡

任何晶体管，只要不是无条件稳定，都可能产生偶模振荡。当晶体管连接上输入和输出匹配网络或者直流网络时都可能产生振荡。如一些文档所描述的[1~4]，偶模稳定性可以通过双端口 S 参数和 EC 模型来检验。由源阻抗和负载阻抗确定的 S_{12} 和 S_{21} 构成了一个反馈环，这可能会产生振荡。在理想放大器中 S_{12} 应该为零，放大器是无条件稳定的。使用 EC 模型来计算稳定性是非常方便的，因为可以通过改变模型中的参数(比如 g_m、C_{gs}、C_{gd} 和 L_S)来检验电路的稳定性。稳定性系数可以由 Rollett 条件、K 因子和 μ 因子来确定。对于一个有源器件来说，如果其终端不接信号源而是负载，$K > 1$ 或者 $\mu > 1$，那么它就是无条件稳定的。线性和非线性模型都需要预测电路的稳定性。

17.1.1　偶模稳定性分析

使用一个双端口网络表示放大器，如图 17.1 所示。如果 $S_{12} \neq 0$，输入反射系数 Γ_{in} 和输出反射系数 Γ_{out} 可以表示为

$$\Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \tag{17.1}$$

$$\Gamma_{out} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \tag{17.2}$$



图 17.1　晶体管放大器的双端口示意图

如果电路是无条件稳定的，任何源和负载阻抗都可以连接到电路输入和输出端而不会产生振荡。如果用 S 参数表示，无条件稳定需要下面的不等式同时满足：

$$|S_{11}| < 1 \quad 和 \quad |S_{22}| < 1$$
$$|\Gamma_{in}| < 1 \quad 和 \quad |\Gamma_{out}| < 1$$

对于 $|\Gamma_S| < 1$ 和 $|\Gamma_L| < 1$，这些条件可以变为

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}|\,|S_{21}|} > 1 \tag{17.3}$$

一旦得到器件的 S 参数模型，如果 $K > 1$，那么电路就是无条件稳定的。

如果将式(17.1)和式(17.2)中的 $|\Gamma_{in}|$ 和 $|\Gamma_{out}|$ 归一化，就可以得到一个边界，超出这个界限，器件就是不稳定的。通过计算 Γ_S 和 Γ_L 的各种情况，都会在复反射面或者 Smith 圆图[2]上得到一系列圆(稳定圆)。稳定圆公式可表示为

$$\left|\Gamma_S - \frac{(S_{11} - DS_{22}^*)^*}{|S_{11}|^2 - |D^2|}\right| = \left|\frac{S_{12}S_{21}}{|S_{11}|^2 - |D^2|}\right| \tag{17.4a}$$

$$\left|\Gamma_L - \frac{(S_{22} - DS_{11}^*)^*}{|S_{22}|^2 - |D^2|}\right| = \left|\frac{S_{12}S_{21}}{|S_{22}|^2 - |D^2|}\right| \tag{17.4b}$$

输入和输出半径(r)和圆心(c)可由下式得到：

$$\left.\begin{aligned} r_S &= \frac{|S_{12}S_{21}|}{||S_{11}|^2 - |D|^2|} \\ c_S &= \frac{(S_{11} - DS_{22}^*)^*}{|S_{11}|^2 - |D^2|} \end{aligned}\right\} 输入 \tag{17.5a}$$

$$\left.\begin{aligned} r_L &= \frac{|S_{12}S_{21}|}{||S_{22}|^2 - |D|^2|} \\ c_L &= \frac{(S_{22} - DS_{11}^*)^*}{|S_{22}|^2 - |D^2|} \end{aligned}\right\} 输出 \tag{17.5b}$$

$$D = S_{11}S_{22} - S_{12}S_{21} \tag{17.5c}$$

其中下标 S 和 L 分别表示源和负载。史密斯圆图的圆心表示 $\Gamma_{in} = \Gamma_{out} = 0$。为了画出稳定圆，将史密斯圆图的半径归一化。这样，r_S、c_S、r_L 和 c_L 可以由史密斯圆图的半径得到，c_S 和 c_L 的角度与 Γ_{in} 和 Γ_{out} 在史密斯圆图上的角度相同。图 17.2 是输入面无条件稳定和条件稳定网络的一个典型例子。阴影区域表示的是不稳定的区域。如果电路是潜在不稳定的($K < 1$)，那么应该认真选择源和负载阻抗值，确保器件不会随着参数改变、加工条件和温度变化而落入不稳定区域(阴影区域)。在这种条件下，就可以认为放大器是条件稳定的而不会振荡。对于无条件稳定来说，

$|c_S|-r_S$和$|c_L|-r_L$必须要大于 1。稳定性分析必须要覆盖从直流(最多 50 MHz)到高于有源器件工作频率。如果电路是无条件稳定的($K>1$)，为了达到最大功率增益，必须要满足 $\Gamma_{in}=\Gamma_S^*$ 和$\Gamma_{out}=\Gamma_L^*$。为了得到同时共轭匹配，匹配的反射系数(Γ_{SM}和 Γ_{LM})可以由下式[1~5]得到：

$$\Gamma_{SM}=\frac{B_1\pm\sqrt{B_1^2-4|C_1|^2}}{2C_1} \tag{17.6}$$

$$\Gamma_{LM}=\frac{B_2\pm\sqrt{B_2^2-4|C_2|^2}}{2C_2} \tag{17.7}$$

$$B_1=1+|S_{11}|^2-|S_{22}|^2-|D|^2$$
$$B_2=1+|S_{22}|^2-|S_{11}|^2-|D|^2$$

其中

$$C_1=S_{11}-DS_{22}^*$$
$$C_2=S_{22}-DS_{11}^* \tag{17.8}$$

如果$|B_1/2C_1|>1$ 并且 $B_1>0$，则减号时$|\Gamma_{SM}|<1$，加号时$|\Gamma_{SM}|>1$。如果$|B_1/2C_1|>1$ 并且 $B_1<0$，则加号时$|\Gamma_{SM}|<1$，减号时$|\Gamma_{SM}|>1$。通过同样的方式可以计算 Γ_{LM}。

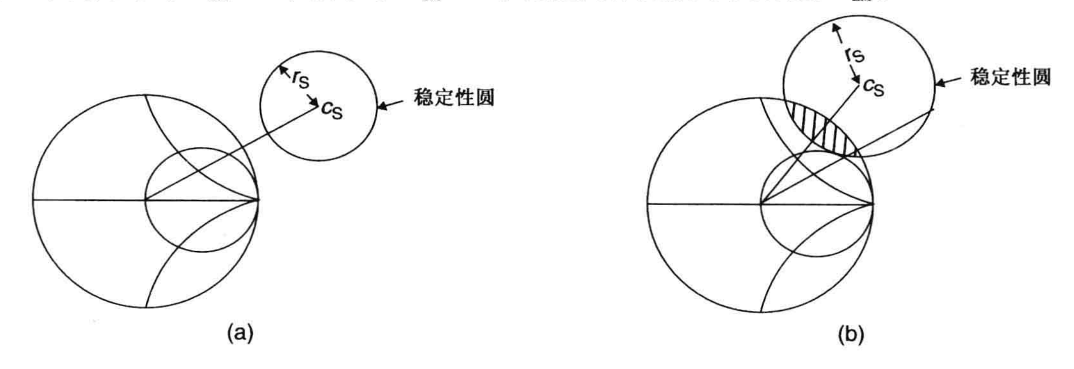


图 17.2 (a)无条件稳定和(b)条件稳定，其中$|S_{11}|<1$

匹配功率增益(MG)和最大可用增益(MAG)可由下式得到：

$$\text{MAG}=\left|\frac{S_{21}}{S_{12}}\right|(K-\sqrt{K^2-1}) \tag{17.9}$$

如果电路是潜在不稳定的($K<1$)，最大增益是不确定的，这取决于输入和输出的匹配情况。在这种情况下，最大稳定增益(MSG)可由式(17.9)中 $K=1$ 时计算得到：

$$\text{MSG}=\left|\frac{S_{21}}{S_{12}}\right| \tag{17.10}$$

这意味着必须做一些稳定性措施来保证 $K=1$。上面描述的稳定性条件定义涉及了 Rollet 条件和其他一些辅助条件[见式(17.8)]。Edwards 和 Sinsky[5]把上述两个判别条件归结为一个稳定性判别条件，也就是μ 因子：

$$\mu=\frac{1-|S_{11}|^2}{|S_{22}-S_{11}^*\Delta|+|S_{21}S_{12}|}>1 \tag{17.11}$$

μ 因子也可以表示器件的相对稳定性。μ 因子越大，器件越稳定。

下面，我们将通过不同的器件来研究稳定性问题。

例 17.1　低噪声 pHEMT 的 S 参数由表 5.9(a)(见第 5 章)给出。计算 K 和 μ 在 10 GHz 和 20 GHz 时的值并画出输入稳定圆上 $\mu<1$ 时的频率值。

解　由式(17.5c),

$$|D| = 0.378, \quad 10\ \text{GHz}$$
$$|D| = 0.183, \quad 20\ \text{GHz}$$

由式(17.3)和式(17.11),

$$K = 0.647, \quad \mu = 0.70, \quad 10\ \text{GHz}$$
$$K = 1.05, \quad \mu = 1.04, \quad 20\ \text{GHz}$$

可得器件在 10 GHz 时是潜在不稳定的，在 20 GHz 时是无条件稳定的。

由式(17.5),

$$r_S = 0.865 \quad 和 \quad c_S = 1.694\angle 94.87, \quad 10\ \text{GHz}$$
$$r_L = 4.814 \quad 和 \quad c_L = 5.514\angle 72.92$$
$$r_S = 1.281 \quad 和 \quad c_S = 2.311\angle 145.56, \quad 20\ \text{GHz}$$
$$r_L = 3.903 \quad 和 \quad c_L = 4.944\angle 71.82$$
$$\text{MSAG} = 15.64\ \text{dB}, \quad 10\ \text{GHz}$$
$$\text{MSAG} = 10.69\ \text{dB}, \quad 20\ \text{GHz}$$

图 17.3 是 10 GHz 时输入的稳定性。阴影区域表示不稳定区域，在阴影区域外还有很大的稳定阻抗区域。

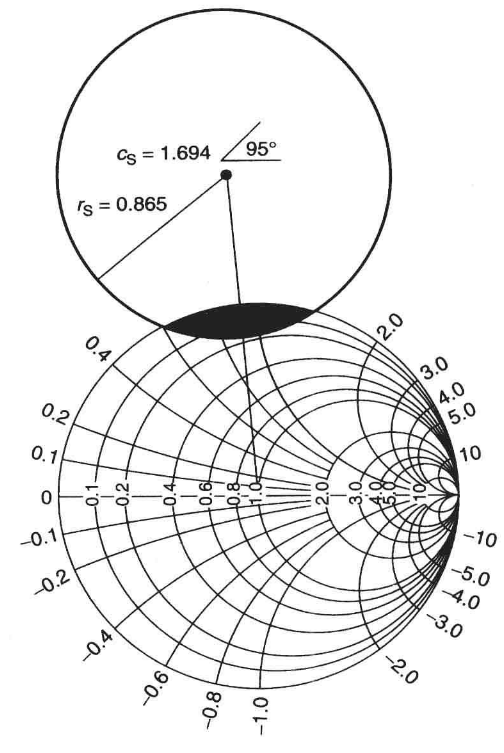


图 17.3　阴影区域表示器件的潜在不稳定区域

例 17.2　设低噪声 FET 和低噪声 pHEMT 的 EC 模型如下。

300 μm FET:

$$R_g = 0.5\ \Omega,\ R_i = 1.5\ \Omega,\ R_s = 1.5\ \Omega,\ R_d = 1.5\ \Omega,\ R_{ds} = 160\ \Omega,\ g_m = 65\ \text{mS},\ \tau = 2\ \text{ps}$$
$$C_{gs} = 0.28\ \text{pF},\ C_{gd} = 0.05\ \text{pF},\ C_{ds} = 0.07\ \text{pF},\ L_g = 0.01\ \text{nH},\ L_s = 0.005\ \text{nH},\ L_d = 0.01\ \text{nH}$$

200 μm pHEMT:

$$R_g = 0.8\ \Omega,\ R_i = 0.5\ \Omega,\ R_s = 0.5\ \Omega,\ R_d = 0.5\ \Omega,\ R_{ds} = 200\ \Omega,\ g_m = 75\ \text{mS},\ \tau = 1\ \text{ps}$$
$$C_{gs} = 0.24\ \text{pF},\ C_{gd} = 0.03\ \text{pF},\ C_{ds} = 0.04\ \text{pF},\ L_g = 0.05\ \text{nH},\ L_s = 0.08\ \text{nH},\ L_d = 0.05\ \text{nH}$$

pHEMT 低噪放器件也包含了键合线(15 ~ 20 mil)自感。计算 2 ~ 20 GHz 时 μ 的值和最大增益值。

解　可以把 EC 模型转换为 S 参数模型，并且通过前面描述的公式或者 CAD 工具来计算增益和稳定性。这里，采用一种通用的 CAD 工具来计算 μ 值和最大稳定/可用增益:

频率(GHz)	MESFET		pHEMT	
	μ	MSG/MAG(dB)	μ	MSG/MAG(dB)
2	0.09	19.5	0.18	22.7
4	0.18	16.5	0.35	19.7
6	0.26	14.8	0.50	17.9
8	0.35	13.5	0.64	16.7
10	0.43	12.6	0.76	15.6
12	0.50	11.9	0.85	14.8
14	0.57	11.2	0.92	14.0
16	0.63	10.7	0.98	13.3
18	0.69	10.3	1.02	11.8
20	0.75	9.9	1.04	10.7

pHEMT 器件由于高的 g_m，因此比 MESFET 有更高的增益。当 μ < 1 时，增益每倍频程下降 3 dB。当 μ > 1 时，增益每倍频程下降 4 ~6 dB。

例 17.3 相比于表 5.10(#1) 中给出的例 17.2 的功率 pHEMT 的 EC 模型，当频率为10 GHz 时，如果 R_S、L_S、C_{gs}、C_{gd}和 g_m 分别增加 50%、50%、15%、25% 和 15%，比较哪一个参数会显著影响最大可用功率和 μ 因子。

解 使用 CAD 软件来计算 10 GHz 时的 μ 值和最大稳定增益：

参数值	低噪声 MESFET		低噪声 pHEMT		功率 pHEMT	
	μ	MSG(dB)	μ	MSG(dB)	μ	MSG(dB)
标称的	0.43	12.6	0.76	15.6	0.72	17.4
R_s +50%	0.42	12.3	0.74	15.5	0.69	17.1
L_s +50%	0.44	12.6	0.88	15.1	0.75	17.4
C_{gs} +15%	0.45	12.6	0.80	15.6	0.79	17.3
C_{gd} +25%	0.44	11.7	0.71	14.7	0.70	16.4
g_m +15%	0.41	13.2	0.76	16.1	0.69	17.9

在所有的器件中，通过增加 C_{gd}可以显著增加 MSG。对于低噪声 FET 和功率 pHEMT，通过增加 C_{gs}可以改善稳定性；对于低噪声 pHEMT，通过增加 L_S可以改善稳定性。

下面会给出一些偶模不稳定的例子。首先考虑一个自偏置晶体管拓扑结构，如图 17.4(a)所示。

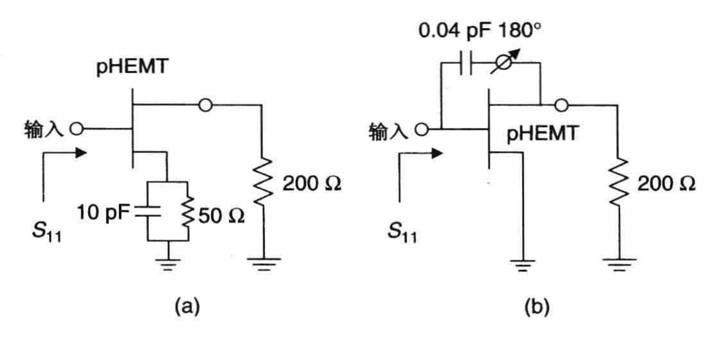


图 17.4 (a)自偏置 pHEMT 配置;(b)反馈表示

此处所选器件为 pHEMT[见表 5.9(a)]，偏置点为 2.5 V 和 10 mA。漏源电压和栅源电源分别为 2 V 和 −0.5 V，器件工作在 10 GHz。器件输出接 200 Ω 负载，则仿真 K 因子和 S_{11}所得如下($|S_{22}|$ < 1)：

频率(GHz)	K	$\|S_{11}\|$
1.0	−0.67	1.056
1.5	−0.58	1.062
2.0	−0.48	1.054
2.5	−0.37	1.037
3.0	−0.28	1.015
3.3	−0.22	1.000
3.5	−0.19	0.991
4.0	−0.11	0.962

当频率低于 3.3 GHz 时，自偏置 pHEMT 对于 50 Ω 输入阻抗是潜在不稳定的。S_{11} 由于串联反馈电容而大于 1。电容值越大，不稳定频率值越低。

图 17.4(b)将晶体管或者放大器封装后的结构用一个反馈结构来表示。反馈耦合系数为 -28 dB，相位为 180°。当器件的寄生电抗忽略不计时，晶体管输入和输出之间有 180°的相位差，这样当输出信号经反馈环接到晶体管/电路的输入时就会有 360°的相位差，和输入信号同相相加，这就会导致 S_{11} 变大至大于 1，如下所示：

频率(GHz)	K	$\|S_{11}\|$
2.0	-0.03	1.015
4.0	-0.05	1.050
6.0	-0.07	1.090
8.0	-0.08	1.108
10.0	-0.08	1.080
12.0	-0.07	1.014
12.4	-0.06	0.999
14.0	-0.02	0.928
16.0	0.05	0.837

这里，$|S_{22}|$ 依然小于 1，因此当频率小于 12.4 GHz 时，电路是潜在不稳定的。

另一个潜在不稳定单级放大器如图 17.5(a)所示，放大器设计在 15 mil 氧化铝微带线基底上。当一个 10 pF 电容和电感 L 谐振时，一个短路微带线转变成一个开路微带线，如图 17.5(b)所示，这可能会导致振荡。根据图 17.5 所示，计算的放大器性能如下表，图 17.5(b)的放大器在20 ~ 22 GHz 之间是潜在不稳定的。

频率(GHz)	K	$\|S_{11}\|$	$\|S_{22}\|$	$\|S_{21}\|$(dB)
8	1.09	0.75	0.83	6.1
9	1.15	0.43	0.51	10.4
10	1.28	0.28	0.28	10.2
11	1.31	0.39	0.46	8.1
18	0.68	0.65	0.93	-2.0
19	0.55	0.66	0.99	-2.5
20	0.45	0.77	1.07	-4.1
21	0.38	0.91	1.08	-8.2
22	0.35	0.98	1.02	-15.8
23	0.37	0.99	0.95	-17.6
24	0.40	0.99	0.88	-20.0

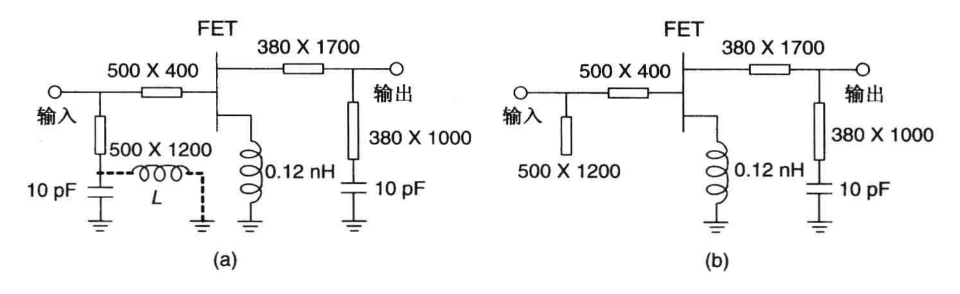


图 17.5　(a)单级 FET 放大器结构；(b)单级 FET 放大器接在 LC(10 pF)谐振网络后面

17.1.2 偶模振荡消除技术

早期的双端口稳定技术只是针对两个端口对外部阻抗而不是内部振荡的敏感度。例如，一个多级放大器即使其总的 K 因子是大于 1 的，它也有可能会产生振荡。稳定性分析必须包含所有的内部双端口晶体管和总体的电路。在一个多级放大器中，内部晶体管终端接无源负载，后面的有源器件可能会产生负值电阻。一系列稳定双端口放大器的级联是稳定的，但是如果加入了附加的反馈电路，新的电路就要重新分析其稳定性。如图 17.6 所示，如果三级放大器都是稳定的，并且第二级、第三级和反馈电阻的级联也是稳定的，那么整个系统就是稳定的。这个电路的稳定性要分析 5 次。

内部反馈（例如偏置电路）和外部反馈（例如封装和固定物）附带多个 360°的相位差，这可能会产生负值电阻。如果想将一个高增益放大器成功封装，封装的隔离度必须比放大器的最大增益至少高 15 dB。例如，为了对一个 30 dB放大器进行封装，这就需要封装的输入和输出之间的隔离度大于 45 dB。如果这个条件不能满足，不管放大器本身如何稳定，弱的隔离度会显著改变放大器的稳定性系数。测试高增益放大器（$G > 20$ dB）的 PCB 必须具有低的自感，陶瓷封装必须和底部边缘良好连接。通常在边缘和固定物之间加上薄的垫片。通过测试放大器输入和输出端口之间的 S 参数也可以研究反馈的效果。

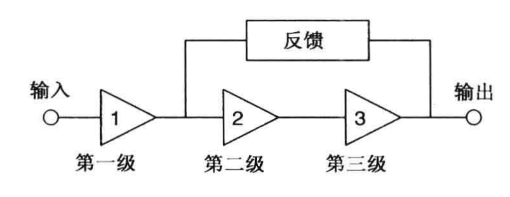


图 17.6 三级反馈放大器结构图

图 17.7 列出了一些晶体管稳定的原理。通常，稳定网络总是使条件稳定电路远离不稳定区域，稳定网络也会降低器件的增益。表 17.1 提供了 MESFET 和 pHEMT 器件各种稳定远离的比较。表 5.1 和表 5.9 提供了这两种晶体管在 10 GHz 时 S 参数和噪声参数的数据。这些晶体管是潜在不稳定的。稳定性系数值调整到 $K = 1$。从表 17.1 可得到并联电阻对噪声系数的影响最大而对增益的影响最小；而源极电感对噪声系数影响最小而对增益影响最大。因此源极电感技术经常使用在 LNA 设计中。但是，在高频段，源极电感会增加串联反馈进而影响放大器的稳定性。与其他两种方法比较，并联电阻和电阻反馈技术同样可以改善 10 GHz 以下电路的稳定性。我们可以在漏极加一个并联电阻来改善稳定性，但是这会增加直流供电和减小射频输出功率。

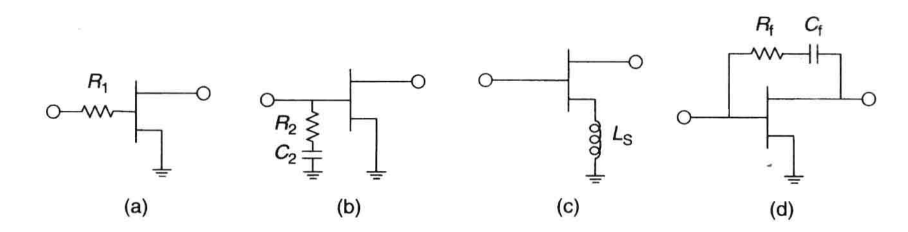


图 17.7 晶体管稳定性方案：(a) 串联电阻；(b) 并联电阻；(c) 源极或串联反馈电感；(d) 并联或反馈电感

精确的晶体管偏置和温度模型、无源器件模型、包含偏置和反馈网络在内的电路仿真设计都可以帮助预测偶模是否稳定。例如，对于 MMIC 和混合 MIC，旁路电容、键合线和外部旁路电容电路的组合就可能产生并联谐振。这会产生电路内部的负值电阻，而且会在偏置电路的并联谐振频率处产生振荡。这种振荡叫做偏置振荡，也是偶模振荡的一种。在放大器测试中，这种不稳定就会导致小信号增益的下降。

表 17.1　器件稳定性技术方案的比较

参数	器件[a]	稳定性方案				
		无	串联电阻	并联电阻	源极电感	反馈电阻
K	MESFET	0.377	1.0	1.0	1.0	1.0
	pHEMT	0.647	1.0	1.0	1.0	1.0
MSG(dB)	MESFET	12.7	12.3	12.3	11.8	11.5
	pHEMT	15.8	15.6	15.6	13.0	15.6
NF_{min}(dB)	MESFET	0.81	1.86	4.05	0.79	2.25
	pHEMT	0.39	1.13	1.85	0.38	0.80

[a] MESFET：$R_1 = 10.7\ \Omega$，$R_2 = 97\ \Omega$，$R_f = 485\ \Omega$，$L_s = 0.15$ nH。pHEMT：$R_1 = 9\ \Omega$，$R_2 = 230\ \Omega$，$R_f = 1840\ \Omega$，$L_s = 0.2$ nH。

精确的偏置电路模型仿真可以得到 K 因子的值来预测电路的不稳定性。通过改变电容的值、线宽或者在偏置电路中加一个电阻都可以改善电路的稳定性，如图 17.8 所示。

加电阻的目的是为了抑制低频振荡，主要是在 10 ~ 500 MHz。通常，电阻在射频/微波频段的效果非常小。即使不加射频/微波信号，偶模振荡同样可以发生。例如，一个无条件稳定高增益放大器低隔离度封装芯片即使没有射频输入信号，也可能发生微波振荡。高增益放大器需要高的隔离度。

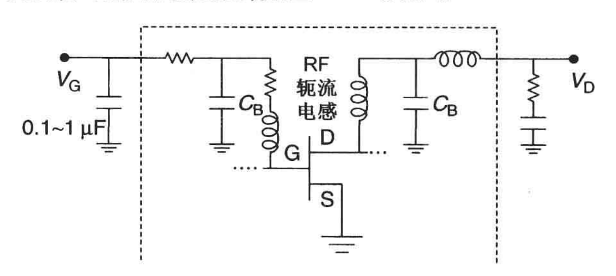


图 17.8　偶模稳定性方案

在小信号条件下，标准偶模($K > 1$)稳定性分析可以适当地防止微波偶模的自激。但是，在大信号和脉冲工作条件下，最差情况下的 K 因子也要大于 1。通过对可变偏置条件从 $V_{ds} = 3$ V 和 50% I_{dss} 到 $V_{ds} = 10$ V 和 25% I_{dss} 设计 S 参数，大信号和脉冲工作条件的输入信号包络是一致的。研究发现，对于 MSAG HPA，直流工作点 $V_{ds} = 10$ V 和 25% I_{dss} 上如果 $K > 2$，那么小信号 S 参数在任何条件下都能够保证稳定性条件。

当使用网络分析仪对功率放大器进行“片上”测试时，有一种现象是电路增益比预期值要低得多(10 ~ 15 dB)。这是因为不合适的接地或者测试频带外的低频不稳定。这可以由将电路的输出经过耦合器接到频谱测量仪来得到验证。一个有效的方法是把直流地和射频地用尽可能短的线连接在一起，或者将去耦电容(100 ~ 600 pF)尽可能地靠近源极和漏极。

在设计硅基底放大器的偏置网络时必须要格外小心，以避免在几 kHz 到几百 MHz 之间会发生低频振荡。射频放大器由于低的基底电阻系数、高寄生电容和高增益而更容易产生振荡[6]。这可以通过添加由两段射频扼流圈和并联旁路电容组成的低频自谐振偏置网络来避免，连接到射频电路的部分由低电感射频扼流圈和低旁路电容(20 ~ 50 pF)组成，这样它们的阻抗值就比放大器在该位置的阻抗高 5 ~ 10 倍。也可以通过一个大电感射频扼流圈来达到射频和直流之间更好的隔离，通过一个大旁路电容值(一个 1 nF 和 10 μF 的组合)来实现低频信号的传输。

17.2　奇模振荡

在功率放大器系统中，经常使用一组匹配网络的偶数个晶体管电路。当晶体管并联连接且每个器件都有其独立的输入和输出匹配网络时，就可能会导致奇模振荡。功率放大器(MMIC 和

MIC)中使用的晶体管可能会在 I_{ds}、V_P、g_m、源极电感或者集电极电感方面有所不同，这就会导致晶体管增益和功率输出的不同。同样，匹配网络可能会由于器件之间的耦合导致不同晶体管输入和输出阻抗的不同。因此在并联晶体管结构中，每个器件都不能设计成完全相同的匹配。这种微小的失配可能因为不同的晶体管漏极 RF 电压而形成奇模的激励，因而可能会产生负值阻抗或者奇模振荡。这种振荡也可以称为并联晶体管振荡，也会由晶体管之间有限的隔离度而产生。如图 17.9 所示，一个双端口放大器由两个并联的晶体管组成，在这种结构中，在输入/输出端口之间存在一个反馈网络。由于器件的高增益和输入/输出端口有限的隔离度就会产生振荡。偶模振荡发生在工作频带内或者远远大于工作频率，这是由于总的环路的长度和工作频率的一个波长相近。

17.2.1 奇模稳定性分析

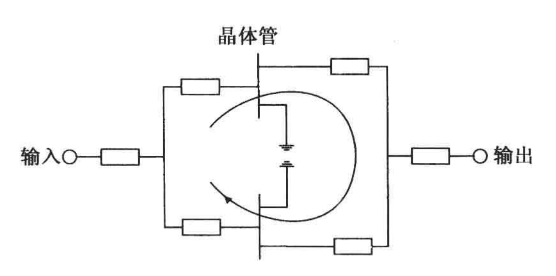


图 17.9 由两个晶体管并联所形成的放大器结构

奇模振荡可以通过测量器件不同的小信号 S 参数或者通过 EM 仿真的方法来对匹配网络进行精确的多端口仿真。这种振荡的分析可以查阅相关的文献[7~10]。Mochizuki 等人[11]已经分析了由于奇模存在而产生的亚谐波($f/2$)环路振荡。这种类型的奇模振荡发生于窄带和增益压缩区域附近。在这种情况下，输出功率突然下降，而$f/2$ 振荡信号产生;当再次增加输入信号时，输出功率又增加了，结果振荡消失。这种奇模振荡是偏置电压、RF 输入功率的函数而与源和负载阻抗无关。

这种奇模稳定性分析可以分为 4 类:奇模分析[7~9]，奈奎斯特稳定性准则[12~14]，归一化行列式方程(NDF)技术[15~17]，全局稳定性分析[18, 19]。NDF 技术和奈奎斯特稳定性准则相近。在多用途和复杂度方面，奇模分析表现最差而全局稳定性分析最好。前面三种技术基于线性器件模型，稍后会做讨论，而全局稳定性分析是基于非线性器件模型，可参见参考文献[18]和[19]。

奇模分析

假设一个单级功率放大器的原理图如图 17.10 所示，4 个晶体管组共同使用了匹配方法。AA 面和 BB 面分别是一半放大器和全部放大器的对称面。R_1和 R_2是隔离电阻，它们的初始值非常大(>1 kΩ)。通过把对称面看成是虚拟地，可以进行奇模分析。如果是一半电路，如图 17.10 所示，当对称面 AA 的点被短路到地(假设一个虚拟地)时，电路如图 17.11 所示，可以进行奇模分析。在一个很宽的频率范围内计算，当在某些频率输入反射系数大于 1 并且相位角是 180°时，电路就会在该频率点产生奇模振荡[8, 9]。通过调整 R_1 和 R_2 的值可以使输入反射系数小于 1。同样，可以使用同样的方法把输入端接地，分析输出端反射系数，同样需要正确选择 R_1 和 R_2的值。由于电路的物理和电学特性是对称的，所以 R_1和 R_2的值不会影响 RF 的电路性能。R_1和 R_2的值的选择取决于放大器设计。在 MMIC 中，R_2的物理尺寸必须认真选择，以避免奇模振荡和其他可能导致的输出匹配电路的不平衡。如果是 FET/HEMT，R_1和 R_2选择 20 Ω·mm 的值是可行的。对整个电路可以做相似的分析。如果输出是八路合成，就需要对四分之一、一半和整个电路进行奇模分析。电路模块也可以通过推挽结构来进行奇模分析，如图 17.11(b)所示。

上面分析的奇模分析仅限于对称结构。但是当几个功率放大器器件并联时，就会产生非对称情况，这时就需要使用更通用的稳定性分析技术进行分析，比如说奈奎斯特稳定性准则或者 NDF。

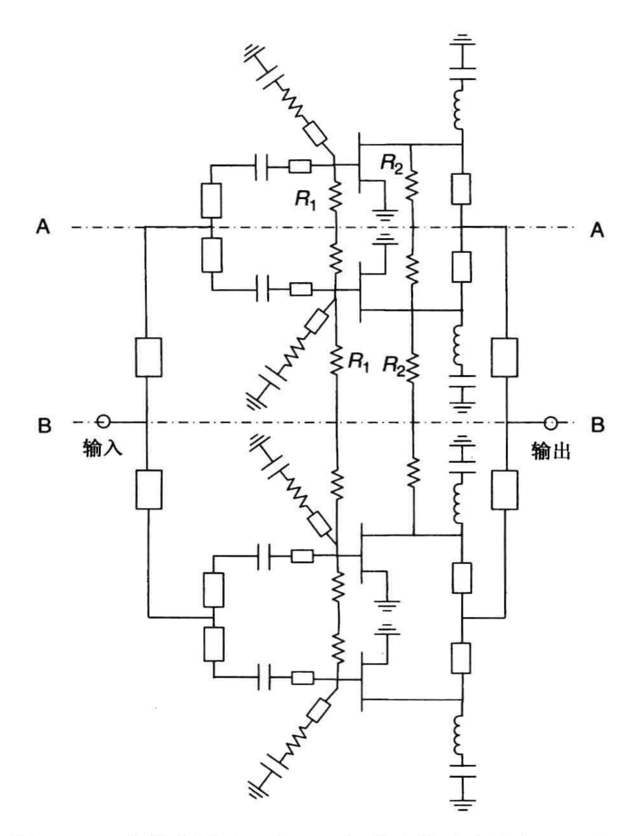


图 17.10　奇模分析时 4 个 FET 组构成的功率放大器对称面

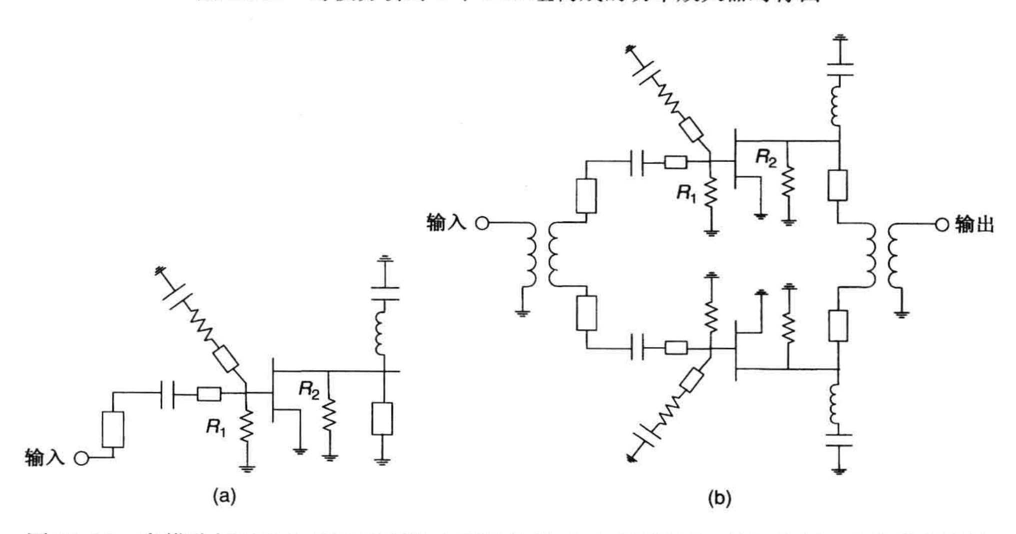


图 17.11　奇模分析时 2 个 FET 功率放大器的结构：(a) 单端结构；(b) 使用巴伦的推挽结构

奈奎斯特稳定性准则

考虑一个反馈电路，如图 17.12(a)所示，$A(\omega)$是前向开环增益，$F(\omega)$是反馈增益，两者都是频率的函数。此时闭环增益 v_o/v_i为

$$\frac{v_o}{v_i} = G_v = \frac{A(\omega)}{1 - A(\omega)F(\omega)} \tag{17.12}$$

$A(\omega)F(\omega)$是环路增益，同样是 ω 的复函数。这可以表示为实部和虚部或者极坐标形式。当

$$1 - A(\omega)F(\omega) = 0, \qquad |A(\omega)||F(\omega)| > 1$$

并且

$$\angle A(\omega) + \angle F(\omega) = 2n\pi, \qquad 其中\ n = 0,\ 1,\ 2, \cdots$$

放大器会产生振荡。

根据奈奎斯特稳定性准则，对于一个稳定的环路增益，当闭环系统的极坐标图在 $-\infty < \omega < +\infty$上如果环绕着 1 至少一次，那么系统就是不稳定的，即闭环增益方程有右半平面的极点，如图 17.12(b)所示。对于任意闭环系统的稳定性准则，就是环路的相移必须在任何增益大于等于 1 的频率处都不能达到 360°。如果放大器是共源结构，输出信号存在固有的 180°相移，这就表示放大器附加的相移在任何增益大于等于 1 的地方都不能达到 180°。

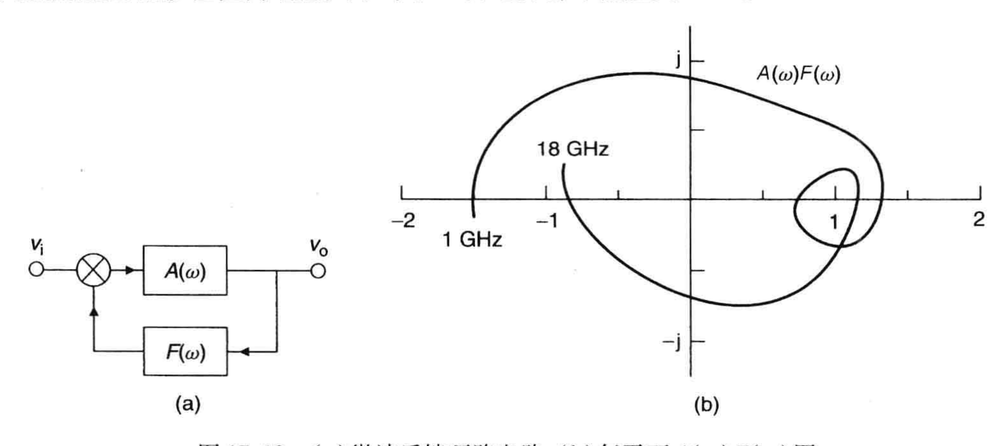


图 17.12 (a)微波反馈环路电路；(b)复平面 $A(\omega)F(\omega)$图

Jackson[12]介绍了使用 CAD 工具对微波功率放大器进行稳定性分析的方法。首先，考虑微波电路的一半表示，Z_d是器件的阻抗，Z_r是谐振电路的阻抗。接着，假设电路由 v_i经理想耦合器激励，如图 17.13 所示。输出电压 v^+ 为

$$v^+ = \Gamma_d(v_i + v^-) = \Gamma_d v_i + \Gamma_d \Gamma_r v^+ \ 或\ v^+ = \frac{\Gamma_d}{1 - \Gamma_d \Gamma_r} v_i \tag{17.13}$$

其中 Γ_d和 Γ_r是器件和谐振电路的反射系数，v^- 是谐振器的反射电压。这是式(17.12)和式(17.13)的一个模拟，式(17.12)表示闭环增益。当图 17.13 电路的 $\Gamma_d\Gamma_r$极坐标图在 $-\infty < \omega < +\infty$上环绕 1 至少一次时，电路就是不稳定的。

通过 CAD 工具可以很容易得到 $\Gamma_d\Gamma_r$的值。这需要把耦合器换成理想环路器，如图 17.14 所示。理想环路器的 S 参数为

$$[S]_c = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix} \tag{17.14}$$

如图 17.14 所示，环路 1 端口的 S_{11}参数正是环路增益 $\Gamma_d\Gamma_r$。若极坐标图上此方程环绕 1 则表示电路是不稳定的。Ohtomo[13]描述了一种更通用的方法，可用于研究大栅极晶体管[17, 20]和分布式放大器[21]的稳定性。

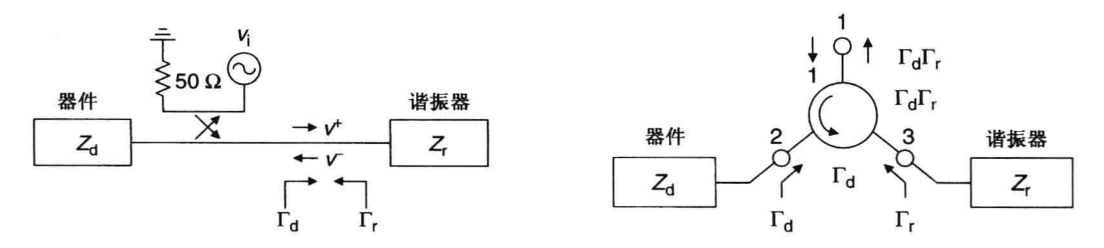


图 17.13　理想方向性耦合器的微波电路激励源　　图 17.14　使用理想环路器代替图 17.13 的微波电路

例 17.4　设计一个双晶体管并联功率放大器，匹配电路是无耗的，中心频率为 10 GHz。研究它的偶模和奇模稳定性。器件使用 Toshiba 的 JS8853-AS 中等功率 GaAs FET，其 EC 模型可由[12]下列参数值得到：

$$R_g = 0.62\ \Omega,\ R_i = 0.56\ \Omega,\ R_s = 0.34\ \Omega,\ R_{ds} = 80\ \Omega,\ R_d = 0.56\ \Omega$$
$$g_m = 155\ \text{mS},\ \tau = 7.2\ \text{ps}$$
$$C_{gs} = 1.4\ \text{pF},\ C_{gd} = 0.12\ \text{pF},\ C_{ds} = 0.62\ \text{pF}$$
$$L_g = 0.0\ \text{nH},\ L_s = 0.01\ \text{nH},\ L_d = 0.0\ \text{nH}$$

解　放大器原理图如图 17.15 所示，并且使用理想传输线优化，设计中不考虑寄生效应。10 GHz 时的设计参数如下[13]：

$$T_1 = 8.2\ \Omega, 70.2^\circ;\ T_2 = 15.2\ \Omega, 52.5^\circ;\ T_3 = 15.0\ \Omega, 72.8^\circ;\ T_4 = 11.3\ \Omega, 76.0^\circ$$

R_1和 R_2的值分别为 0 Ω 和 100 kΩ。为了方便，这次设计称为“设计 A”。

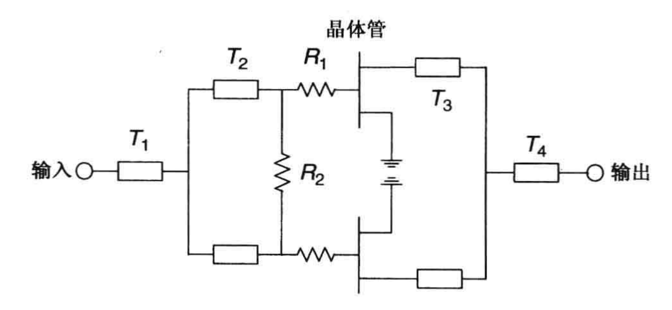


图 17.15　双晶体管并联放大器结构和稳定电阻

图 17.16 的原理图可以计算开环传输函数(OTF)，用来测试奇模稳定性。在 1 ~ 40 GHz 范围内对放大器进行测试，其性能参数如表 17.2 所示。在大约 7.1 GHz 处，$|S_{11s}| = 1.08$，角度为 0，并变换符号，这表示放大器会产生奇模振荡。

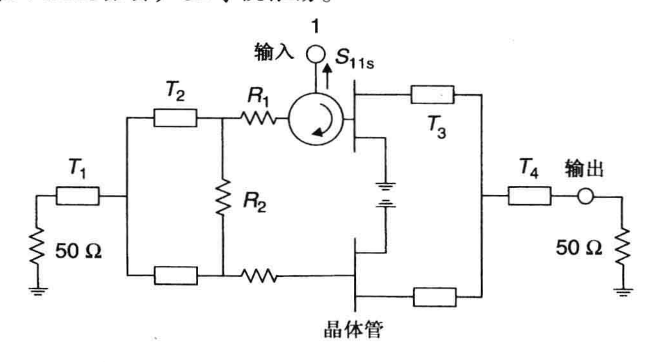


图 17.16　用理想环路器代表图 17.15 的电路图

表 17.2　设计 A 放大器的性能和 OTF 摘要

频率 GHz	输入 RL(dB)	增益(dB)	输出 RL(dB)	μ	$\vert S_{11s}\vert$	$\angle S_{11s}$
6.8	0.30	-3.0	0.89	0.92	1.08	6.7
6.9	0.32	-2.8	0.91	0.92	1.08	4.3
7.0	0.33	-2.5	0.94	0.91	1.08	1.7
7.1	0.34	-2.3	0.97	0.91	1.08	-1.1
7.2	0.35	-2.0	1.00	0.91	1.08	-4.2
9.6	6.00	10.6	7.64	0.95	0.68	-0.6
9.8	9.08	11.0	9.69	0.98	0.71	-3.8
10.0	11.35	10.9	10.35	1.01	0.72	-7.0
10.2	10.16	10.3	9.53	1.03	0.73	-10.0
10.4	7.98	9.4	8.47	1.04	0.74	-13.0

下面，我们考虑对 R_1 和 R_2 放大器性能和 OTF 的影响。

1. $R_1 = 1.2\ \Omega$，$R_2 = 100\ \text{k}\Omega$。在这种情况下 $|S_{11s}| < 1$，放大器增益在 10 GHz 处由 10.9 dB 下降到 9.2 dB，这也会影响 μ 因子。
2. $R_1 = 0\ \Omega$，$R_2 = 194\ \Omega$。在这种情况下所有频率处 $|S_{11s}| < 1$，放大器性能不受影响。此时隔离电阻比串联电阻更有效。

例 17.5　将 Toshiba 的 JS8853-AS 中等功率 GaAs FET 的 EC 模型换为 pHEMT，其 EC 模型可由表 5.10 的#1(见第 5 章)得到，研究其偶模和奇模稳定性。

解　放大器性能和 S_{11s} 可由表 17.3 得到。放大器在 8.8 GHz 处仍然存在奇模不稳定。这表示奇模不稳定更多的是和电路设计有关而不是器件本身。这在后面会深入讨论。

表 17.3　设计 A 放大器的性能和 OTF 摘要[a]

频率(GHz)	输入 RL(dB)	增益(dB)	输出 RL(dB)	μ	$\vert S_{11s}\vert$	$\angle S_{11s}$
8.6	0.49	3.8	0.38	0.81	1.11	4.7
8.7	0.53	4.2	0.39	0.80	1.13	2.2
8.8	0.57	4.7	0.40	0.79	1.15	-0.6
8.9	0.62	5.2	0.40	0.78	1.18	-3.7
9.0	0.67	5.8	0.41	0.77	1.21	-7.5
9.6	1.31	9.7	0.51	0.68	0.95	-68.0
9.8	1.77	11.2	0.61	0.65	0.31	-68.3
10.0	2.51	12.8	0.84	0.61	0.33	-5.4
10.2	3.73	14.3	1.33	0.58	0.50	-0.3
10.4	5.54	15.5	2.32	0.56	0.59	-3.6
10.6	7.24	16.1	4.07	0.55	0.65	-7.9
10.8	7.07	15.9	6.52	0.55	0.68	-12.4
11.0	5.73	15.2	9.05	0.57	0.69	-16.8

[a]此时，用 pHEMT 代替 FET。

设计 A 中的理想传输线由微带线代替，参数为 100 μm 厚 GaAs 基底，金属导体厚度为 4.5 μm，计算中已包含微带损耗；但是，设计中仍然没有考虑寄生效应。放大器原理图仍然如图 17.15 所示。放大器设计在 10 GHz 处用 pHEMT 的 EC 模型(表 5.10 的#1)进行优化，设计参数如下所示：

$$T_1 = 12, 3500;\quad T_2 = 90, 2890;\quad T_3 = 12, 1500;\quad T_4 = 190, 1800$$

所有的尺寸(宽度、长度)都是微米(μm),R_1和R_2的值分别为 1 Ω 和 100 kΩ,这个设计称为“设计 B”。

放大器(设计 B)性能和S_{11s}值可由表 17.4 得到,放大器在 4 GHz 处仍然存在奇模不稳定。下面考虑R_1和R_2的值对放大器性能和 OTF 的影响。

表 17.4 设计 B 放大器的性能和 OTF 摘要

频率(GHz)	输入 RL(dB)	增益	输出 RL(dB)	μ	$\|S_{11s}\|$	$\angle S_{11s}$
3.8	0.97	10.5	8.43	0.92	1.22	14.3
3.9	0.94	10.3	8.33	0.92	1.24	6.7
4.0	0.92	10.0	8.25	0.93	1.25	-0.9
4.1	0.90	9.8	8.16	0.93	1.26	-8.5
4.2	0.88	9.6	8.08	0.94	1.26	-16.1
9.6	7.91	14.1	9.34	0.99	0.38	-22.0
9.8	10.70	14.2	9.53	1.01	0.37	-10.8
10.0	12.09	14.1	9.61	1.04	0.36	-0.5
10.2	10.27	13.7	9.58	1.07	0.35	-11.8
10.4	7.84	13.1	9.46	1.10	0.34	-23.3

1. $R_1 = 5.6\ \Omega$, $R_2 = 100\ \text{k}\Omega$。在这种情况下$|S_{11s}| < 1$,放大器增益在 10 GHz 处由 14.1 dB 下降到 11.4 dB,这也会影响μ因子。
2. $R_1 = 1\ \Omega$, $R_2 = 630\ \Omega$。在这种情况下$|S_{11s}| < 1$。

下面对设计 B 的放大器在 10 GHz 使用 pHEMT 的 EC 模型(表 5.10 的#1)进行再优化,其中使用了一小截固定T_3长度值的微带线来减小环路长度。再优化的参数如下所示:

$$T_1 = 40, 4000;\ \ T_2 = 190, 3000;\ \ T_3 = 12, 300;\ \ T_4 = 190, 3350$$

R_1和R_2的值分别为 1 Ω 和 100 kΩ,这次设计称为“设计 C”。

对放大器在 1 ~40 GHz 范围内进行测试,这次放大器不存在奇模不稳定。放大器(设计 C)性能和S_{11s}参数可由表 17.5 得到。设计 B 和设计 C 的放大器的性能相似。这表示奇模不稳定和电路设计有关。

表 17.5 设计 C 放大器的性能和 OTF 摘要

频率(GHz)	输入 RL(dB)	增益	输出 RL(dB)	μ	$\|S_{11s}\|$	$\angle S_{11s}$
9.0	4.28	13.7	6.22	0.83	0.43	38.4
9.2	5.48	14.1	6.63	0.84	0.42	30.9
9.4	7.03	14.5	7.12	0.85	0.41	23.6
9.6	8.82	14.6	7.66	0.87	0.40	16.3
9.8	10.34	14.6	8.20	0.89	0.39	9.2
10.0	10.64	14.4	8.68	0.92	0.37	2.0
10.2	9.64	14.1	9.05	0.94	0.35	5.2
10.4	8.23	13.6	9.28	0.96	0.33	12.6
10.6	6.96	13.1	9.38	0.98	0.31	20.2
10.2	5.95	12.5	9.38	1.01	0.28	28.3
11.0	5.16	11.9	9.30	1.03	0.26	36.8

将设计B放大器的两个漏极用短的高阻抗传输线(宽 12 μm、长 200 μm)连接起来，如图17.17所示。在这种情况下，每个漏极都有个100 μm长的开路节;这对放大器性能影响很小，放大器没有奇模不稳定的情况。这种拓扑结构由于其更高的合成效率而比在晶体管输出端接隔离电阻更具有优势。

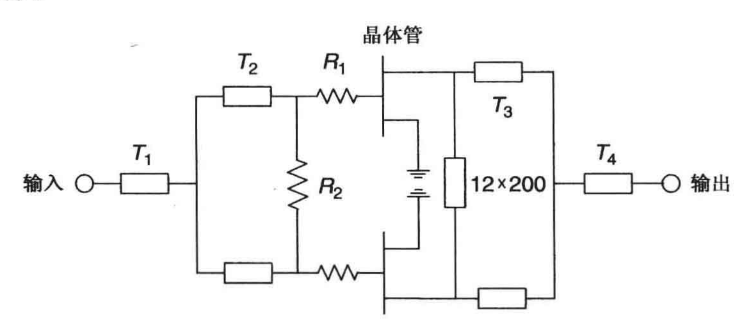


图 17.17 为了改善环路稳定性修改输出匹配后的放大器

NDF

在一个使用若干放大器或者包含多个器件的大尺寸晶体管的多级功率放大器中，稳定性分析变得更加复杂和富有挑战性。一个有效的途径是使用一个更有效的稳定性分析技术，例如归一化行列式方程(NDF)[15~17]。这种方法是一种综合的稳定性准则，包含了所有的晶体管端口。

一个含有 N 个有源器件的NDF稳定性计算的电路表示如图17.18所示。只考虑有源器件1，由式(17.12)，可得回波比(RR)：

$$\mathrm{RR}_1 = -\mathrm{AF} = -V_{o1}/V_{e1} \tag{17.15}$$

V_{o1}是栅极电容电压，V_{e1}是外部电压，此时源2到源 N 的 g_m 都是0。源1的NDF可以计算得出：

$$\mathrm{NDF}_1 = \mathrm{RR}_1 + 1 \tag{17.16}$$

总的NDF(NDF_t)可由下式得到：

$$\mathrm{NDF}_t = \mathrm{NDF}_1 \times \mathrm{NDF}_2 \times \cdots \times \mathrm{NDF}_N$$

一般情况下，将NDF_t画在极坐标图上，若其环绕原点，则这个电路是不稳定的，图线和负实轴的焦点可以确定振荡的频率[17]。

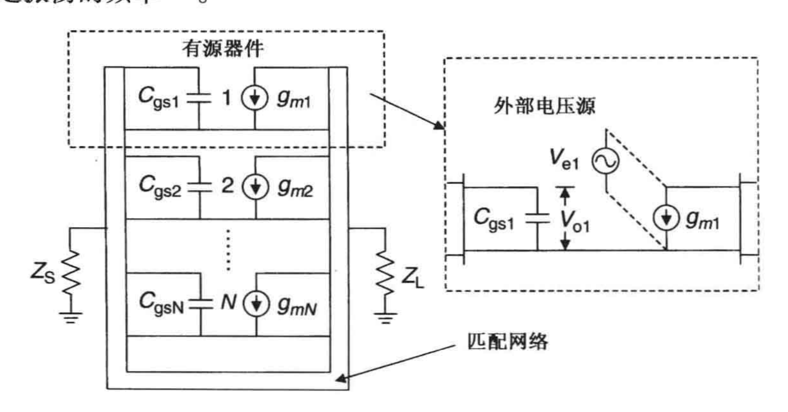


图 17.18 含有 N 个有源器件的电路进行NDF稳定性分析时的简单电路

17.2.2　奇模振荡抑制技术

为了减小奇模振荡的概率，应该使用良好匹配的晶体管、相同源自感系数的 FET 和平衡式匹配网络。源极或者发射极的不平衡也会导致奇模振荡。如果上面所说的几种情况都很难达到，就应该通过以下几种方式来减小奇模振荡的概率：把所有的栅极馈电和漏极馈电用尽可能短的线连接起来，或者是在栅极馈电和漏极馈电之间连接需要的电阻（见图 17.10）。连接栅极馈电和漏极馈电的电阻也称为隔离电阻。隔离电阻的值由奇模分析确定，其值一般在10 ~ 50 Ω之间。通常连接栅极和漏极的小电阻已经能够很好地抑制奇模振荡。串联电阻也会减小放大器的增益和功率。一种普遍的方式是使用隔离电阻，可以消除不平衡信号。但是隔离电阻同样会减小放大器的增益和功率。在大部分情况下，奇模振荡发生于 RF 驱动条件下。

17.2.3　分布式放大器的不稳定性

如果晶体管输入和输出端的反馈电容值很高，这就会导致分布式放大器（DA）环路的不稳定。由于 FET/HEMT 中大的反馈电容 C_{gd}，这种不稳定发生在 DA 截断频率处（见第 11 章）。这种振荡依靠于晶体管的 g_m 值，会导致放大器输入/输出反射系数大于 1。随着 g_m 值的增加，这种不稳定会变得更加显著。如果 DA 在室温条件下是稳定的，那么在低温下，晶体管的 g_m 值会增加，这可能会导致振荡。

通过选择器件的偏置条件，使 g_m/C_{gd} 值最大，或者使用级联结构、更多的器件组合和小尺寸的器件，DA 的不稳定就有可能消除。

17.3　参数式振荡

当晶体管被驱动到非线性区域时，由于输入 RF 振荡频率的倍频电压都加在非线性电抗上，一个参数式分频谐波振荡就会发生（工作频率或者激励频率的分频）。在这种情况下，分频可能会在工作频率处产生负值电阻，这种负值电阻首先是由 Manly 和 Rowe[22, 23] 提出的。

在 BJT 和 HBT 中，基极-发射极电容 C_{bc} 是非线性容抗；而在 MESFET 和 pHEMT 中，C_{gs} 和 C_{gd} 则是非线性容抗。在双极型晶体管中，基极储存电荷比单级 FET 和 pHEMT 的时间要长得多，这会导致比 FET 和 pHEMT 更高级数的分频振荡（30 阶）[10]，如图 17.19 所示。匹配网络及封装参数和终端负载一起构成了一个 LC 谐振网络，谐振频率是工作频率的亚谐波。这种谐振器就会产生参数式振荡，其是输入功率、偏置条件、工作频率和终端负载条件的函数，能够发生在晶体管的输入和输出端口。

参数式振荡在参考文献[24]中已经有所介绍，可以通过商用非线性软件对其非线性进行精确建模。此时，必须对晶体管电容进行精确建模以预测非线性的电抗和负值电阻。

宽带放大器中参数式振荡的抑制是一个很大的挑战。但是在窄带放大器中，可以通过以下两种方式来实现：一是设计匹配网络使增益在低频段有较陡峭的变化（这样放大器在分频处就比基频处有更低的增益）；二是使用有损的匹配网络或者偏置网络。在后一种情况中，器件端口的负值电阻就变为有源电阻。图 17.20 就是通过在低频处增加匹配网络损耗来防止参数式振荡。此处，在晶体管输入端并联使用 R 和 C。在低频处电阻 R 可以衰减信号，在工作频率处电容 C 可以将电阻短路，故电阻对增益影响很小。

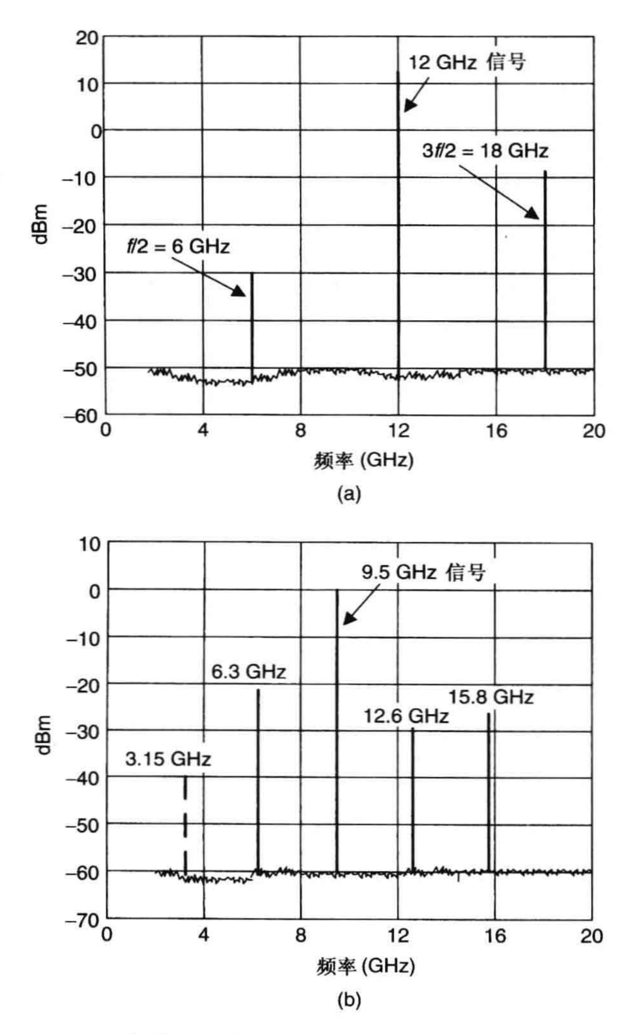


图 17.19 参数式振荡：(a)在 $f/2$ 频率处；(b)在 $f/3$ 频率处

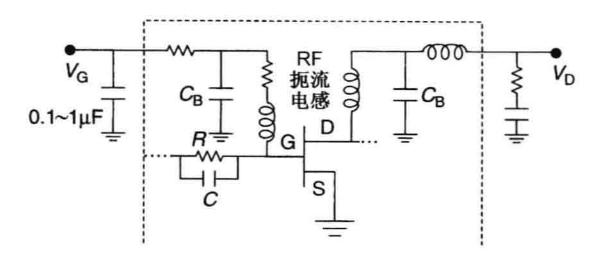


图 17.20 防止参数式振荡的稳定性原理图

17.4 杂散参数式振荡

晶体管放大器中的杂散参数式振荡在参考文献[25]和[26]中已经简要介绍，可以看做是由输入驱动信号功率决定的非线性和线性放大器偏置点的重合。由于 FET 的 EC 模型参数会随着驱动功率的变化而变化，所以在大驱动功率下，使用小信号 S 参数进行的稳定性分析已经不再

适用，放大器可能会产生偶模或者奇模振荡。如果满足两个条件：器件非线性条件下的参数式振荡和线性条件下的偶模或者奇模振荡，那么这些振荡合起来叫做杂散参数式振荡。防止杂散参数式振荡可以采用几种方法，通过设计偏置网络可以使 C_{gs} 减小约 30%，使 C_{gd} 增大约 30%。如果 IC 设计在偏置条件下的每一级的 $K>2$，那么就可以防止杂散参数振荡。图 17.21表示了两种不同类型的杂散参数式振荡。

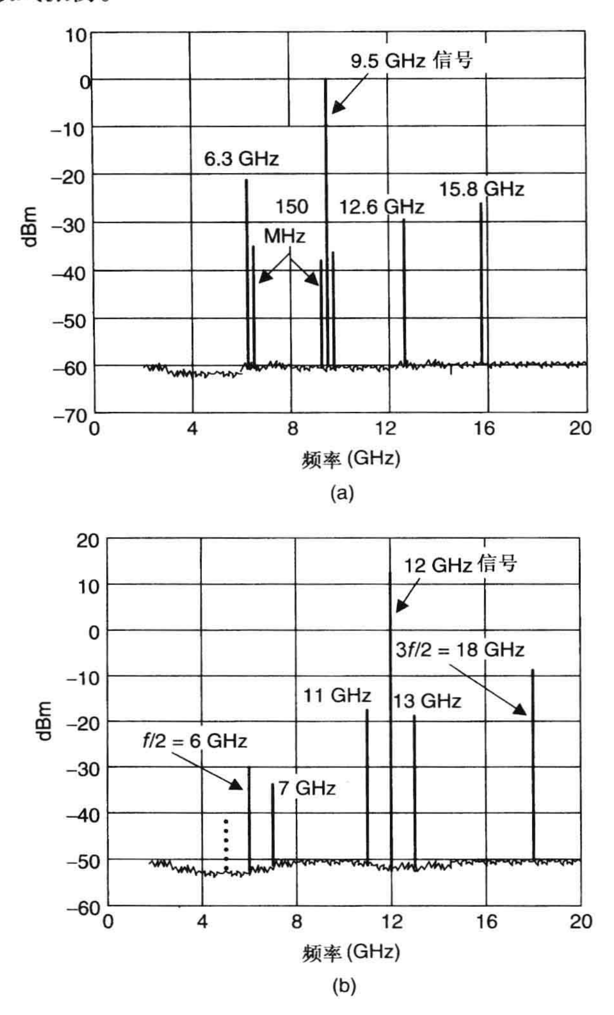


图 17.21 伪参数式振荡：(a)$f/3$ 和 150 MHz 偏置；(b)$f/2$ 和 7 GHz 偶模/奇模

17.5 低频振荡

低频振荡[27]是一种机械结构型谐振，它的成因主要是晶体管的自身缺陷，也就是器件的综合非线性特性。这些振荡也称为混沌的(或奇异的)，并且不能用前面讲到的方法预测。当在大功率晶体管/IC 中使用大栅极器件时，就可能会产生这种振荡，主要发生在 10 Hz ~ 50 MHz 频率范围内。图 17.20 和图 17.22 是两种有效的抑制低频振荡的方法，这主要是在芯片外完成的。同样可以使用一个电阻式匹配网络来抑制低频振荡，将在 18.5 节进行讨论。

本章通过几个实例从理论及实际应用方面对放大器稳定性问题进行了分析。表 17.6 表示了振荡条件、预测放大器不稳定的分析及预防措施。

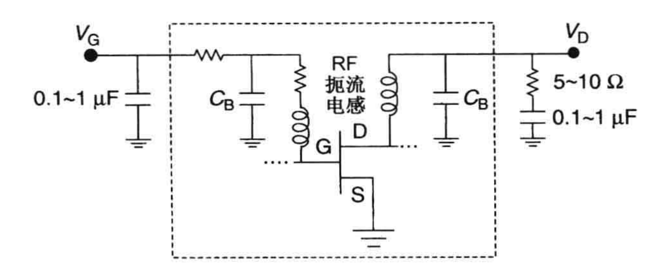


图 17.22 防止低频振荡的稳定性原理图

表 17.6 放大器中的微波和射频振荡

振荡类型	不稳定类型[a]	分析	预防方式
偶次	DC,SS,LS	线性与非线性	K 或 $\mu>1$
奇次	SS,LS	线性与非线性	NDF 分析
参数式	LS	非线性	低设备输入非线性

[a] SS，小信号;LS，大信号。

参考文献

1. T. T. Ha, *Solid-State Microwave Amplifier Design*, John Wiley & Sons, Hoboken, NJ, 1981.
2. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, Englewood Cliffs, NJ, 1984.
3. G. D. Vendelin, A. M. Pavio, and U. O. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, John Wiley & Sons, Hoboken, NJ, 1990.
4. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002, Chapters 8 and 11.
5. M. E. Edwards and J. H. Sinsky, A new criterion for linear 2-port stability using a single geometrically derived parameter, *IEEE Trans. Microwave Theory Tech.*, Vol. 40, pp. 2303–2311, December 1992.
6. A. Raghavan, N. Srirattana, and J. Laskar, *Modeling and Design Techniques for RF Power Amplifiers*, John Wiley & Sons, Hoboken, NJ, 2008.
7. J. G. Kassakian and D. Lau, An analysis and experimental verification of parasitic oscillations in paralleled power MOSFETs, *IEEE Trans. Electron Devices*, Vol. ED-31, pp. 959–963, July 1984.
8. R. G. Freitag et al., Stability and improved circuit modeling considerations for high power MMIC amplifiers, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 125–128, 1988.
9. R. G. Freitag, A unified analysis of MMIC power amplifier stability, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 297–300, 1992.
10. S. R. Nelson, Amplifier stability in short course, power amplifiers: from milliwatts to kilowatts ... cool devices with hot performance, in *1998 IEEE GaAs IC Symposium*.
11. M. Mochizuki et al., Nonlinear analysis of $f/2$ loop oscillation of high power amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 709–712, 1995.
12. R. W. Jackson, Criteria for the onset of oscillation in microwave circuits, *IEEE Trans. Microwave Theory Tech.*, Vol. 40, pp. 566–569, March 1992.
13. M. Ohtomo, Stability analysis and numerical simulation of multi-device amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. 41, pp. 983–991, June/July 1993.

14. S. Pisa and M. Zolesi, A method for stability analysis of small-signal microwave amplifiers, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 8, pp. 293–302, July 1998.
15. A. Platzker, W. Struble, and K. T. Hetzler, Instabilities diagnosis and the role of K in microwave circuits, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1185–1188, 1993.
16. W. Struble and A. Platzker, A rigorous yet simple method for determining stability of linear N-port networks, *IEEE GaAs IC Symp. Dig.*, pp. 251–254, 1993.
17. S. Goto et al., Stability analysis and layout design of internally stabilized multi-finger FET for high power base station amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 231–234, 2003.
18. S. Mons et al., A unified approach for the linear and nonlinear stability analysis of microwave circuits using commercially available tools, *IEEE Trans. Microwave Theory Tech.*, Vol. 47, pp. 2403–2409, December 1999.
19. A. Suarez and R. Quere, *Global Stability Analysis of Microwave Circuits*, Artech House, Norwood, MA, 2003.
20. F. E. van Vliet and A. de Boer, On the stability of MMICs using transistors with inductive source feedback, in *12th GaAs Symposium Digest*, Amsterdam, 2004, pp. 351–354.
21. P. Gamand, Analysis of the oscillation conditions in distributed amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. 37, pp. 637–640, March 1989.
22. J. M. Manley and H. E. Rowe, Some general properties of nonlinear Elements—Part I. General energy relations, pp. 904–913, *Proc. IRE*, July 1956.
23. P. Penfield and R. Rafuse, *Varactor Applications*, MIT Press, Cambridge, MA, 1962.
24. J. F. Imbornone et al., New insight into subharmonic oscillation mode of GaAs power amplifiers under severe output mismatch condition, *IEEE J. Solid State Circuits*, Vol. 32, pp. 1319–1325, September 1997.
25. D. Teeter, A. Platzker, and R. Bourque, A compact network for eliminating parametric oscillations in high power MMIC amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 967–970, 1999.
26. O. Muller and W. Figel, Stability problems in transistor power amplifiers, *Proc. IEEE*, Vol. 55, pp. 1458–1466, August 1967.
27. D. Miller and M. Bujatti, Mechamisms for low-frequency oscillations in GaAs FETs, *IEEE Trans. Electron Devices*, Vol. ED-34, pp. 1239–1244, June 1987.

习题

17.1　一个 300 μm GaAs FET 的 EC 模型由表 5.4 给出，试确定器件在 15 GHz 处的稳定性及导致不稳定的元件值。

17.2　GaAs FET 的散射参数由表 5.1 给出，显示出 FET 在 6 GHz 处是潜在不稳定的。画出 6 GHz 处的稳定圆，给出如何在不增加 NF 值的情况下使器件稳定。

17.3　两种不同晶体管的散射参数由表 5.1 和表 5.9 给出。计算 2 GHz 处不同晶体管的稳定性系数 K，并在史密斯圆图上画出输入和输出稳定性圆。确定哪个晶体管适用于 2 GHz 放大器，以获得1 dB NF 和 15 dB 增益。

17.4　GaAs FET 的共源散射参数由表 5.1 给出。计算 2 GHz 时这三种情况下共栅和共漏 S 参数和稳定性因子。

17.5　pHEMT 的散射参数由表 5.9 给出，计算晶体管在 2 ~ 26 GHz 的稳定性，给出 10 GHz 的稳定区域。

17.6　FET 的 S 参数由表 5.1 给出（在 50 Ω 系统中测量）：

(a) 计算 2 GHz 处最大增益时的共轭输入和输出阻抗，确定其稳定性，在史密斯圆图上绘出稳定圆，计算输入和输出稳定圆的圆心和半径。

(b) 如果负载 Z_L = 100 Ω，计算输入共轭匹配阻抗和晶体管增益，如果 Z_L = 200 Ω，重新计算上述值。

(c) 计算晶体管在 5 GHz、10 GHz、15 GHz 和 20 GHz 处的最大稳定增益。如果共轭匹配阻抗在输入和输出有 0.5 dB 的损耗，计算最大可用增益。

第18章 偏置网络

偏置是放大器设计的重要部分，它们可以给晶体管提供有效激励，偏置参数则可以随着晶体管技术的变化而变化，但是偏置方法的设计原则是基本一致。本章的目的包括一个偏置技术的综合处理(从 UHF 到毫米波频段)。

在参考文献[1～6]中介绍了很多放大器使用的偏置方案，偏置电路应该独立或是可以集成在匹配网络中，偏置网络的反馈作用在匹配网络中应该是可以忽略的或是可以控制的，换言之，当偏置电压作用于器件时，RF 能量不能通过偏置端口泄漏，否则 RF 的性能将会降低，包括增益、噪声系数、输出功率、PAE 和 IP3。必须将偏置电压同其他器件相隔离，偏置电路也必须提供最小的可能压降和 RF 射频损失。偏置设计补偿和 FET/HEMT 的主要方案将在本章描述。

18.1 晶体管偏置

晶体管偏置包括两部分:有利于器件在增益、噪声系数、输出功率、PAE 和线性有最好表现而选取的偏置 Q 点和偏置网络，两者对于放大器的工作都很关键，尤其是在处理低噪声和高功率方面。

18.1.1 晶体管偏置点

设计直流偏置电路时具有挑战性的工作之一是:选择合适的偏置点或者适合应用的静态工作点(Q 点)，由于温度和应用的变化引起晶体管参数变化，而合适的 Q 点使得晶体管在这些参数变化时保持恒定电流。这个反过来和晶体管的电流-电压关系有关，就是大家所熟知的 I-V 图，在第4章和第5章中已经讨论。图18.1(a)展示了一个 FET 的 I-V 特性。虚线将I-V图分为两个区域——线性区和饱和区。线性区呈电阻特性，当器件工作点落在这个区域时，这个特性引起信号衰减。饱和区提供增益和功率，所有放大应用的晶体管基本上都工作在这个区域。当栅极电压在夹断电压 V_p到 +1 V左右变化时(见图18.1)，器件的电流在 $0 \sim I_p$之间变化，I_p就是大家熟悉的沟道开启带电流或者最大器件电流 I_{max}(当栅源电压为正的时候出现)。I_p代表的是在饱和区的最大可用漏极电流，也关系到器件的最大可能输出功率。

偏置电路中常用的最重要的器件参数是 I_{dss}，这个饱和电流是指在零偏压或者 $V_{gs}=0$ V 的条件下，或者是指在偏压 $V_{gs}=+1.0$ V 时的脉冲峰值电流 I_p。大家所熟知的 I_D随着电压 V_G而变化就是跨导的定义:

$$g_m = \left.\frac{\Delta I_D}{\Delta V_G}\right|_{\text{operating } V_{ds}} \tag{18.1}$$

图18.1(b)表明了 $V_D = V_{ds}$时，I_D随 V_G的变化，FET 的 V_D在 3～10 V 之间变化。因此，在一些栅极电压，电流呈线性状态，或者大于 +1 V 时，g_m是常数;靠近夹断电压时，g_m会变小。因此工作在常数 g_m区域时，放大器具有高增益和线性特性。

一个 FET/HEMT(V_{ds}、V_{gs}、I_{ds})偏置的选择取决于它的应用，大功率应用需要较高的 I_{ds}、V_{gs}

值。通常情况下允许的最大 V_{ds} 由晶体管本身决定，漏极电压值的选择由生产商推荐，通常可以设置漏极电压使得晶体管达到最大输出功率和最佳 PAE。若其设置得比推荐电压小很多，将导致较差的 PAE 和较小的输出功率。标准器件的漏极电压是在 2 ~ 10 V 之间，但是对高压器件来说，它可以达到 50 ~ 100 V。

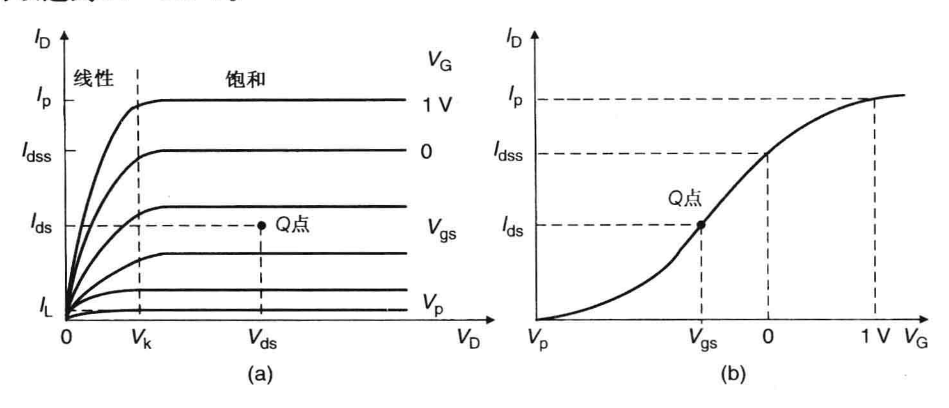


图 18.1　(a) FET 的 I-V 曲线；(b) 栅压和漏极电流的关系

V_{gs} 的选择取决于工作的类别、增益和 PAE 的要求，如同第 8 章讨论的那样。总体来说，在选择偏置点时，主要应考虑的是增益、噪声系数、输出功率、PAE、非线性失真、抑制自激和功耗。对于低功率和低噪声的应用，器件偏置于低的漏源电压和电流。一般来说，在低频时，器件的工作电流比在高频时要小，因为在高频时，器件增益低一些。但更高的电流可以得到更高的增益，这是由于有更高的 g_m。同样，低噪声系数(NF)应用要求低电流，通常 $I_{ds} = (15\% \sim 20\%)\ I_{dss}$，NF 随电流升高而升高。对于线性和大功率的应用，器件工作在 $(40\% \sim 50\%)\ I_{dss}$，然而对于高效率的应用，$Q$ 点漏极电流在 $(15\% \sim 35\%)\ I_{dss}$，在射频频率段，漏极电流是 $(10\% \sim 15\%)\ I_{dss}$。在高频毫米波段，器件工作在 $(50\% \sim 80\%)\ I_{dss}$，以达到最大增益值，对于各种晶体管，栅极电压的范围超过 Q 点电流变化范围 $(\pm 5\%\ I_{dss})$ 并不显著影响器件输出功率和 PAE，因此高 PAE 的放大器设计对栅极偏压工作点要求并不是很高。

18.1.2　偏置方案

基本上，一个偏置网络由一个 DC 模块和射频扼流圈组成，如图 18.2 所示。射频扼流圈的目的是使其在工作频段内有很高的阻抗，阻止 RF 通过偏置网络泄漏。在这种情况下，当一高阻抗出现在匹配网络中时，偏置电路的影响可以忽略。混合电路中的贴片电容和 MMIC 中的 MIM 通常作为直流偏置模块。理想情况下，电容在工作频率下形成短路。恰当选择 C 和 C_B 的值，使得 $\omega C = 2\pi f C$ 非常大。因此，$Z_C = -\mathrm{j}(1/\omega C)$ 非常小，且小信号通过电容时的损耗或反射都很小。例如，在 1 GHz 时，一个 100 pF 的电容阻抗 $Z_C = -\mathrm{j}\,1.6\ \Omega$。在 50 Ω 的环境中，这个电容几乎形成一个短路。电容值和电容类型的选择应使得在工作频率范围内不会形成并联谐振。像前一章讨论的一样，这样会在电容处形成一个非常高的阻抗从而使得放大器不稳定。射频扼流圈作为直流短路模块时会阻挡射频信号。在低频时，通常使用集总电感。应选择合适的电感值以使其在工作频率时的阻抗非常高。在 50 Ω 环境下的大多数应用中，扼流圈阻抗值在 500 ~ 1000 Ω 范围内都是可以接受的。比如，在 1 GHz 时，一个100 nH的电感

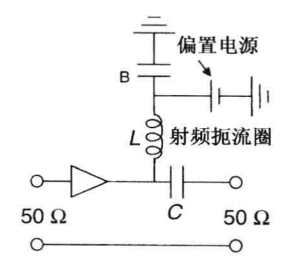


图 18.2　普通偏置电路

阻抗 $Z_L = \mathrm{j}628\ \Omega$，在 50 Ω 环境下，它几乎就是开路，轭流电感必须有高 Q 值和载流能力。一个大的 $L(\mathrm{d}I_D/\mathrm{d}t)$ 值导致一个大的电压变化，这可能会导致电压瞬变而损坏器件（特别是在大电流和高压的功放中）。在低频时晶体管存在潜在的不稳定，又因为直流和射频旁路电容值低而导致匹配网络成为开路，在这种情况下，偏置网络为放大器的无条件稳定运行提供所需的终端负载。

在晶体管中，与漏极/集电极电流相比，通常栅极/基极电流可以忽略不计；栅极/基极通过大电阻和/或射频扼流圈偏置，但是漏极/集电极的偏置通过射频扼流圈来完成。由于 BJT 和 HBT 需要一个正的基极-发射极电压，MOSFET/LDMOS 器件者需要一个正的栅极-源极电压，使用单电源供电。但是，FET 和 HEMT 使用双电源供电，也就是说，栅极为负电压而漏极是正电压。图 18.3 给出了简单的偏置电路，这里电阻的分压用做基极/栅极偏置，其中

$$V_{\mathrm{B}} = \frac{R_2}{R_1 + R_2} V_{\mathrm{C}}, \quad V_{\mathrm{gs}} = \frac{R_2}{R_1 + R_2} V_{\mathrm{D}} \quad 或 \quad V_{\mathrm{gs}} = \frac{R_2}{R_1 + R_2} V_{\mathrm{G}} \tag{18.2}$$

选择 R_1、R_2 的值使得偏置电流可忽略，并且不影响 HPA 的 PAE。对于 E 模式下的 FET/HEMT，需要一个正的栅极电压，如图 18.3(b)所示。

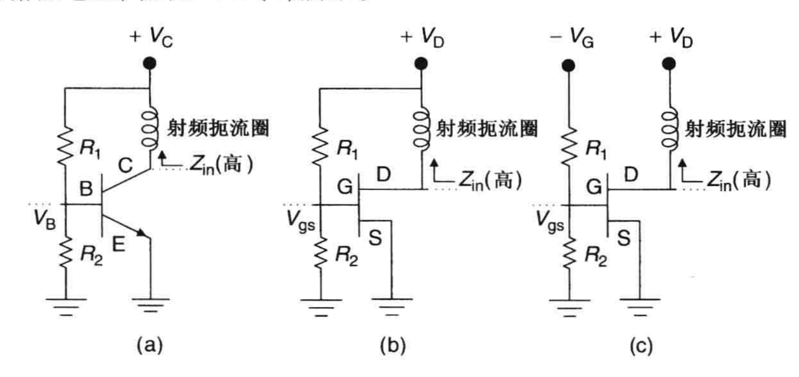


图 18.3 简单直流偏置电路；(a) BJT/HBT；(b) MOSFET/LDMOS；(c) FEF/HEMT

5 种实用的 FET/HEMT 偏置结构在表 18.1 中给出，电路(a)、(b)、(e)需要极性相反的双电源供电，由于在这些组态中源极与地连接使得有最小可能的源极电感，这样就能提供最大的增益；偏置电路(c)和(d)（有源极电阻）在中小功率应用中被广泛使用，它们是单电源供电。由于电压源的使用，同时栅极也会反过来通过串联电阻 R_S 作用于源极。R_S 值的选择是基于漏源电流 I_{ds} 和工作偏置点，这样的偏置电路是自偏置的，在以后的章节还会讲到。

栅极偏置

负电压通常用在一个耗尽型 FET/HEMT 器件的栅极接线端，与 RF 部分的电路相隔离。

由于栅极并不明显拉动电流，因此栅极可以通过低电流扼流圈、λ/4 变压器或者电阻等构成偏置，电阻经常在栅极用来提高稳定性，以及用来提高各级之间的隔离度。由于栅极电流在很多应用中是微不足道的，因此在 FET 栅极偏置电路中，LC 型的偏置滤波网络并不是必要的。在这种情况下，栅极通过一个 RC 网络偏置，如图 18.4(a)所示，它提供栅极接线端和偏置源之间的有效隔离。但是右边电阻值的选择很重要，因其影响放大器在饱和状态下的特性。电阻值的选择取决于器件工作状态及工作频率。

表 18.1 各种低功放 FET/HEMT 偏置

偏置结构	典型偏置电压	放大器特性	其他注释
(a)	$V_D=3$ V $V_G=-1$ V	低噪声、高增益、高功率和高效率	偏置网络是匹配电路的一部分；对偏置电流不敏感
(b)	$V_D=3$ V $V_G=-1$ V	中等噪声、高增益、高功率和高效率	偏置网络是匹配电路的一部分；对偏置电流不敏感；高 R 值为栅极和偏置源提供更高的隔离
(c)	$V_D=4$ V $I_{ds}R_S=1$ V	中等噪声、高增益、中等功率和低效率	R_S 提供自动暂态保护；对偏置电压敏感
(d)	$V_G=-4$ V $I_{ds}R_S=1$ V	中等噪声、高增益、中等功率和低效率	R_S 提供自动暂态保护；对偏置电压敏感
(e)	$V_D=5$ V $V_G=-1$ V	中等噪声、高增益、中等功率和低效率	更低的宽带频率；对偏置电压敏感

当工作在线性区或是小信号模型时，R_1 的值应为 500 ~ 200 Ω · mm。但是当工作在非线性区的时候，R_1 的值可以是 200 ~ 500 Ω · mm。电阻值是基于 FET 的栅长（每毫米）。例如，使用一个 200 Ω · mm 的设计尺寸，2 mm 和 5 mm FET 需要的栅极偏置电阻分别为 100 Ω 和 40 Ω。和小信号条件下相比，在硬件驱动的条件下，栅极流过更大的泄漏电流，因此电阻值的选择变得严格。在小信号条件下，栅极电流来自器件本身，I_g的值远比 1 mA/mm 小。应选择合适的 R_1 的值，以使得电压通过 R_1时的压降小于0.2 V。在高压驱动条件下，对于负半周，叠加电压更小，I_g的增长曲线如图 18.4(b)所示。R_1的值选择得合适就可以使栅极电压更大，而 I_g的值却将其限制在 1 mA/mm 内。在正半周，在 1 ~ 2 dB 的压缩下，电流回流且开始流入器件；也就是栅极开始整流，电流增长如图 18.4（b）的曲线所示，R_1 的值合适就可以使得整形电流小于1 mA/mm。

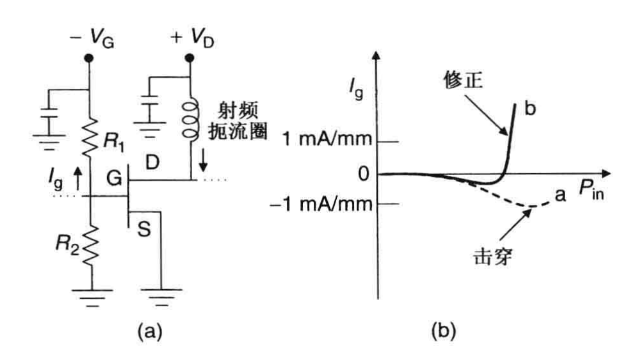


图 18.4 一个简化的栅极偏置电路

栅极电流

当 FET/HEMT 功放作为高效率应用工作在 1 ~3 dB 压缩点时，栅极内部大约拥有 1 ~2 mA/mm 的栅极电流是正常的。在这种条件下，由负载线决定漏极电压和栅极电压的波动范围从击穿电压延伸到整形电压，引起栅极击穿电流和栅极整形电流；这两个电流都会在某一个频率或者功率电平处增加，在另一个频率或者功率电平处消失。合理设计栅极偏置或是合理选择栅极偏置电阻值，可以使栅极电流最小。

在小信号模型下，流经晶体管的栅极电流可以忽略。但是，如果栅极偏置是通过栅极分压电阻网络实现的，那么总共的栅极电流是

$$I_{gt} = I_g + I_b$$

这里，g 和 b 分别代表栅极和偏置网络。偏置网络如图 18.4(a)所示，I_b为

$$I_b = \frac{V_G}{R_1 + R_2}$$

且为常数电流。假如偏置电压直接作用在栅极，那么 $I_b=0$，$I_{gt}=I_g$。

当器件作为大输出功放或高 PAE 应用而工作在大信号条件下时，一个重要的栅极电流开始流过器件。由于稳定性的要求，对于这种情况下的 FET 栅极外围，通常栅极电流的限制值是 1 mA/mm。取决于输入匹配、输出阻抗和偏置电压，在器件终端的射频电压和电流值的摆动可能会超过这个限制。在 RF 正半周，一个作用在栅极的射频电压可能会导致信号的整形，从而引起栅极正电流[见图 18.4(b)]。另一方面，在 RF 负半周，栅极和漏极间的电压可能会延伸到击穿区，从而引起栅极负电流。在 HPA 宽带中，由于不同的阻抗匹配和压缩点，栅极电流在某个频率处为正电流，而在其他频率处为 0 或负电流；同样，这是输入功率电平的函数。栅极电流值大小和方向受控于栅极偏置电压、栅极串联电阻值和相关的匹配网络。

漏极偏置

漏极通常通过 λ/4 变换器或低电阻的射频扼流圈来做偏置。在两种情况下，直流压降和射频损耗都必须保持最小以提高输出功率和 PAE。但是，在偏置电路中，一些 RC 扼流圈(如前面章节所描述的)能抑制低频信号及消除偏置的不稳定性。分布式 λ/4 变换器由于有高 Q 值，在高频时会优先考虑。然而在射频或低微波频段，优先考虑电感，因其尺寸较小。图 18.5 所展示的是 FET/HEMT 功率放大器，为了防止电压源被反向连接损毁电路，Zenor 二极管用来保护电路。

在功放中，从电源到漏极/集电极位置偏置线的设计是否合理，直接关系到高效设置能否实

现。一个功率为 30 W、30% PAE 的 HPA 在 10 V 电压源处需要一个 10 A 的电流。如果偏置线有大约 0.1 Ω 的电阻，那么它将会产生 1 V 的压降，并使得输出功率和 PAE 减少 10%。为使得通过偏置线的压降可以忽略，其电阻必须小于 0.01 Ω。若使用多个偏置线网络实现偏置电压，可以大大减少偏置通路的压降。

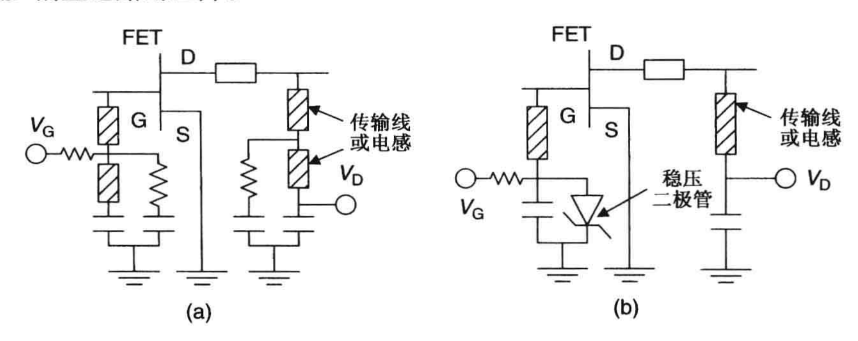


图 18.5 功率 FET/HEMT 偏置方案

18.2 偏置电路设计需要考虑的条件

器件的偏置是放大器设计的重要部分。设计偏置电路需要考虑的是高增益、低噪声系数、高效率、振荡抑制、单电源供电、射频扼流圈及需要的阻抗匹配。偏置电路设计需要考虑的因素有合理的偏置拓扑结构、选择内电阻尽可能小的电感参数和满足电子迁移要求，下面将接着讨论。

18.2.1 微带偏置电路

在微波频段，射频扼流圈一般是通过使用 $\lambda/4$ 高阻抗线实现，例如大家都知道在终端用一个射频旁路电容 C_B并联一个分支，如图 18.6(a)所示。直流模块可以是一个电容，或是一个 3 dB反向波耦合器(参考文献[6]所述)。为使偏置网络有较低的射频泄漏，并联分支线的阻抗(Z_S)和直通分支线阻抗(Z_0)的比例 Z_S/Z_0必须大于 1。低-高阻抗线作为低通滤波器，预防微波信号渗透进入偏置端口。这种情况下，当分支线阻抗升高则带宽增大。当 VSWR≤1.05，Z_S =100 Ω，带宽大约为 12%。为了使得带宽进一步增大，将使用两段 $\lambda/4$ 传输线。如果需要开路来穿过射频信号的主线，则要连接一个 $\lambda/4$ 高阻抗线且在其后还要连接一个开路的 $\lambda/4$ 低阻抗线，如图 18.6(b)所示。假定直通线的特征阻抗 Z_0同系统阻抗一样，则负载的标准化导纳($Y_0 = 1/Z_0$)是

$$y = \frac{Y}{Y_0} = 1 + \frac{Z_0}{Z_{\text{in}}} \tag{18.3a}$$

其中

$$Z_{\text{in}} = jZ_1 \frac{Z_1 \tan\theta_1 \tan\theta_2 - Z_2}{Z_1 \tan\theta_2 + Z_2 \tan\theta_1} \tag{18.3b}$$

其中 θ_1、Z_1、θ_2、Z_2分别是第一段线和第二段线的电气线长度、特征阻抗。在匹配的条件下，$Z_{in} = \infty$，$y = 1$。当 Z_1/Z_2 最大时，得到最大带宽。例如，Z_1 = 100 Ω，Z_2 = 10 Ω，Z_0 = 50 Ω，VSWR = 1.2，最大带宽大约是 40%。一般情况下，低阻抗线段被一个放射状的线段代替，如图 18.6(c)所示。这种办法比 $\lambda/4$ 开路线段能提供更大的带宽，而且尺寸还要更小。传输线介质可以是带状线或微带线。在这种偏置方案中，偏置电路成为放大器设计必不可少的一部分。

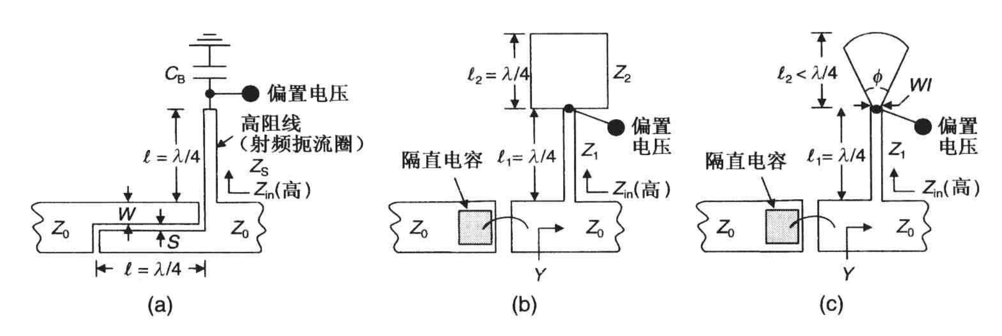


图 18.6 简化微波偏置电路:(a) 隔直耦合线和 λ/4 变换线;(b) 隔直电容和两段λ/4变换线;(c)隔直电容和一段串联扇形短截线的λ/4变换线

例 18.1 将由集总元件组成的偏置网络(见图 18.2)和一个两部分分布元件组成的偏置网络[见图 18.6(b)]的响应进行比较。设计值如下,$L=8$ nH, $C_B=C=10$ pF, $Z_1=120\ \Omega$, $Z_2=20\ \Omega$。中心频率、频率范围和频率步长分别为 6 GHz、4 ~8 GHz、0.5 GHz。系统阻抗为 50 Ω,偏置网络假定为理想的。

解 使用一个 CAD,在这两个网络中,计算得出的 S_{11}(dB)和 S_{21}(dB)如下:

频率(GHz)	集总元件		分布元件	
	S_{11}(dB)	S_{21}(dB)	S_{11}(dB)	S_{21}(dB)
4.0	-21.2	-0.033	-19.3	-0.052
4.5	-22.3	-0.026	-23.3	-0.020
5.0	-23.2	-0.021	-29.3	-0.005
5.5	-24.1	-0.017	-48.7	-0.000
6.0	-24.9	-0.014	-31.5	-0.003
6.5	-25.6	-0.021	-25.0	-0.014
7.0	-26.2	-0.010	-21.1	-0.034
7.5	-26.8	-0.009	-18.1	-0.067
8.0	-27.4	-0.008	-15.6	-0.122

在 4 ~8 GHz 范围内,对于集总元件和分布元件偏置网络,S_{11}的模拟值分别低于 -21.2 dB 和 -15.6 dB,从本方案得出,集总元件技术可以获得更大的带宽。

例 18.2 对比图 18.6(b)、(c)两个偏置网络的响应,在氧化铝基底上进行设计,$h=15$ mil (381 μm),$\varepsilon_r=9.9$。传输介质是微带线。图 18.6(b)的设计值是:$W_1=25$ μm,$W_2=1500$ μm,在 6 GHz 时长度为 λ/4。在图 18.6(c)中微带线部分的 $W_1=25$ μm,长度为 λ/4,扇形线部分的 $WI=25$ μm,长度为 λ/8,角度 $\phi=90°$。频率范围为 4 ~8 GHz,步长为 0.5 GHz。系统阻抗为 50 Ω,不连续的影响可以忽略不计。

解 回到表 6.1(d),$W_1=25$ μm、$W_2=1500$ μm 的传输线的特征阻抗分别为 $Z_1=115.3\ \Omega$、$Z_2=21.7\ \Omega$。这两条线的有效介电常数分别为 $\varepsilon_{re1}=5.73$、$\varepsilon_{re2}=8.03$。在 6 GHz 时,自由空间波长为 5 cm,对于 λ/4 微带线部分:

$$\ell_1 = \frac{5}{4\sqrt{5.73}}\ \text{cm} = 5.22\ \text{mm}$$

$$\ell_2 = \frac{5}{4\sqrt{8.03}}\ \text{cm} = 4.41\ \text{mm}$$

对于扇形线部分,假设有效介电常数为 $\varepsilon_{re2}=8.03$,计算得出 λ/8 线的长度为 2.205 mm。使用 CAD,计算得出这两个网络的 S_{11}(dB)和 S_{21}(dB)如下:

频率(GHz)	两个 λ/4 部分		λ/4 和扇形部分	
	S_{11}(dB)	S_{21}(dB)	S_{11}(dB)	S_{21}(dB)
4.0	-18.4	-0.114	-16.4	-0.162
4.5	-22.3	-0.066	-20.1	-0.089
5.0	-28.0	-0.040	-24.8	-0.052
5.5	-44.0	-0.029	-33.3	-0.034
6.0	-31.7	-0.029	-38.5	-0.029
6.5	-24.6	-0.040	-27.1	-0.035
7.0	-20.6	-0.064	-22.3	-0.052
7.5	-17.6	-0.106	-19.0	-0.083
8.0	-14.9	-0.177	-15.4	-0.134

上面的数据表明两个偏置网络的响应相似，但是扇形线的尺寸大概减少了一半。

18.2.2 集总元件偏置电路

集总元件偏置电路通常用于低频和单片电路。偏置电路想要得到的特性有：尺寸紧凑，射频泄漏小，还有超宽带特性。并联线圈电感 L 就是大家所熟知的射频扼流圈，通常作为偏置元件，而串联电容 C 在很多电路中用来隔离偏置电压对其他电路的影响。并联电感和串联电容电路如图 18.7 所示。

在 50 Ω 匹配条件下，线圈的归一化导纳和电容的归一化阻抗由下面的式子给出：

$$y = \frac{Y}{Y_0} = 1 - \mathrm{j}\frac{Z_0}{\omega L} \tag{18.4a}$$

$$z = \frac{Z}{Z_0} = 1 - \mathrm{j}\frac{1}{\omega C Z_0} \tag{18.4b}$$

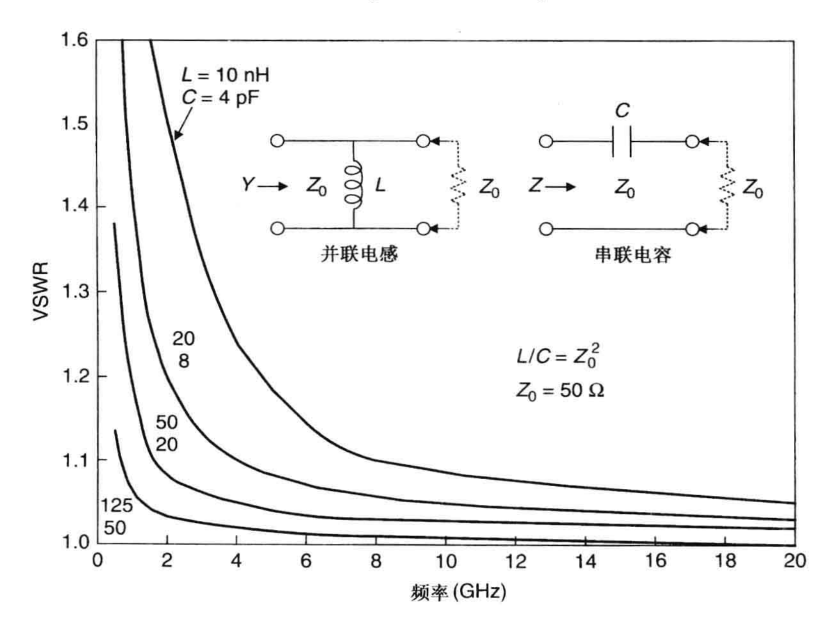


图 18.7　集总 LC 偏置网络及其响应

如果 $y = z$，那么 $Z_0^2 = L/C$，两个元件在所有的频率都有相同的 VSWR。VSWR 在每种条件下都可写成

$$\text{VSWR} = (1+|\rho|)/(1-|\rho|) \tag{18.5}$$

其中

$$|\rho| = \left|\frac{1-y}{1+y}\right| = \frac{Z_0/\omega L}{[4+(Z_0/\omega L)^2]^{1/2}} \quad \text{(对于一个并联电感)} \tag{18.6a}$$

$$= \left|\frac{z-1}{z+1}\right| = \frac{1/\omega C Z_0}{[4+(1/\omega C Z_0)^2]^{1/2}} \quad \text{(对于一个串联电容)} \tag{18.6b}$$

由于电抗不连续而引起的插入损耗(IL)，其 VSWR 值为 S 的数学公式如下：

$$\text{IL} = 20\ \log\left(\frac{S+1}{2\sqrt{S}}\right) \quad \text{(dB)} \tag{18.7}$$

VSWR 的变化与图 18.7 中给出的元件相关，L、C 的值越大，VSWR 就越小。

当同时使用这些元件时，应将其连接在同一平面，电容的归一化导纳(50 Ω 匹配线)为

$$y_C = \frac{1+\text{j}\frac{1}{\omega C Z_0}}{1+1/(\omega C Z_0)^2} \tag{18.8a}$$

这个导纳加上电感的导纳($y_L = -\text{j}Z_0/\omega L$)，总的导纳 y_t 为

$$y_t = y_C + y_L \tag{18.8b}$$

当 $\omega C\ Z_0 \gg 1$ 时，

$$y_t = 1 + \text{j}\left(\frac{1}{\omega C Z_0} - \frac{Z_0}{\omega L}\right) \tag{18.9}$$

如果 $Z_0^2 = L/C$，

$$y_t = 1$$

假如 L 和 C 与频率无关，那么 VSWR 将会是唯一的，这个网络具有超宽带偏置电路特性。这个网络的高频率特性受限于集总电感和电容带来的寄生电抗，而低频特性则由 L、C 的值决定。合理选择偏置网络的元件，就可以设计出工作在 30 MHz ~ 20 GHz 的电路。

例 18.3 如图 18.8 所示，确定最小工作频率 $f_{\min}$ 与理想并联电感 L、串联电容 C、特征阻抗 Z_0 之间的关系。当回波损耗为 20 dB、系统阻抗为 50 Ω 时，计算电容 C 的值分别为 2 pF、5 pF、10 pF、15 pF、20 pF、50 pF、100 pF 和 250 pF 时的并联电感 L 和 $f_{\min}$ 值。

L 射频扼流圈
Z_0 C Z_0

图 18.8 超宽带 LC 偏置电路

解 将 y_C 和 y_L 代入式(18.8b)，可以发现：

$$y_t = \frac{1}{1+1/(\omega C Z_0)^2} + \text{j}\frac{1}{\omega C Z_0}\frac{1}{1+1/(\omega C Z_0)^2} - \text{j}\frac{Z_0}{\omega L} \tag{18.10a}$$

当等式

$$\text{j}\frac{1}{\omega C Z_0}\frac{1}{1+1/(\omega C Z_0)^2} - \text{j}\frac{Z_0}{\omega L} = 0$$

得到

$$L = Z_0^2 C\left[1+\left(\frac{1}{\omega C Z_0}\right)^2\right] \tag{18.10b}$$

以及

$$y_t = \frac{1}{1 + 1/(\omega C Z_0)^2} \tag{18.10c}$$

反射系数 ρ 的幅度为

$$\rho = \frac{1 - y_t}{1 + y_t} \quad 或 \quad y_t = \frac{1 - \rho}{1 + \rho}$$
$$\frac{1}{y_t} = 1 + \frac{1}{(\omega C Z_0)^2} = \frac{1 + \rho}{1 - \rho} \tag{18.10d}$$

化简后得

$$\omega = \frac{1}{C Z_0}\sqrt{\frac{1 - \rho}{2\rho}} \tag{18.10e}$$

当 ρ 的最大允许值为 ρ_{max} 时，最低频率 f_{min} 由下式给出：

$$f_{min} = \frac{1}{2\pi C Z_0}\sqrt{\frac{1 - \rho_{max}}{2\rho_{max}}} \tag{18.10f}$$

当 $Z_0 = 50\ \Omega$、回波损耗 =20 dB 或 $\rho_{max} = 0.1$ 时，式(18.10b)和式(18.10f)化简为

$$L = 3.056C$$
$$f_{min} = 6.748/C$$

其中 L、C 和 f_{min} 的单位分别是 nH、pF 和 GHz。不同 C 值与对应的 L 和 f_{min} 值由下表给出。

C(pF)	L(nH)	f_{min}(GHz)
2	6.11	3.374
5	15.28	1.350
10	30.56	0.675
15	45.84	0.450
20	61.12	0.337
50	152.80	0.135
100	305.60	0.068
250	764.00	0.027

因此，工作在 30 MHz ~ 20 GHz 电路的偏置网络需要一个大约 765 nH 的电感和一个大约 250 pF 的电容。

18.2.3　高 PAE 偏置电路

高效率功放的设计，需要深入分析匹配网络的功率损耗以实现高 PAE 特性。当偏置/匹配网络的结构必须优化设计，以传输最大的功率给负载并提供适当的谐波终端时，偏置/匹配网络的低直流损耗及低射频损耗变得十分重要。偏置网络的一个首要目标是：在高功率放大器中，当将几个 FET 或芯片结合起来抑制单模振荡和获得最大的合成效率时，为芯片上的每个 FET 和模块中的 IC 提供相同的功率和恒定电压。由于微带导体的厚度受到工艺的限制，低直流损耗需要增加微带导体的宽度和更高的电导率。偏置网络的功率降主要由导体的有限电阻引起；功率降与 I^2R 成正比，这里 R 是电流为 I 的导体的电阻。导体的有限电导率导致传输线产生电阻。又由于微带类的导体使用薄膜，致使长传输线具有高的电阻。如果 t、W、L 分别为导体的厚度、宽度和长度，ρ 是薄膜的电阻率($\Omega \cdot$ m)或 ρ_s(Ω/□)是薄膜电阻，则导体的电阻为

$$R = \rho\frac{L}{tW} = \rho_s\frac{L}{W}, \quad 其中 \quad \rho_s = \frac{\rho}{t} \tag{18.11}$$

如给出材料的ρ_s，从长宽比的数值可以很容易算出电阻值。例如，一个宽度为50 μm、长度为1000 μm的传输线(长宽比为20)，要比一个宽度为20 μm、长度为1000 μm、长宽比为50的传输线的电阻小2.5倍。因此，降低电阻的关键是要使金属导体的长宽比尽可能最小。如果金导体的长宽比为20，薄膜电阻为$\rho_s = 0.005(\Omega/\square)$，则线的直流电阻是0.1 Ω。铜导体的电导率要比金导体的电导率高1.4倍，制作时厚度比金导体大3~4倍。这样，铜导体的薄膜电阻ρ_S大约为0.001(Ω/□)，直流电阻比金导体低得多。对于没有倒角的直角弯曲，其有效面积大约是0.56 □。

一个载有HPA(高功率放大器)的基底温度远比一个载有LNA(低噪声放大器)的基底温度高。由于导体的电阻与温度有关，因此，其温度也必须考虑在内。电阻值随温度变化的比例就是大家所知的电阻温度系数(TCR)或简称为温度系数(TC)，表示为每摄氏度变化百之几或ppm/℃。当电阻值随温度升高而升高时，TC值为正;反之，则TC值为负。考虑受温度影响的电阻为

$$R_{OT} = R_{RT} + TC(T_{OT} - T_{RT}) \tag{18.12}$$

其中OT和RT分别表示工作温度和室温(环境温度)。如果一个电阻有正的温度系数、400 ppm/℃,在125℃时，电阻值随温度升高大约4%;当环境温度是25℃时，一个在室温时是100 Ω的电阻在125℃时大约为104 Ω。

18.2.4 迁移电流限制

电子迁移产生的条件:微带线和线圈有直流电流通过。在M/A-COM MSAG MMIC工艺中，一个大小为2.2×10^5 A/cm^{2}的电流密度将作为厚4.5 μm金导体的电子迁移限制而被使用，并被广泛接受。这样，使得每单位线宽允许的电流为10 mA/μm。考虑一个输出级需要3 A电流的HPA。在其输出匹配网络中，需要使用一个300 μm宽的微带线或是两个宽度均为150 μm的微带线。如此宽的低阻线要求给减小芯片面积带来了困难，而且由于接头非连续性影响，也导致输出供给线的不平衡，这样就严重影响了电路的带宽。在多级功率放大器中，在功率和电流密度都较小的前几级中使用集总元件。当导体厚度增大一倍时，电容承受的电流也以2的倍数增加。

在MIC和PCB中使用的导体既要厚些，也要宽些。在这些电路中，导体电子迁移的要求没有在MMIC中那么严格。

18.3 自偏置技术

在FET/HEMT中，当只有一个电源(通常是一个正电压)可用时，自偏置技术才是有效的[表18.1的结构(c)和(d)使用自偏置实现了栅极和源极需要的压差]。在这种技术中，偏置电压持续工作，而避免使用双电源方案中的开关序列。自偏置电路的另一个优点是:源极电阻给器件提供瞬态保护。此时，栅极为直流地，而源极为正电压，也就是说，源极和栅极之间的压差和V_{gs}相等。这种技术通常应用于小信号放大器中。但是，在低功率(<1 W)驱动放大器中都可以使用自偏置结构。在更高功率的放大器中，漏极电流变得十分明显，偏置电路上没有必要的直流功率消耗会使得器件两端的供电电压降低，从而使输出功率和PAE下降，因此，再使用自偏置技术就不太合适了。

在自偏置技术中，任何漏极电流的增加或减少都会自动调整栅极偏压，从而使器件电流保持不变。在电阻R_S两端跨接一个旁路电容来实现极低阻抗，从而使源极焊盘负反馈的影响最小化。选择合适的电容值，使得在工作频率处阻抗小于1~2 Ω。

电阻值由栅极电压和漏极电流给出：

$$V_{gs} = -R_S I_{ds} \quad 或 \quad V_{gs} = V_p\left[1 - \left(\frac{I_{ds}}{I_{dss}}\right)^p\right] \tag{18.13}$$

其中，V_p 和 V_{gs}是负值，p 的一个典型值为0.5。但是，实际上它取决于制造工艺，比如 M/A 公司的 MSAG FET 的 5 A 功耗工艺[7]，其值大约为0.7。

下面我们来探讨一下自偏置技术中温度的影响。漏极电流是栅极电压和温度的函数：

$$I_{ds} = f(V_{gs}, T) \tag{18.14}$$

假设 ΔV_{gs}和 ΔT 为栅极电压和温度的改变量，那么漏极电流的改变量 ΔI_{ds}为

$$\Delta I_{ds} = \frac{\partial I_{ds}}{\partial V_{gs}}\Delta V_{gs} + \frac{\partial I_{ds}}{\partial T}\Delta T \tag{18.15}$$

由漏极电流改变带来的栅极电压变化为

$$-\Delta V_{gs} = R_S \Delta I_{ds} \tag{18.16}$$

又由于 $\partial I_{ds}/\partial V_{ds} = g_m$，从式(18.15)和式(18.16)可以发现：

$$\Delta I_{ds} = \frac{1}{[1 + g_m R_S]}\frac{\partial I_{ds}}{\partial T}\Delta T \tag{18.17}$$

我们定义偏置稳定性系数为

$$\text{BS} = \frac{带有自偏置电路的\ I_{ds}\ 变化}{没有自偏置电路的\ I_{ds}\ 变化} \tag{18.18a}$$

或者

$$\text{BS} = \frac{\Delta I_{ds}(R_S)}{\Delta I_{ds}(R_S = 0)} = \frac{1}{1 + g_m R_S} \tag{18.18b}$$

这就表明偏置电路的稳定性在自偏置条件下提高了 $1/[1 + g_m R_S]$，且与温度无关。

在自偏置网络中，电容 C 值的选择应使得在最低工作频率处，$1/\omega C \cong 0.1R_S$，$1/\omega C < 3\ \Omega$。L 波段 50 pF 的旁路电容和 X 波段 10 pF 的旁路电容通常能提供有效的射频地及瞬态保护。由于源极电阻的直流功率耗散和旁路电容的有限 Q 值，这种技术会降低放大器的效率。自偏网络的有限 Q 值也会使 LNA 的噪声系数增加大约 0.1 ~ 0.2 dB。在功放中，当 $I_{ds} > 500$ mA 时，建议使用双电源供电，并采用顺序电路先给栅极上电再给漏极供电。

例 18.4 为一个栅宽为 450 μm 的栅极边缘场效应管设计一个自偏置电路，其 EC 模型由表 5.5 给出，其 Q 点偏置电流为 90 mA。确定当其工作在 5 ~ 10 GHz 时所需的电压源和偏置元件参数。计算 5 ~ 10 GHz 频率范围内并以 0.5 GHz 步进变化时，自偏置前后 MSG/MAG 的值和 μ 因子，以及偏置稳定性系数 BS。采用理想元件进行计算。

解 图 18.9 展示了插入自偏置网络前后 FET 的组态。器件的静态偏置条件为：$V_{ds} = V$，$V_{gs} = -1.2$ V，$I_{ds} = 90$ mA。自偏置电阻上所需的压降为 1.2 V。在这种情况下，栅极保持为 0 V。因此电压源需为 6.2 V。R_S 值的选取应满足使通过它的压降为 1.2 V。也就是

$$I_{ds} \times R_S = 0.09 \times R_S = 1.2\ \text{V}R_S = 1.2/0.09 = 13.333\ \Omega$$

$\text{BS} = 1/[1 + g_m R_S] = 1/(1 + 0.078 \times 13.333) = 0.49$。电容值的选择应使得在最低工作频率(5 GHz)处，

$$\frac{1}{\omega C} \cong 0.1R_S, \quad C = 1/(\omega \times 0.1R_S) = 23.9\ \text{pF}$$

使用 CAD，计算得出的 MSG 和 μ 因子的值如下：

频率(GHz)	双偏置		自偏置	
	MSG(dB)	μ	MSG(dB)	μ
5.0	17.5	0.35	17.2	0.11
5.5	17.1	0.38	16.8	0.16
6.0	16.8	0.41	16.5	0.22
6.5	16.4	0.44	16.2	0.26
7.0	16.1	0.48	15.9	0.31
7.5	15.8	0.51	15.6	0.35
8.0	15.6	0.54	15.3	0.39
8.5	15.3	0.56	15.1	0.43
9.0	15.1	0.59	14.9	0.47
9.5	14.9	0.62	14.7	0.51
10.0	14.7	0.65	14.5	0.54

在图 18.9 中，可能会注意到自偏置电路使 MSG 降低了 0.2 ~ 0.3 dB，那是由于受有限 Q 值的影响；而由于有限串联反馈阻抗的原因，也降低了 μ 因子的值。

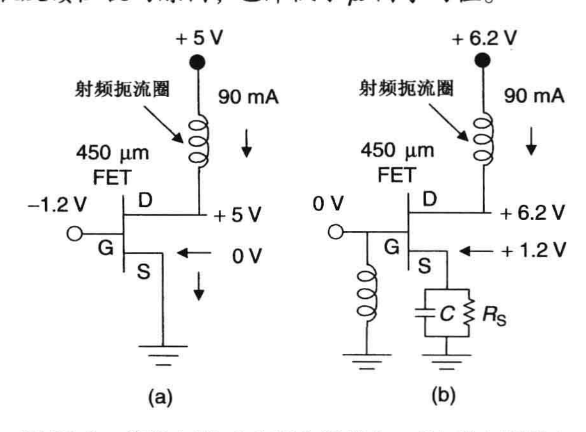


图 18.9 偏置电路：(a) 双电源供电；(b) 单电源供电

18.4 多级放大器偏置

到目前为止，我们讨论了单级放大器的偏置电路。通过唯一的栅极供电电压和漏极供电电压给多级放大器供电十分复杂。如图 18.10(a)所示，由于高值隔离电阻的使用，单一焊盘对栅极偏置并不十分困难。这些电阻和旁路电容一起可提供 30 ~ 40 dB 的隔离。但是，当将所有漏极的基底连在一起时，由于缺少电阻的隔离，偏置线通常就会引入反馈，导致没有足够的隔离。由于旁路电容的不足和片式电容并联谐振的存在，级与级之间也存在反馈。由于其他电路与漏极的基底相连，这个反馈就导致了不稳定。在一个 MMIC 的设计中，可以通过将偏置电路纳入设计来轻易地最小化不稳定性，如图 18.10(b)所示。通过选择合适的电阻可使反馈的影响达到减小。图中给出了一个四级放大器的漏极偏置电路。最后一级漏极偏置中没有使用电阻，因其会消耗最大的电流。

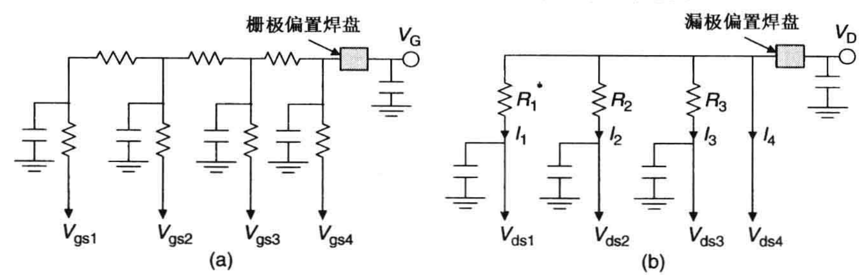


图 18.10 四级放大器的偏置电路：(a) 共栅偏置；(b) 共漏偏置

选择电阻的值使通过它的压降为V_D的10%。在10 V电压源供电的2 W驱动放大器中，R_1、R_2、R_3的值分别为20 Ω、10 Ω、5 Ω，I_r、I_2、I_3分别为50 mA、100 mA、200 mA。也可以在各级之间使用射频扼流圈或电感。电阻占用空间比电感少，因此通常优先考虑电阻。还要格外注意，在选择电阻宽度时候要满足电子迁移要求。在上面的例子中，GaAs基底上MMIC电阻宽度的典型值分别为60 μm、120 μm和240 μm。

18.5　偏置电路的低频稳定性

在高功率放大器中，通过一种或多种方法将大批晶体管并联使用以获得高的输出功率时，有时会出现低频不稳定。这种情况出现在器件的低频频率增益十分高的时候。这种不稳定可以通过合适的栅极和漏极偏置网络来抑制，如前一章所讨论的那样。本节我们将讨论一个改善低频稳定性的栅极偏置电路。

考虑一个单级HPA，由4个FET并联组成。图18.11(a)展示了一个典型的栅极偏置电路，而图18.11(b)则展示了一个改善低频稳定性的栅极偏置电路。通常，栅极偏置通过电阻R_1实现，R_1的值由4个FET决定。但是，在图18.11(b)中，栅极偏置通过连接到每个FET的电阻R_1实现，且R_1的值由单个FET决定。在低频时，扼流圈被视为短路，而旁路电容被视为开路，由于器件的增益非常高(栅极没有串联电阻)的原因，这样就能在电路内部产生负电阻，并在偏置电路的并联谐振处振荡。但是，若每个FET/HEMT栅极串联一个大电阻，就能减少产生负电阻的可能性从而稳定电路。当各个FET/HEMT的栅极通过使用电阻[8]或电容而各自独立时，上述情况变得十分明显。在这种条件下，各个器件单独的增益远小于器件组合所得的增益。

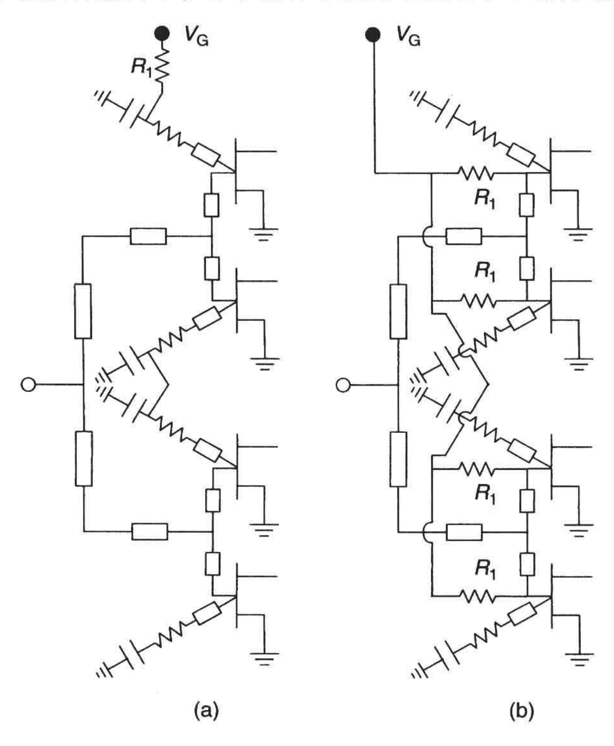


图18.11　并联器件的栅极偏置电路：(a)典型的串联偏置；(b)改善低频稳定性的偏置电路

18.6 偏置顺序

采用 FET 或 HEMT 的双极型供电放大器在偏置电压时需要一个特定顺序。这个顺序电路允许在对漏极偏置前先对栅极偏置。这个顺序是必须的，因为当施加 V_D时 I_{dss}(漏源饱和电流)可能会烧毁器件。这样也可以避免不稳定的工作状态，因其可能由于短暂的耗尽而毁坏器件。为保证器件安全工作，首先对栅极偏置一个额定电压，然后再提供漏极电压，慢慢调整到所需的值。同时确定晶体管工作在较安全热状态时的电流 I_{DQ}，最后获得合适的栅极工作电压。然后，输入射频功率信号。在关掉电源的时候，顺序正好相反，也就是栅极电压最后关闭。也可以通过一些延迟网络同时给栅极和漏极提供电压。此时漏极偏置网络使用一个大的 *RC* 时间常数，而栅极偏置使用一个小的 *RC* 时间常数。这种技术并不适合于功放，因为有损耗的漏极偏置网络不但降低了输出功率和 PAE，而且也影响脉冲工作状态。

参考文献

1. G. Gonzalez, *Microwave Transistor Amplifiers*, Prentice Hall, Englewood Cliffs, NJ, 1984, Chapter chap3.
2. J. L. B. Walker (Ed.), *High-Power GaAs FET Amplifiers*, Artech House, Norwood, MA, 1993.
3. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
4. I. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003.
5. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter chap10.
6. R. Mongia, I. Bahl, P. Bhartia, and J. Hong, *RF and Microwave Coupled-Line Circuits*, 2nd edition, Artech House, Norwood, MA, 2007, Chapter 12.
7. I. J. Bahl, 0.7–2.7 GHz 12-watt power amplifier MMIC developed using MLP technology, *IEEE Trans. Microwave Theory Tech.*, Vol. 55, pp. 222–229, February 2007.
8. S. Goto et al., Stability analysis and layout design of internally stabilized multi-finger FET for high power base station amplifiers, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 231–234, 2003.

习题

18.1 设计一个在 50 Ω 微带结构中工作于 10 GHz 的电源偏置的射频扼流圈。如图 18.2 所示,射频扼流圈可以通过使用一个集总电感 *L* 来实现。计算电感的大小从而使 VSWR 不超过 1.1。设计出这个电感的版图,版图最大尺寸小于 50 mil。1 mil 的最小线宽和 0.6 mil 的最小线间距在工艺上是比较容易实现的,薄膜厚度为 0.3 mil。

18.2 习题 18.1 中讨论的射频扼流圈也可以用微带电路的形式来设计,如图 18.6(b)所示。图中微带线特征阻抗的最大值和最小值分别为 100 Ω 和 20 Ω。与习题 18.1 中用集总元件实现的电路就 VSWR 指标分别在 8 GHz 和 12 GHz 进行比较。λ/λ_0 随频率变化的影响忽略不计。

18.3 有一个 FET 需要在栅极和漏极分别加上 -1 V 和 5 V 的偏置电压。偏置电流大约为 I_{dss}的 25%。如果 I_{dss}是 400 mA 并且供电电压为 6 V,使用 FET 自偏置结构设计工作频率范围为 1 ~ 2 GHz 的偏置电路。其中使用的电阻、电容都为理想元件,同时电阻值大于 10 倍的容抗值。

18.4 参考图 18.9(b)中的自偏置电路。在 2 GHz 及 $Z_L = 100\ \Omega$ 的条件下,用表 5.5 中的 EC 模式确定 R_S 和 C 的值的范围,从而使得 R_{in}为负值。FET 的大小为 1 mm,供电电压为 11 V。

18.5 讨论在混合电路和 MMIC 放大器中自偏置技术的优点和局限。

18.6 设计一个并联到 50 Ω 微带线的偏置网络,工作频率覆盖 6 ~ 18 GHz,偏置网络的回波损耗预期指标为 20 dB。(a)全部使用集总元件;(b)使用微带或者径向短截线。

第19章 功 率 合 成

功率合成器是高功率放大器的关键部件。本章的目的是描述功率合成的基本原理和平面式功分器/合成器技术，包括器件级水平和电路级水平的功率合成技术。

对于功率晶体管器件，当频率增大时，单个晶体管的输出功率迅速下降。在许多 RF 应用中，有时要求输出比单个器件和放大器功率容量大得多的功率。我们利用固态电路的很多优点，例如小尺寸、低重量、易实现性及宽频带特性，采用功率合成技术提高放大器的输出功率。

尽管单个晶体管的功率受限，却可以通过合成多个晶体管合理得到需要的功率容量。这可以通过两个方式来实现：器件级合成功率或者电路级合成功率。图 19.1 为基本的功率合成技术原理，大部分使用匹配合成器的功率合成会因为其中一个或多个器件的失效而导致性能的下降。

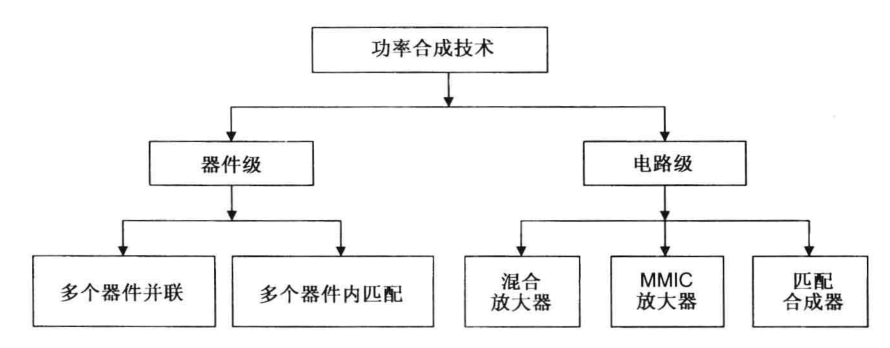


图 19.1 器件级和电路级功率合成原理图

19.1 器件级功率合成

器件级合成通过把器件集合在一定区域中，这个区域的尺寸可以和波长相比拟，且会受限于有效合成的器件的数量。图 19.1 表示了器件级和电路级功率合成的基本原理。多个器件单元并联可以得到中等功率的一个器件。而高功率的实现可以通过把多个这种器件键合到一个散热板或者共同载体上，并且把输入和输出的匹配电路连接起来，如图 19.2所示。整个电路可以通过密封屏蔽而成为一个独立的组件。

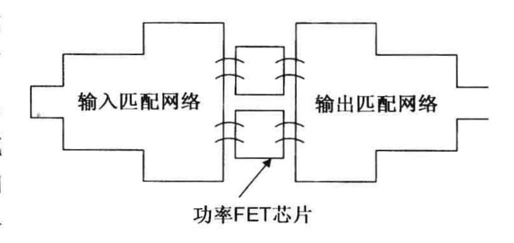


图 19.2 FET 功率器件的功率合成

为了设计好的功率器件(最大增益、功率、效率或者线性度)，应该根据电气参数和物理的结构参数情况进行认真优化设计，基本的器件设计参数包括最小寄生损耗、低的源电感、高的 f_T、高的击穿电压、匹配的输入阻抗、均匀的热耗散、低的热电阻、栅极电阻带来的低损耗及不同部分之间的小相位差。

FET/HEMT 的输出功率与栅极面积成正比，而其输入和输出阻抗与栅极面积则成反比。小尺寸功率器件即一个单元，已广泛应用于功率放大器的设计中。单个单元是小功率器件，高于

其截止频率(f_T)时由于寄生损耗和切换时间的原因，输出功率会随着频率的增加而急剧减小。可以通过合成多个单元并联来得到高功率器件。为了得到高功率和高 PAE，FET 单元电路或者匹配好的 FET 必须有相同的相位和增益。合成单元的漏源饱和电流(I_{dss})和f_T的一致性是实现相位和增益一致的必要条件。当 FET 单元通过一致的相位合成于单个 MMIC 芯片时，最大功率和 PAE 就实现了。

例如，研究一个基于 MESFET 技术的 Ku 波段 MMIC 功率放大器片上器件(直径 4 in)一致性的效应。器件I_{dss}和V_p的一致性应用于 4 W 宽带 IC 中的性能如表 19.1 所示。实验#1、#2 和#3 中的I_{dss}的平均值相同。但是实验#1 中I_{dss}和V_p的离散标准最好(分别为 6 mA/mm 和 0.07 V)，但是实验#3 最差(分别为 26 mA/mm 和 0.5 V)。在 13.5 GHz 处，实验#1 和#3 的输出功率和 PAE 值分别为 35.9 dBm 和 32.6%、34.7 dBm 和 27.4%。

表 19.1　片上 4 W 宽带 IC 的器件的一致性特性

PCM FET 参数	实验		
	#1	#2	#3
平均 I_{dss}(mA)	331	328	330
SD I_{dss}(mA)	6	12	26
	(2%)	(4%)	(9%)
平均夹断电压(−V)	2.61	2.67	2.61
SD V_p(V)	0.07	0.128	0.5
测试片数	3	3	1
测试的 IC 数	15	15	5
13.5 GHz 处平均输出功率(dBm)	35.9	35.4	34.7
13.5 GHz 处平均 PAE(%)	32.6	31.0	27.4

旨在实现小尺寸的晶体管和 MMIC 芯片的交叉指型器件结构如图 19.3 所示，它包含了若干个单元电路，主要用于得到高功率增益和低热电阻。高功率交叉指型结构有两方面的缺点：

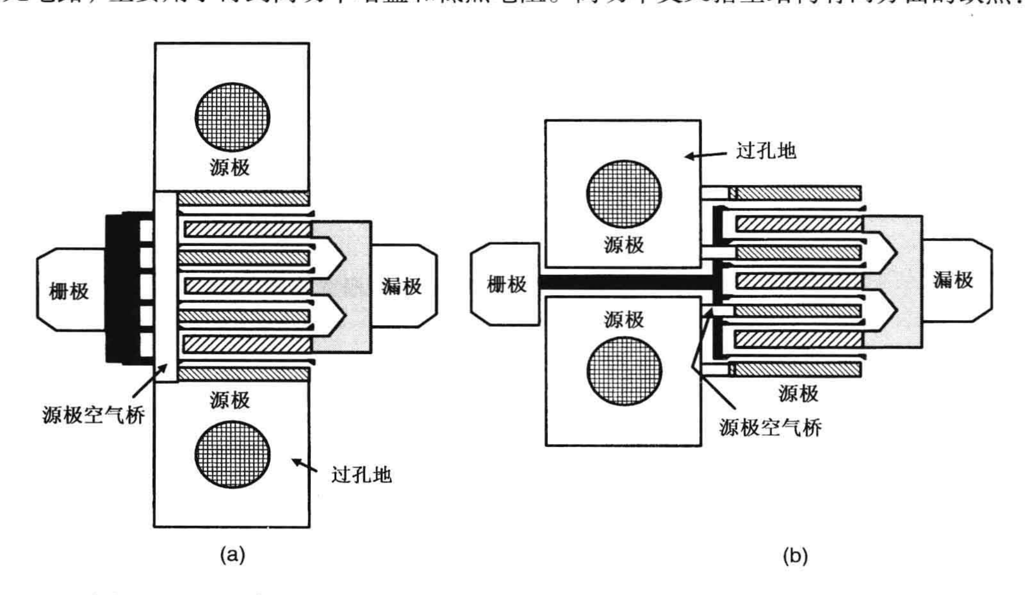


图 19.3　FET 单元的交叉指型合成。源极接地类型：(a)终端过孔；(b)偏移过孔

1. 不同胞体通过空气桥交叉连接，并且其源极焊盘通过过孔或者绑定线接地，产生源极寄生电感，从而降低增益。增益的降低原因同样包括指数的增加(由于源极电感的增大和

单元间相位差的增大）和增大的栅宽（由于传输线损耗增加）。FET 过孔补偿结构如图 19.3(b)所示，优于前一结构的原因是其较低的源极电感并且允许使用大尺寸的单元来实现紧凑的 MMIC 芯片。

2. 为了得到最大增益，所有的单元必须保持相位一致，并且每个单元的损耗都是最小。这就要求栅极之间的差别最小或者有多个馈点。

功率 FET/HEMT 工作于 10 V 时，由于受到栅极尺寸的限制，其 RF 功率输出大约为 1 W。因此，当需要高功率量级时，就需要大的栅极尺寸。在 S 波段，30 μm 厚的 GaAs 基底单端器件功率级为 100 W 已得到验证。在交叉指型结构中，对于一个给定的基底厚度，有两个基本的设计参数——单位栅宽和栅栅间距——可以根据频率参数进行优化。为了得到高增益，需要小的栅宽和栅栅间距，也就是低的热电阻，如第 16 章的讨论结果。如果单位栅宽和栅极传输线与波长可比拟时，RF 信号会由于有限的栅极电阻而产生衰减。如果栅栅间距与波长可比拟时，一部分信号就会由于功率合成时不同路径之间的相位差而相互抵消。

例如，图 19.4 所示为一个栅栅间距为 25 μm 的 1.25 mm FET，其增益衰减与单位栅宽分别在 6 GHz、10 GHz 和 20 GHz 的关系。在 20 GHz 时，最优的单位栅宽约为 70 μm。对于高功率级，可以使用多个反馈点。在许多场合由于单个器件的功率容量有限而需要高功率级别的器件。高功率器件可以通过一系列功率器件通过内匹配或者以 MMIC 的形式合成；如果需要，这些电路也可以通过薄膜 MIC 技术合成来得到更高的功率输出。

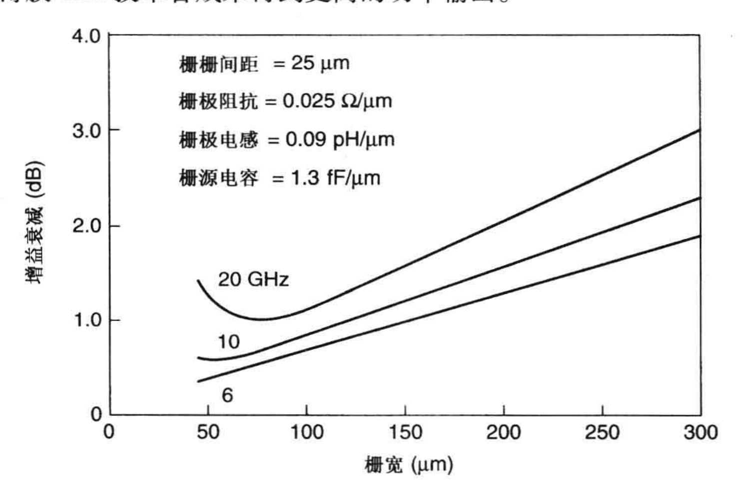


图 19.4 降低的增益和 1.25 mm FET 的单位栅宽之间的关系

19.2 电路级功率合成

器件级功率合成主要受限于在有限区域的有效匹配及合成的晶体管的数量。高功率晶体管同样可以使用混合 IC 技术进行匹配合成。但是，单片功率放大器作为芯片合成的一个选择表现出了巨大的前景。这些放大器拥有内建的功率器件和匹配网络。单片功率放大器的优点就是尺寸小、重量轻、低成本和全匹配电路。使用此技术的 C 波段和 Ku 波段的功率级分别为 50 W 和 10 W 的放大器已经得到验证。第 9 ~ 15 章给出了 MIC 和 MMIC HPA 的例子。

此节中我们描述了使用匹配功率合成的电路级水平的功率合成技术。微波毫米波功率合成技术在参考文献[1 ~ 4]中已有回顾，其分类如图 19.5 所示。每个合成原理图包含了无源

功分器和合成器，实际上两者是等价的。一个合成结构的理想特性包含匹配器件的最小损耗、合成网络的最小损耗、最小的幅度和相位的不一致性、良好的输入和输出 VSWR、器件的热分布和热传导。

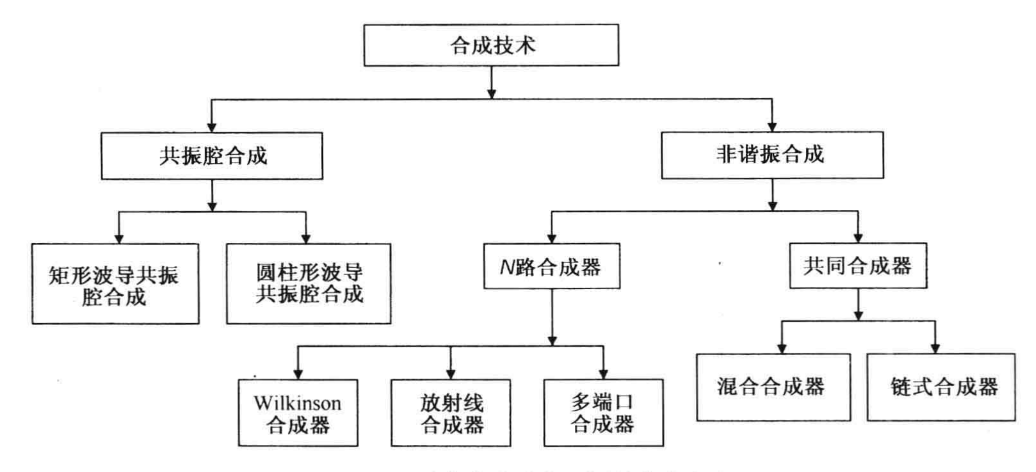


图 19.5　功率合成器的不同的合成方式

对于高功率级和高频率来说，大量芯片和 HPA 的晶体管使用外部合成变得越来越困难，这主要是由于其高损耗、合成效率降低。因此空间功率合成方法（SPC）由于其高合成效率而被应用于微波毫米波频段实现高功率单元。SPC 技术也可以用来实现类似 TWT 的高频率固态器件的 HPA 功率级的功率合成。这种技术把 HPA 的输出信号通过一个导波环境合成来得到高功率输出。由于功率合成发生在自由空间中，所以相比于印制板电路，其合成损耗可以忽略不计，合成效率也极高。这些技术会在 19.7 节简要讨论。

共振腔合成

在共振腔结构中，矩形和圆柱体结构都可以用来合成多个器件的输出功率。波导式功分器/合成器具有低的损耗（为 0.2 dB）和高的合成效率（85% ~ 90%）。这些合成器可以用来实现高功率微波毫米波源，并且已证明可成功应用于最高 220 GHz 的窄带系统中。例如，一个 TM 模腔体功率合成器[5]已经用来实现 5.9 ~ 6.4 GHz 的 80 W 的功率输出。

非谐振合成

非谐振电路级功率合成分为两类：(a)一次合成 N 个器件的输出（称为 N 路合成器），(b)树状或者链状合成结构[1~4, 6]。电路单元的合成损耗对于设计高 PAE 功率放大器起着很重要的作用。这些网络的损耗主要包括三个方面：减小输出功率；减小电路功率增益；或者对于给定的 RF 功率输出，增加直流功率。对于窄带和宽带应用，经常使用一种改进版同相 Wilkinson 结构来减小损耗。这种结构具有很好的幅度和相位一致性，从而得到尽可能高的合成效率。另一方面，连续/行波合成器也具有低损耗及宽带特性。当对输入和输出匹配有严格要求时，可以使用兰格耦合器、行波合成器和具有 90°差分线长度的 N 路平面合成器（第 11 章中已有讨论）。合成损耗的大小取决于功分器/合成器的损耗。功分器/合成器在 19.3 节中已有讨论。在所有的合成器中，波导合成器具有最低的损耗——大约 0.05 ~ 0.1 dB。图 19.6 表示了在不同的电路增益下合成效率和合成损耗之间的函数关系，可见合成高增益的放大器具有更大的优势。

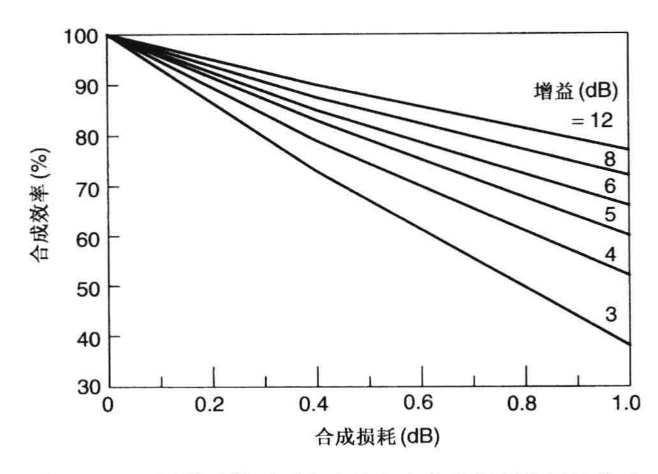


图 19.6 不同增益情况下合成效率和合成损耗之间的关系

19.2.1 功能衰减

假设一个 N 路功率合成器，当 m 个放大器由于栅极或者漏极短路而不工作时，合成器输出端电压为正常电压的$(N-m)/N$倍，并且

$$P_o/P_{o,max} = (1-m/N)^2 = 10\log[(1-m/N)^2]\ \text{dB} \tag{19.1}$$

此处 P_o 为 m 个放大器不工作时的输出功率；$P_{o,max}$为所有放大器均正常工作时的功率。此情况的一个前提是放大器输入和输出的阻抗条件未变。式(19.1)表示了功能衰减特性，即输出功率比剩余放大器的输出功率和要低得多。如果进行反应式合成，则如下所示：

$$P_{or}/P_{o,max} = 1-m/N = 10\log(1-m/N)\ \text{dB} \tag{19.2}$$

此处 P_{or}为剩余放大器的总功率。匹配式和反应式功率合成的主要区别在于前者中的每个放大器单元都是隔离的，而后者的所有放大器单元都是并联连接的。

例如，在一个四路匹配式合成器中，若其中一个放大器不工作，则输出的合成功率下降 2.5 dB；而在反应式合成器中，总功率只下降 1.25 dB。类似地，在一个三路匹配式合成器中，如果有一个放大器工作，那么输出的合成功率下降 3.5 dB。当使用同相 Wilkinson 功分器进行同相合成时，这种情况确实存在。如果是行波合成器，功率损耗同样取决于不能工作的放大器数目。表 19.2 给出了在三路和四路行波合成器中一个放大器不能正常工作时的功率损耗，不工作的放大器的输入/输出可能是短路也可能是开路。

改善合成功率放大器的功率衰减的两种可能方法已由 Saleh[7] 讨论过。

表 19.2 由于功放单元失效所产生的功率损耗：每次失效一个单元

三路行波合成器(良好匹配)				
放大器数	功率损耗(dB)			
	输入短路	输入开路	输出短路	输出开路
第一个	3.3	3.7	3.8	3.3
第二个	3.2	3.9	3.2	3.9
第三个	3.7	3.3	3.3	3.7
平均损耗为 3.5 dB				

（续表）

四路行波合成器（良好匹配）				
放大器数	功率损耗（dB）			
	输入短路	输入开路	输出短路	输出开路
第一个	2.5	2.8	2.4	2.5
第二个	2.5	2.6	2.6	2.3
第三个	2.5	2.4	2.4	2.5
第四个	2.5	2.4	2.4	2.6
平均损耗为 2.5 dB				

19.2.2 功率合成效率

功率合成效率已经由第3章的式(3.34)进行定义，其主要取决于合成信号的幅度和相位的不一致性。这种不一致性对 HPA 的合成效率的影响已由 Gupta[8] 进行了讨论。

假设一个 N 路合成器，使用 N 路理想功分器/合成器结构，如图19.7所示，假设合成端口之间理想隔离，则输出电压可表示如下：

$$V_{\text{out}} = C_1 V_1 + C_2 V_2 + \cdots + C_N V_N \tag{19.3a}$$

此处 C 表示电压传输效率。对于一个理想合成系统，C 在幅度和相位上都是相等的，且都等于 $1/\sqrt{N}$，所有放大器的相位都相同，则有

$$V_{\text{out}} = \frac{1}{\sqrt{N}}(|V_1| + |V_2| + \cdots + |V_N|) \tag{19.3b}$$

输出功率可表示为 V_{out}^2/R_L，如下所示，此处 R_L 为终端阻抗：

$$P_{\text{out}} = \frac{1}{N}\left|\sqrt{P_1} + \sqrt{P_2} + \cdots + \sqrt{P_N}\right|^2 \tag{19.4a}$$

如果 θ_1，θ_2，…为每个支路上的相位，则有

$$P_{\text{out}} = \frac{1}{N}\left|\sqrt{P_1}e^{j\theta_1} + \sqrt{P_2}e^{j\theta_2} + \cdots + \sqrt{P_N}e^{j\theta_N}\right|^2 \tag{19.4b}$$

这个等式可以用来分析幅度和相位的不一致性：功率合成系统的功率衰减效应。接着，我们讨论几种不同情况下的功率合成效率。

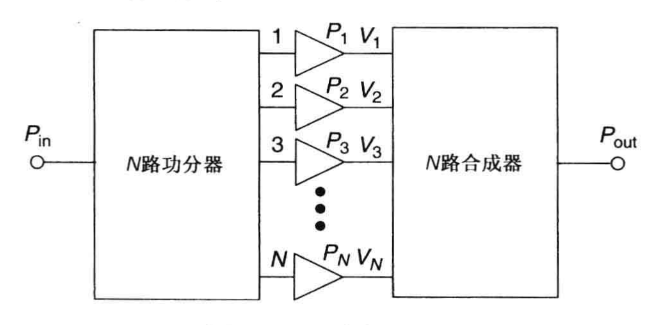


图19.7 N 路合成原理

(a) 假如 $P_1 = P_2 = P_3 = \cdots = P_N = P_o$ 并且 $\theta_1 = \theta_2 = \theta_3 = \cdots = \theta_N = 0$，那么

$$P_{\text{out}} = NP_o \tag{19.5}$$

(b) 如果 $\sqrt{P_2}/\sqrt{P_1} = \Delta_1$，$\sqrt{P_3}/\sqrt{P_1} = \Delta_2$，…，$\sqrt{P_N}/\sqrt{P_1} = \Delta_{N-1} < 1$ 并且 $\theta_2 - \theta_1 = \phi_1$，$\theta_3 - \theta_1 = \phi_2$，…，$\theta_N - \theta_1 = \phi_{N-1}$，因此 $P_1 = P_O$，式(19.4b)可表示为

$$P'_{\text{out}} = \frac{P_o}{N}\left|1 + \Delta_1 e^{j\phi_1} + \Delta_2 e^{j\phi_2} + \cdots + \Delta_{N-1} e^{j\phi_{N-1}}\right|^2 \tag{19.6}$$

功率合成效率 η_c 可表示为

$$\eta_c = \frac{P'_{\text{out}}}{P_{\text{out}}} = \frac{1}{N^2}\left|1 + \Delta_1 e^{j\phi_1} + \Delta_2 e^{j\phi_2} + \cdots + \Delta_{N-1} e^{j\phi_{N-1}}\right|^2 \tag{19.7}$$

(c) 假如所有幅度相等，即 $\Delta_1 = \Delta_2 = \cdots = \Delta_{N-1} = 1$，接着

$$\eta_c = \frac{1}{N^2}\left|1 + e^{j\phi_1} + e^{j\phi_2} + \cdots + e^{j\phi_{N-1}}\right|^2 \tag{19.8}$$

当 m 个放大器存在相位差 $\phi_i(i=1, 2, \cdots, m) = \phi$ 并且剩下的 $N-m$ 个放大器不存在相位差时，式(19.8)可表示为

$$\eta_c = \frac{1}{N^2}\left|(N-m) + me^{j\phi}\right|^2 = \frac{1}{N^2}\{[(N-m) + m\cos\phi]^2 + m^2\sin^2\phi\}$$

或

$$\eta_c = 1 - 2\frac{m}{N}\left(1 - \frac{m}{N}\right)(1 - \cos\phi) \tag{19.9}$$

m 最差时的值可由式 $\partial\eta_c/\partial m = 0$ 得到，由式(19.9)，可得

$$-(1-\cos\phi)\left(1 - \frac{2m}{N}\right) = 0 \tag{19.10}$$

得到 $m = N/2$，并且最坏情况下的合成效率可表示为

$$\eta_c^{\text{worst}} = 1 - \tfrac{1}{2}(1 - \cos\phi) \tag{19.11}$$

(d) 下面，只考虑放大器信号幅度的不平衡性，即 $\phi_i(i=1, 2, \cdots, N-1) = 0$。如果有 m 个放大器 $\Delta_i(i=1, 2, \cdots, m) = \Delta$，并且剩下的 $N-m$ 个放大器幅度相同，那么

$$\eta_c = \frac{1}{N^2}|N - m + m\Delta|^2 = \left|1 - \frac{m}{N}(1-\Delta)\right|^2 \tag{19.12a}$$

这表示 $N-m$ 个放大器的满输出功率为 P_o，而 m 个放大器少输出的功率为 Δ。如果 $N=4$、$m=2$，并且 $\Delta = 0.944(-0.5\ \text{dB})$，那么

$$\eta_c = 0.945 \text{ 或者 } 94.5\%$$

(e) 当 m 个放大器不工作而其他放大器有相同的幅度和相位时，即 $\Delta_i(i=1, 2, \cdots, m) = 0$，$\Delta_{N-m} = 1$ 并且 $\phi_i = 0$，那么式(19.7)可表示为

$$\eta_c = \left|1 - \frac{m}{N}\right|^2 \tag{19.12b}$$

这个式子与式(19.1)相同，如果 $N=4$，$m=2$，$\eta_c = 25\%$。

相位不一致性对功率合成效率的影响比幅度不一致性的影响要大得多。一个 N 路合成器最坏衰减情况下的合成效率和最大允许变化相位之间的关系如图 19.8 所示。显然对于一个高效率功率合成器来说，相位匹配功率放大器是必须的。在 MMIC 功率放大器高功率合成器中，相位匹配(±10°)需要测量"片上"脉冲大信号 S 参数，这可以保持相位合成效率为 97%。

放大器合成效率的近似表示如下所示：

$$\eta_c = \left[\frac{1}{2} + \frac{\Delta}{1+\Delta^2}\cos\theta\right] \tag{19.13}$$

此处 Δ 和 θ 表示两个放大器之间的幅度(电压值)和相位不一致性。当两个放大器存在幅度不一致 1.0 dB($\Delta = 0.8913$)和相位差 20°($\cos\theta = 0.94$)时，计算的 $\eta_c = 96.7\%$。

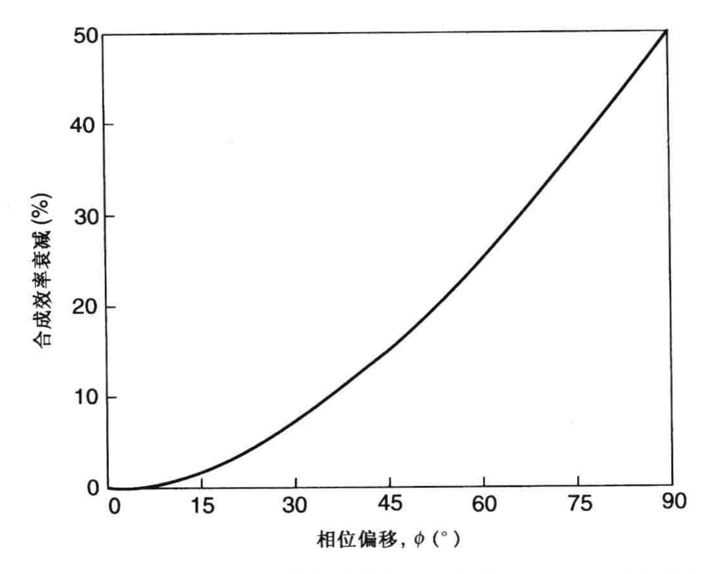


图19.8 最坏情况下的功率合成效率与最大相位差(±10°)之间的关系

例19.1 假设有两个功率合成器，均使用4个MMIC功率放大器芯片，第一种情况下两个芯片存在20°的相位差，第二种情况下存在30°的相位差，计算两者的合成效率。

解 在第一种情况下，$N=4$，$m=2$，$\phi=20°$，由式(19.9)或式(19.11)，可得

$$\eta_c = 1 - 2\frac{2}{4}\left(1 - \frac{2}{4}\right)(1 - \cos 20°) = 0.97 = 97\%$$

在第二种情况下，$N=4$，$m=2$，$\phi=30°$，计算出来的$\eta_c=93.3\%$。因此为了得到一个优于97%的合成效率，ϕ应该小于20°或者±10°。

19.3 功分器、正交混合网络和耦合器

功率合成器可以通过微带线、带状线[3,4]或者其他介质来实现几种类型的功率分配、混合和合成。基底可以是塑料的或者陶瓷的(包括LTCC)。本节我们会简要讨论这些器件。

19.3.1 功分器

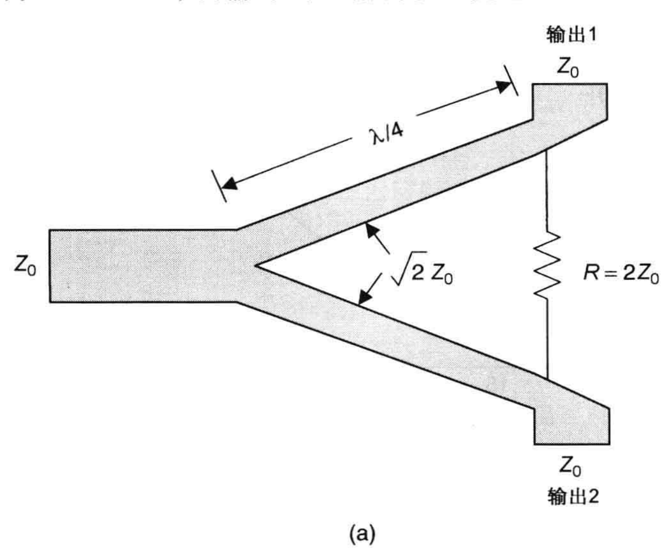
功分器/合成器基本上都是用来实现功率合成，大部分都是基于Wilkinson多端口功分器。

Wilkinson功分器

Wilkinson功分器[9,10]，即双路功分器，可工作于宽频带并在其输出端口提供等相位特性。图19.9(a)所示为Wilkinson功分器的原理图。通过在输出端口间串联一个电阻，可以实现输出端口间的隔离。每个$\lambda/4$传输线的特征阻抗都是$\sqrt{2}Z_0$，隔离电阻值为$2Z_0$，Z_0为系统特征阻抗。

3 dB功分器可由理想传输线、GaAs基底的微带线、理想集总元件(LRC)、MMIC集总元件来实现[10]，表19.3以驻波比和隔离度(10 dB和20 dB)两个参数来对比这4种功分器结构的带宽。此处考虑了不同的带宽定义，在不同的应用中，对输入匹配和输出匹配隔离度的要求不同。例如，在功率放大器合成中，输出匹配和隔离度是非常重要的，这样合成器可以给放大器的输出提供所需的50 Ω阻抗。当隔离度为15～20 dB，由于放大器间的幅度和相位的不一致性而使

放大器不能正常工作，这些都会导致放大器之间相互影响。在绝大部分的两路功分器/合成器中，带宽主要受限于输入匹配和隔离度。网络的带宽越大其损耗也越大。基于微带线的 Wilkinson 功分器，其带宽大约为 35% ~40%，而输出匹配的频带更要宽达 130%。



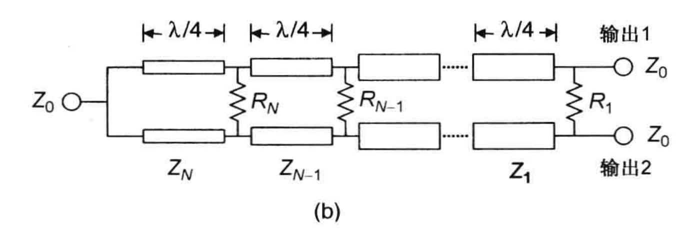


图 19.9 (a) Wilkinson 功分器；(b) N 阶宽带 Wilkinson 功分器

表 19.3 不同双路功分器/耦合器的百分比带宽之间的比较[a]

参数	分布元件		集总元件	
	理想传输线	微带线	理想 LRC	MMIC
S_{11} −10 dB	253	372	102	259
−20 dB	37	40	17	32.5
S_{22} −10 dB	505	不限	343	551
−20 dB	132	138	89	94
S_{23} −10 dB	135	134	92	125
−20 dB	37	36	23.5	30

[a]中心频率为 10 GHz，微带或者 MMIC 基底为 75 μm 厚的 GaAs，导体为 4.5 μm 厚。

通过增加可用空间，可以改善 Wilkinson 耦合器的性能，包括在功分器前增益 λ/4 传输线、使用多节结构或者补偿技术[10]。一个多节 Wilkinson 功分器包含多条 λ/4 传输线，并且在每节传输线终端都接有负载，如图 19.9(b) 所示，多节微带线的使用可以增大带宽和隔离度，这种耦合器的设计已由参考文献[11]和[12]给出。

非平衡 Wilkinson 功分器

图 19.10 所示为非平衡 Wilkinson 功分器[13]的原理图。与平衡功分器类似，同样需要输出端的阻抗。设计等式如下所示：

$$
\begin{aligned}
K^2 &= \frac{P_2}{P_1}, \quad R = Z_0\frac{1+K^2}{K} \\
Z_4 &= Z_0\sqrt{K}, \quad Z_5 = \frac{Z_0}{\sqrt{K}} \\
Z_2 &= Z_0[K(1+K^2)]^{1/2} \\
Z_3 &= Z_0\left(\frac{1+K^2}{K^3}\right)^{1/2}
\end{aligned} \tag{19.14}
$$

此处 P_1 和 P_2 分别表示端口 1 和端口 2 的功率级。这些功分器可以在一个很宽的带宽内以任意一个常数功率比提供同相隔离。同样可以得到三端口任意功率比和终端负载的设计公式[14]。

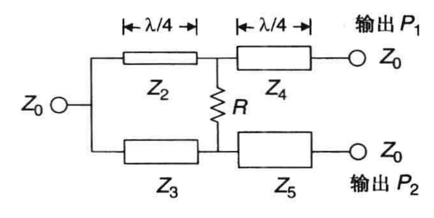


图 19.10　非平衡 Wilkinson 功分器原理图

串联/行波结构

行波功分器/耦合器具有紧凑的结构、低损耗并且很容易应用于毫米波频段等优点，可用于三至六路功率放大器的合成，通常可称为行波耦合器(TWC)。行波结构由一个不等分 Wilkinson 功分器和一个等分 Wilkinson 功分器级联而成，且两者的功率比不同。例如，一个四路耦合器，其功率比分别为4∶1、3∶1 和 2∶1，如图 19.11 所示。在这种功分器结构中，信号受到连续分配，可以实现 3、4、5 或者 N 路分配。在图 19.11 中，每节传输线的电长度均为 90°。图中为了实现宽带 MIC/MMIC 放大器，功分器由 90°传输线分开。输出 4 端口有 3 个 90°传输线(未画出)也是出于此原因。另外，出于损耗和横向共振考虑，传输线设计在 0.38 mm、$\varepsilon_r = 9.9$ 的厚铝制基底上，阻抗限制在最高 77 Ω 和最低 20 Ω 之间。

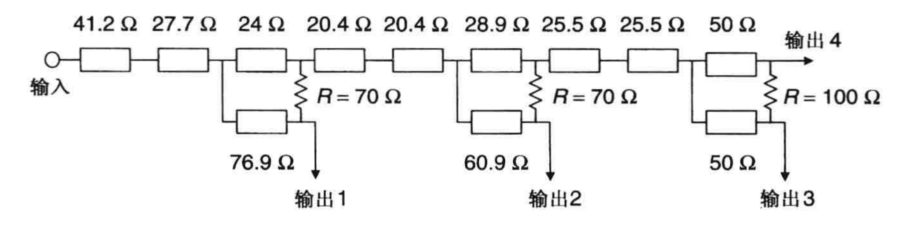


图 19.11　行波合成器原理图。所有的电长度均为 90°

小型化 Wilkinson 功分器

通过容性负载可以减小功分器的尺寸，小型化 Wilkinson 功分器原理如图 19.12 所示。这种结构的设计公式如下[15]：

$$
Z_{01} = \frac{\sqrt{2}Z_0}{\sin(\beta\ell)} \tag{19.15a}
$$

$$
C_1 = \frac{\cos(\beta\ell)}{\omega_0 Z_0\sqrt{2}} \tag{19.15b}
$$

此处 $\beta(=2\pi/\lambda)$ 为传输系数，Z_0 为系统特征阻抗，$\omega_0(=2\pi f_0)$ 为设计频率 f_0 的角频率。负载阻抗 $R = 2Z_0$，$C_2 = 2C_1$。例如，对于 $\beta\ell$ 分别为 $\lambda/4$、$\lambda/8$ 和 $\lambda/12$，C_1 在 10 GHz 处的值分别为 0 pF、0.16 pF和 0.195 pF，Z_{01} 的值分别为 70.7 Ω、100 Ω 和 141.4 Ω。

19.3.2 90°混合网络

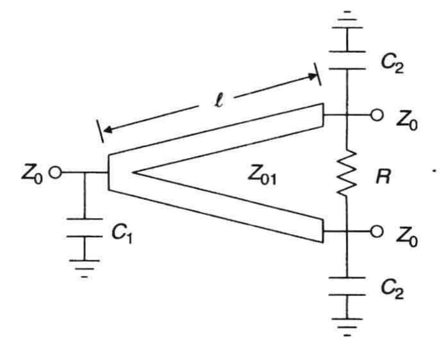


图 19.12 缩小尺寸的 Wilkinson 功分器结构

由于其大尺寸和窄频段的带宽，射频和微波频段混合网络功率合成技术的应用有限；但是在毫米波频段，却得到了广泛应用。图 19.13 所示的分支线网络是 90°混合网络中最简单的一类，其周长是 λ 的奇数倍。这种结构在任何介质上都可以实现传输。分支线混合网络带宽较窄，约为 10% 的水平。如图 19.13 所示，两个 $\lambda/4$ 传输线将端口 1 的输入信号分成两个，这样端口 4 无输出信号。端口 2 和端口 3 的信号幅度相等，但是相位相差 90°。耦合因子由并联臂和串联臂的阻抗决定，可以根据所需带宽进行优化。以 Z_r 和 Z_p 来表示串联臂和并联臂的阻抗，则分支线耦合器的散射参数可表示为[16]

$$S_{21}=-\mathrm{j}\frac{Z_r}{Z_0},\quad S_{31}=-\frac{Z_r}{Z_p},\quad S_{41}=0 \tag{19.16a}$$

对于 90°无耗混合网络，有下式：

$$|S_{21}|^2+|S_{31}|^2=1 \quad \text{或} \quad \left|\frac{Z_r}{Z_0}\right|^2+\left|\frac{Z_r}{Z_p}\right|^2=1 \tag{19.16b}$$

对于 3 dB 耦合器，并联臂和串联臂的特征阻抗分别为 Z_0 和 $Z_0/\sqrt{2}$。Z_0 是输入和输出端口的特征阻抗，在大部分情况下，$Z_0=50\ \Omega$；因此并联臂和串联臂的特征阻抗分别为 50 Ω 和 35.36 Ω。

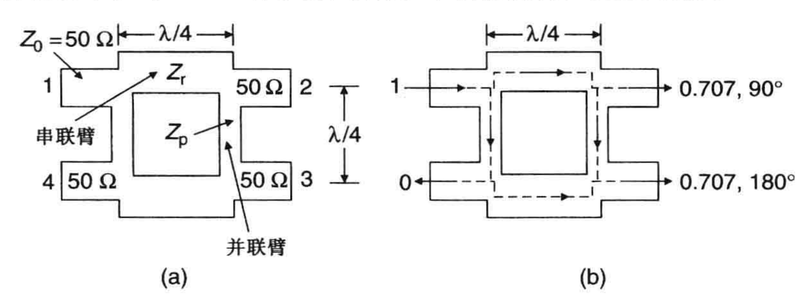


图 19.13 单阶分支线合成器：(a)设计参数；(b)分配电压的幅度和相位

19.3.3 耦合线定向耦合器

耦合线定向耦合器由于其可变耦合性及宽带特性而经常用于功率合成。在这些耦合器中，兰格耦合器[17]是最流行的。当两个非屏蔽传输线彼此放置得很近时，主传输线的一部分信号耦合到第二条线上，如图 19.14 所示。耦合功率的大小是结构物理尺寸、工作频率和主信号传输方向三者的方程。在这些结构中，两个传输线的电磁场存在耦合，也可以称之为寄生耦合。如果耦合线为 TEM 类型（带状线），则功率经过反射波耦合到端口 2，这种结构叫做反射波定向耦合器。这种耦合器的端口 2、3、4 分别称为耦合端、隔离端和直通端。端口 1 和端口 2、端口 1 和端口 4 之间的相位差分别为 0°和 90°。

耦合线结构可以基于几乎所有类型的传输线/介质结构来实现微波毫米波器件。最流行的类型是带状线、微带线、共面波导、镜像结构和绝缘、反向带状线结构[16]。在类微带线结构（包括多触点结构，如兰格耦合器）中，紧耦合可实现在 $\lambda/4$ 的阶数为 6 dB，其实现受限于线与线之间

的实际距离。另一方面，宽的耦合线广泛用于实现阶数为 2 ~ 3 dB 的紧耦合。图 19.14 给出的耦合器可以实现均匀介质的 TEM 模和非均匀介质的准 TEM 模。

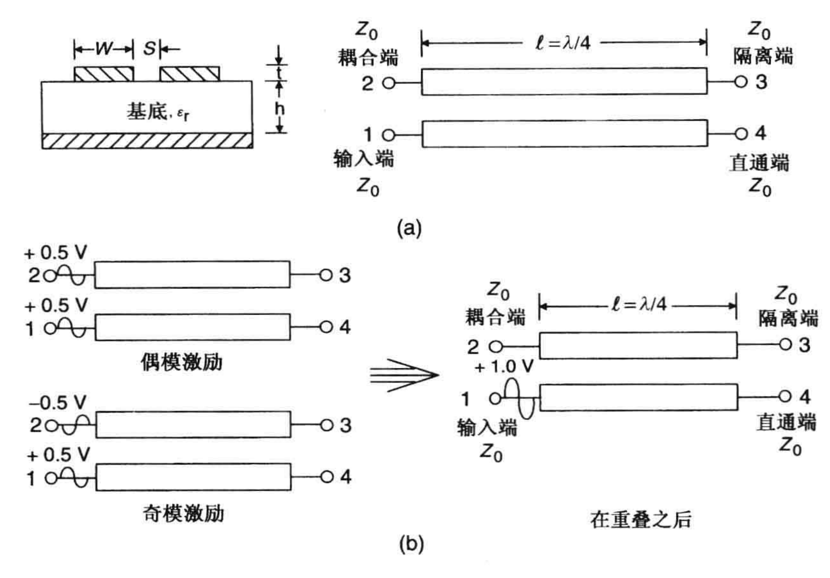


图 19.14 TEM 耦合器：(a)微带耦合线；(b)电路分析中的偶模和奇模激励

一般情况下，图 19.14(a)所示的耦合线结构支持两种模式：偶模和奇模。耦合的作用就是这两种模式在两个传输线之间的相互作用，且耦合结构的特性可以按照偶模和奇模的形式来表示[见图 19.14(b)]。偶模激励表示两个微带线有同一个电势，而奇模则是由不同的电势激励。这些模式的特征阻抗不同，当导体间的隔离很大时，特征阻抗值相等。当传输线内嵌于同一种介质(如带状线)时，两种模式的传输速率相等。但是，对于如耦合微带线之类的传输线，电介质是不同的。耦合线的两种模式辐射到空气中的部分是不同的，且两种模式的有效介电常数(还有相移常数)是不相等的。这些耦合线类型的非同步特性恶化了电路的隔离特性，当耦合线对的两个导体相同时，就可以得到一个对称结构。对称结构对于分析和设计这种耦合线结构是非常有用的。如果两个线的阻抗不同，那么这种结构就是非对称的。

平板 TEM 线方向性耦合器可以是边沿耦合也可以是侧向耦合，如图 19.14 所示，在带宽的中心频率处：

$$\theta_c = \theta_e = \theta_0 = \pi/2, \quad Z_0^2 = Z_{0e}Z_{0o} \tag{19.17a}$$

$$C = -20\log\left|\frac{Z_{0e}-Z_{0o}}{Z_{0e}+Z_{0o}}\right| \text{dB} \tag{19.17b}$$

$$Z_{0e} = Z_0\left(\frac{1+10^{-C/20}}{1-10^{-C/20}}\right)^{1/2} \tag{19.18a}$$

$$Z_{0o} = Z_0\left(\frac{1-10^{-C/20}}{1+10^{-C/20}}\right)^{1/2} \tag{19.18b}$$

此处，下标 e 和 o 表示偶模和奇模，C 为以分贝形式表示的耦合系数，Z_0表示终端或者系统阻抗。为了增大有效可用带宽，经常需要在设计频率处强耦合[16]，然后在频率范围内加减容差。

对于一个准 TEM 线，输入阻抗的情况如下所示：

$$Z_0 = \left(\frac{Z_{0e}\sin\theta_e + Z_{0o}\sin\theta_o}{Z_{0e}\sin\theta_o + Z_{0o}\sin\theta_e} \right)^{1/2} \sqrt{Z_{0o}Z_{0e}} \tag{19.19a}$$

$$\theta = \frac{1}{2}(\theta_e + \theta_o) = \frac{2\pi}{\lambda_0}\frac{\sqrt{\varepsilon_{ree}} + \sqrt{\varepsilon_{reo}}}{2}\ell = 90^\circ \tag{19.19b}$$

此处，ε_{ree}和ε_{reo}分别表示偶模和奇模的有效介电常数，ℓ 为耦合线的物理长度。耦合系数的频率响应 $C(\theta)$ 为

$$C(\theta) = \frac{\mathrm{j}C\sin\theta}{\sqrt{1-C^2}\cos\theta + \mathrm{j}\sin\theta} \tag{19.20}$$

多导体耦合器

交叉指型长耦合器[17]或者多导体耦合器由于其宽带特性而在平面电路中得到广泛应用。图 19.15所示为一个四指兰格耦合器，在实际应用中元件的数量可能比 4 要大。耦合器设计经常使用 $\lambda/4$ 耦合线来达到 3 dB 耦合与端口 2 和端口 3 之间的90°相位差。耦合器的传输路径用线连接起来，端口 2 和端口 3 分别为耦合端和直通端，端口 4 为隔离端。显然，微波传输线是最好的实现形式。

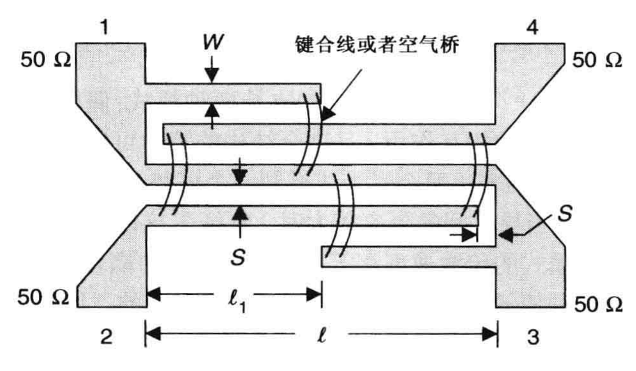


图 19.15 多触点兰格耦合器

交叉指型耦合器与双耦合线电路相比，具有小尺寸和相对大的隔离度的优点，而和分支线耦合器相比时具有大的带宽。但是连接交叉指需要用到键合线。对于给定的指数，利用 Z_0(不同端口的阻抗)和耦合，可以得到耦合线的偶模和奇模阻抗。一旦知道耦合线的偶模和奇模的阻抗值，就能获得线的宽度(W)和线距(S)。兰格耦合器的工作原理在参考文献[16]中描述。

N 指(N 为偶数)兰格耦合器的设计公式如下[18]：

$$R = \frac{Z_{0o}}{Z_{0e}} \tag{19.21a}$$

$$C = \frac{(N-1)(1-R^2)}{(N-1)(1+R^2)+2R} \tag{19.21b}$$

$$Z = \frac{Z_{0o}}{Z_0} = \frac{\sqrt{R[(N-1)+R][(N-1)R+1]}}{(1+R)} \tag{19.21c}$$

其中，C 为中心频率处输入端和耦合端之间的电压耦合效率，N 为导体总数量。当耦合线的线

宽和间距与其他 N 导体交叉指型相同时，Z_{0e} 和 Z_{0o} 表示偶模和奇模阻抗。当交叉指型耦合器的 $N=2$ 时，有等式 $Z_0=\sqrt{Z_{0e}Z_{0o}}$，而当 N 为其他值时，等式不再成立。

交叉指型耦合器在中心频率处的长度为

$$\ell=\frac{\lambda}{4} \tag{19.22}$$

此处 λ 为偶模和奇模的平均传导波长。

例 19.2 假设一个 3 dB($C=0.707$)兰格耦合器的 $N=4$，$Z_0=50\ \Omega$，设计基底为 25 mil 氧化铝基底($\varepsilon_r=9.9$)，确定其在 10 GHz 处的尺寸。

解 对于给定的电压耦合系数 C、导体数量 N，由式(19.21b)可以得到 R 的值：

$$0.707=\frac{(4-1)(1-R^2)}{(4-1)(1+R^2)+2R}$$

或

$$R^2=0.2762R-0.1718=0$$

解此二次方程得到 R 的正值：

$$R=0.2985$$

接着，由式(19.21c)可以得到奇模阻抗 Z_{0o}：

$$Z_{0o}=50\frac{\sqrt{0.2985\times 3.2985\times 1.855}}{1+0.2985}=52.6\ \Omega$$

然后，偶模阻抗 Z_{0e} 可由式(19.21a)得到：

$$Z_{0e}=Z_{0o}/R=52.6/0.2985=176.2\ \Omega$$

由得到的偶模和奇模阻抗值，可以通过计算图或者公式[16, 19]得到线的尺寸和线间的间距。由于兰格耦合器经常在微波传输板结构上实现，耦合器的归一化尺寸为 $W/h=S/h=0.08$[16]。对于一个 25 mil 厚的基底，$W=S=2$ mil，中心频率处的耦合线的尺寸为 $\lambda/4$。在 10 GHz 处，由式(19.19b)计算可得耦合线长度，由参考文献[19]可得 ε_{ree} 和 ε_{reo} 的值，长度为

$$\ell=\frac{\lambda}{4}=\frac{\lambda_0}{4(\sqrt{\varepsilon_{ree}}+\sqrt{\varepsilon_{reo}})/2}=\frac{30}{2(\sqrt{6.34}+\sqrt{5.5})}\ \text{mm}=3.08\ \text{mm}=121.4\ \text{mil}$$

19.4 N 路合成器

N 路合成器结构比共同合成器简单，由于其减少了多级的合成，因此其可以达到高效率的合成。其结构可以为腔体结构或者非谐振结构。在腔体结构中，圆柱体或者矩形结构可用于多个器件的输出功率的合成。这种功分器-合成器的损耗很低(约 0.2 dB)，且合成效率为 85% ~ 90%。一般情况下，合成器和功分器的结构是等价的。

许多非谐振 N 路合成技术也是很常见的。最主要的三种结构为：Wilkinson 结构、放射式结构和平面式结构。N 路 Wilkinson 功分器[9]如图 19.16(a)所示，具有低损耗、适中的带宽、良好的幅度和相位平衡性等优点。但是，它的缺点即是其“悬浮式”隔离电阻，这些电阻为非平面的跨越式结构，这就限制了合成器的功率处理能力。图 19.16(b)所示为一种简单版本[20]。这种特殊的排列方式的合成效率为 90%，在 MMIC 应用中有很广阔的应用。放射式结构[21]合成器(见图 19.17)具有低损耗、相位对称性和良好的隔离度，它的主要缺点是它需要前者三倍的尺寸。另一方面，平面 N 路功分器-合成器[22]需要($N-1$) $\times N$ 个 $\lambda/4$ 传输线来达到良好的隔离度，因此其尺寸特别大，其内在的冗余可以使其具有一个很好的衰减特性。

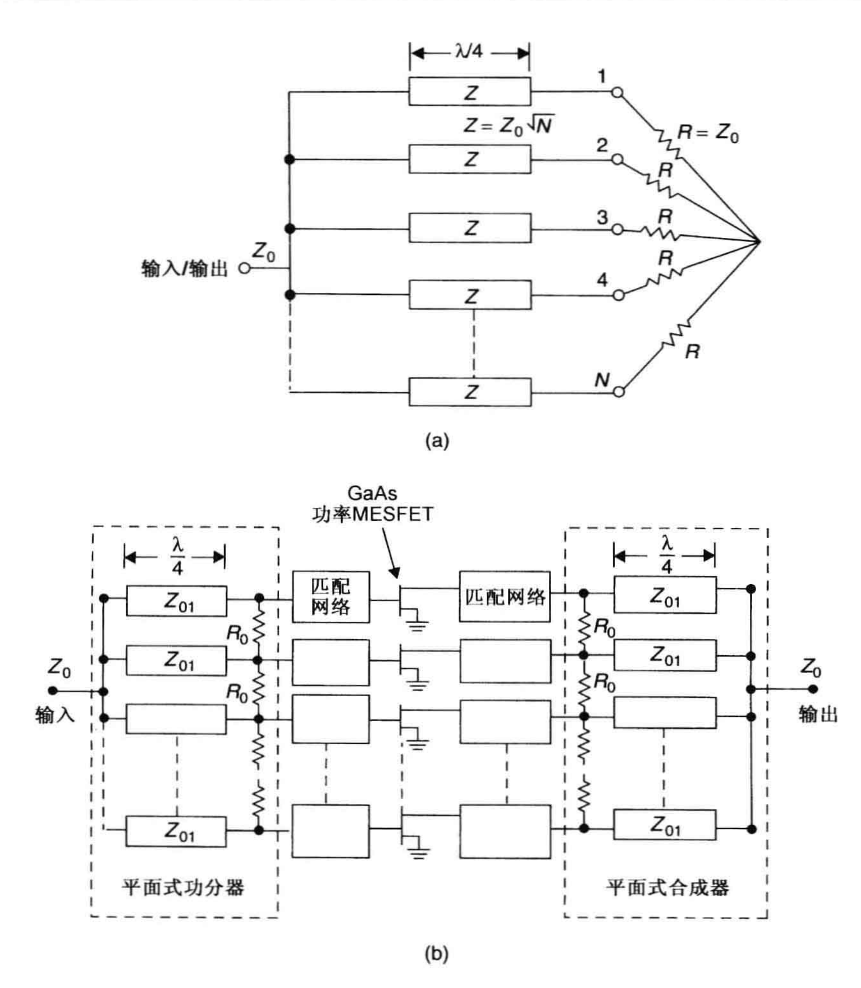


图 19.16 (a)N 路 Wilkinson 功分器-合成器;(b)改进的 N 路功分器-合成器。隔离电阻可以抑制潜在的振荡

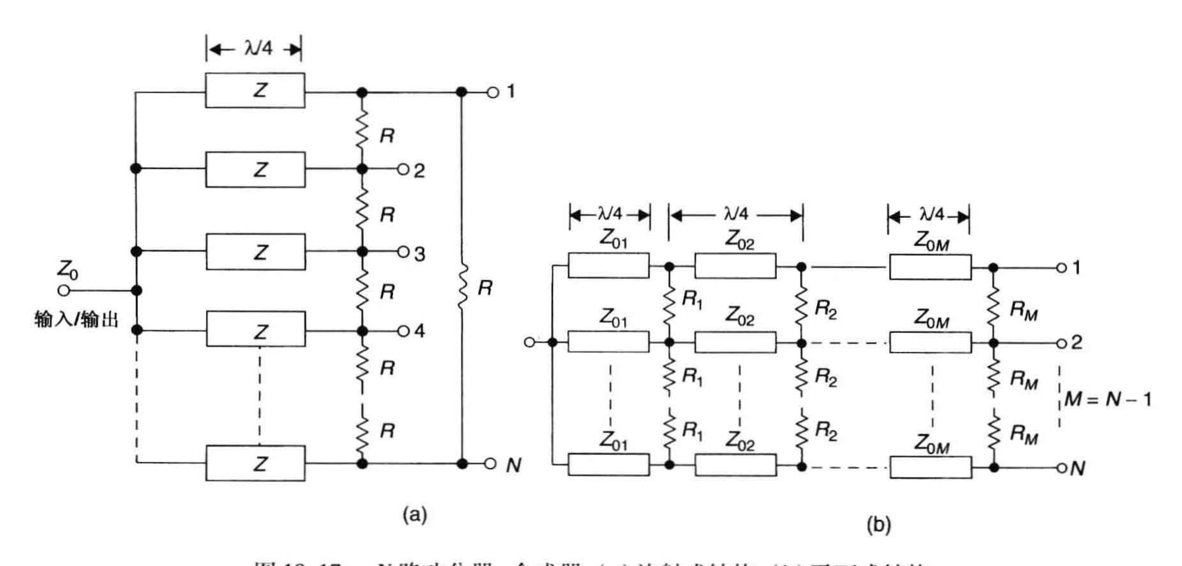
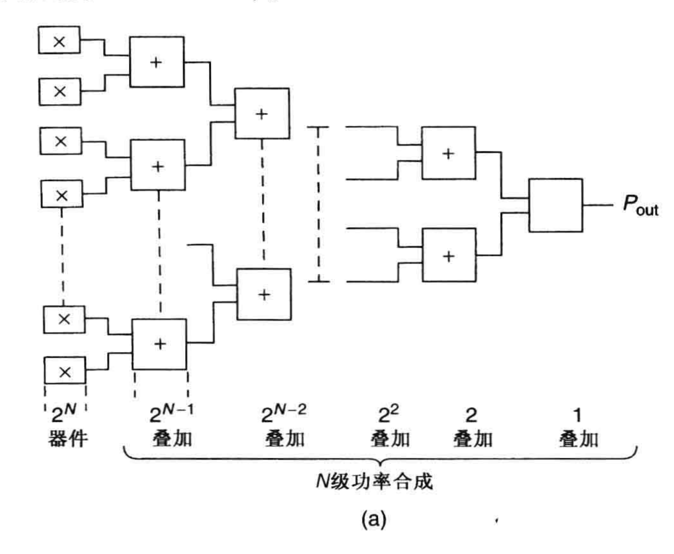


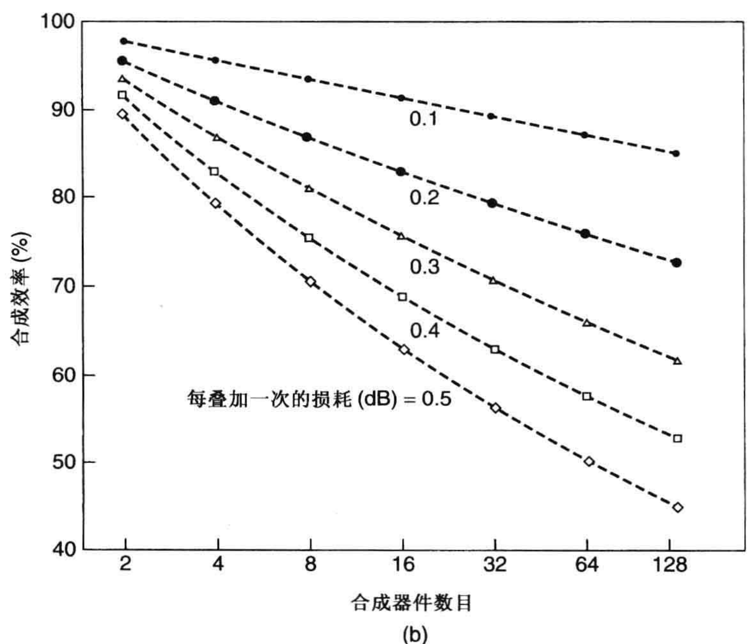
图 19.17 N 路功分器-合成器:(a)放射式结构;(b)平面式结构

19.5　共同合成器结构

一个共同合成器结构(或者三路)如图 19.18(a)所示，串联式(链式)结构如图 19.19(a)所示，合成时的损耗限制了合成效率。图 19.18(b)所示[1]为不同损耗值情况下共同合成器在不同合成器件下的合成效率。合成器件的数量为双数。双路叠加时为方向性耦合器、混合器和双路 Wilkinson 合成器。双路叠加时，兰格耦合器由于其良好的隔离度和宽带特性而得到了更广泛的使用。但是，将这些结构级联起来从而得到高阶的合成效率变得很不实际，这是因为其较高的合成损耗(每个耦合器约为 0.3 ~0.4 dB)。



(a)



(b)

图 19.18　(a)共同合成器结构及其(b)合成效率

一个串联的或者链式合成器如图 19.19(a)所示。此处 N 路合成器的每级都传递了输出功率的 $1/N$，级数决定了需要的合成效率。这种链式结构的优点之一是可以在 N 级之后简单添加一个新的源，合成效率为 $10\log(N+1)$。对于功分结构来说，输入和输出端的角色改变了。耦合器的损耗减小了合成效率和带宽。链式结构每一路径[1]的合成效率如图 19.19(b)所示，四路微带结构可以用来实现 90% 的合成效率和倍频程或者更宽的带宽。这种合成器尺寸小，且具有较好的输入/输出反射系数。但是，由于耦合器的尺寸所限，合成五路以上的放大器变得更加的困难。

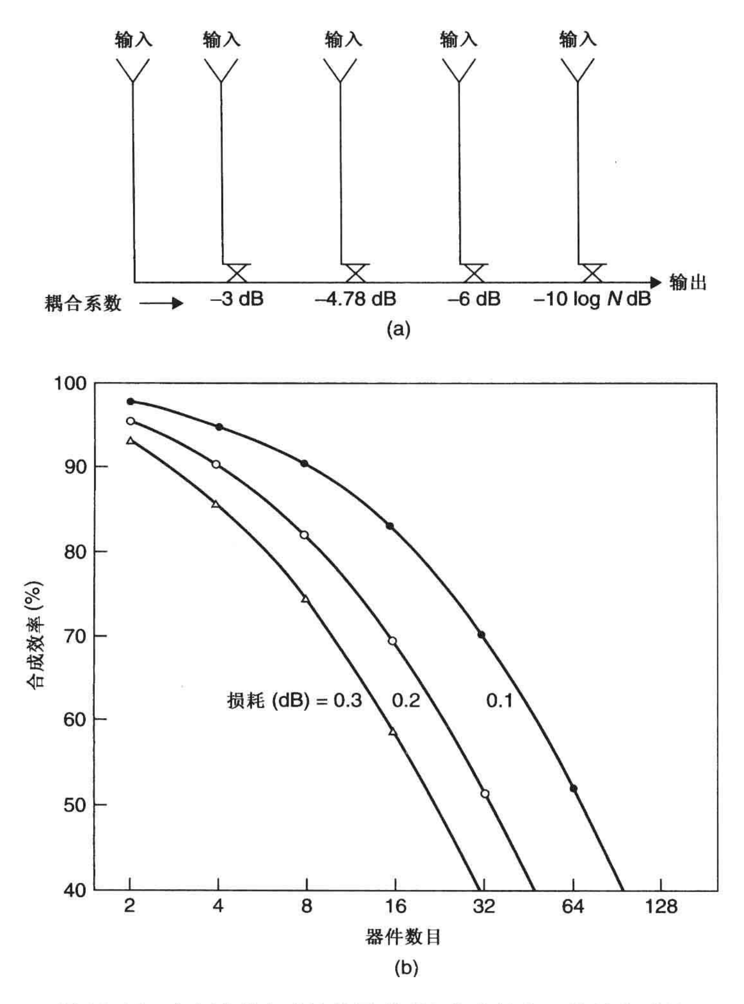


图 19.19 (a)链式合成结构及其(b)合成效率。分贝表示的损耗代表了每级合成器的每个功率路径的损耗

对比各种情况下的合成效率可知，低损耗合成器很难得到高的功率合成效率(PCE)。如果合成 8 个 HPA 且每个合成器损耗为 0.2 dB，N 路合成器、共同合成器和链式合成器的 PCE 值分别为 95%、88%、84%。

例 19.3 设计一个 12 GHz 的功率放大器，输出功率为 12 W，增益为 10 dB，带宽为 40%，PAE 为 30%，使用单片集成电路放大器芯片，其输入和输出阻抗均为 50 Ω，这些芯片的最小测量性能为 $P_o = 5$ W，增益 = 12 dB，PAE = 35%。

解 为了得到12 W的功率输出，我们需要3个这种芯片和两个低损耗三路功分器-合成器。此三路功分器-合成器为行波类型，与参考文献[23]所述类似，制作于15 mil厚氧化铝基底上($\varepsilon_r=9.9$)。图19.20(a)所示为使用3个5 W的MMIC功率放大器芯片实现的12 W HPA，图19.20(b)所示为其测试性能。输出功率、增益和PAE值分别为12 W、11 dB和30%。输入驻波比优于12 dB。

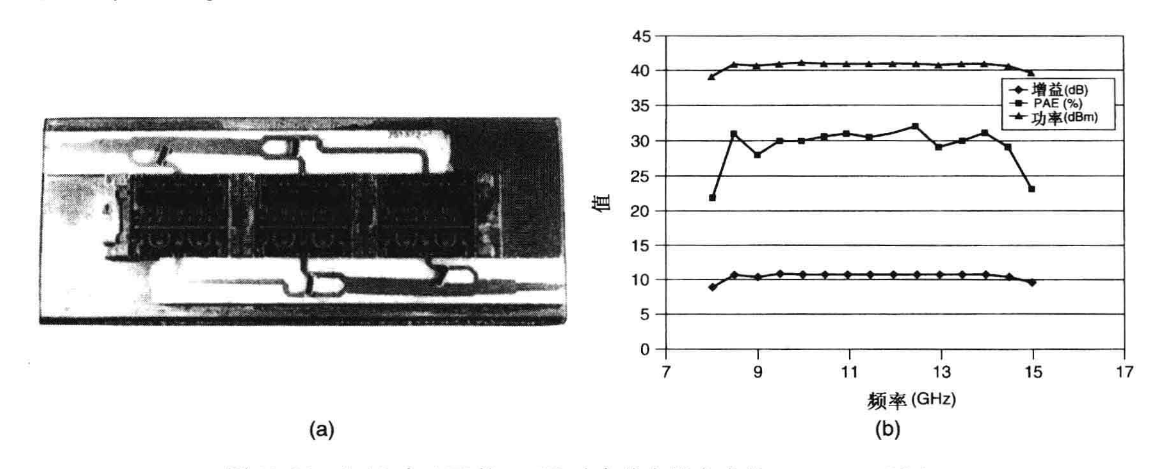


图19.20 (a)3个5 W的MMIC功率放大器合成的12 W HPA照片；(b)测试所得的$V_{ds}=10\text{V}$时HPA的增益、功率和PAE

例19.4 图19.21所示为另一个X波段功率合成器的例子，其输出功率为50 W，增益为37 dB。此处，使用一个四路行波功分器-合成器来对4个17 W的MMIC三级功率放大器进行合成。两级驱动放大器输出功率约为0.5 W，增益为17 dB，此外17 W的HPA增益为22 dB。假设合成器的合成损耗为1 dB，那么输出级的增益为21 dB。因此输入功率为47 − 21 = 26 dBm = 0.4 W。因此一个0.5 W的驱动放大器足够驱动输出级。

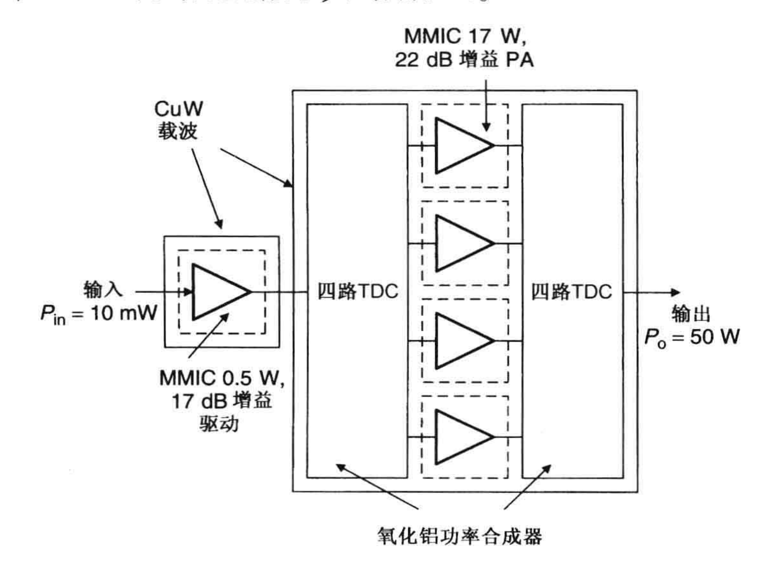


图19.21 使用一个MMIC驱动级功率放大器和4个MMIC输出级HPA的50 W HPA的原理图

19.6　隔离电阻的功率处理

在功率合成器中，了解由放大器反射功率幅度和相位的不一致性所产生的隔离电阻上的功率损耗非常重要。一旦知道了功率损耗，在 MIC 中就可以选择合适的材质来生产印制板合成器，例如使用高热导率基底(BeO 或者 AlN)的隔离电阻。在 MMIC 中，经常将几个 FET 并联合成。兰格和行波耦合器比 Wilkinson 耦合器对隔离电阻的功率处理要求更高。

对于一个双路同相功率合成器，隔离电阻的功率损耗 P_{rdis} 约为[24]

$$P_{\text{rdis}} = \frac{P_{\text{o}}}{4}(10^{\Delta/20} - 1)^2 \tag{19.23}$$

此处 Δ 为两个端口间的幅度不一致性，P_o 为最高的输出功率。例如，P_o =5 W，Δ =1 dB，电阻的功率耗散约为 18.6 mW。这些还不包括相位不一致性和反射。实际上，相位不一致性和反射要比幅度不一致性的影响更大。

19.7　空间功率合成

除了电路合成技术之外，准光学或者空间功率合成(SPC)技术也变得越来越流行[25~32]。如图 19.22 所示，在 SPC 技术中，输入端接一个功率源，输出端接一个发射元件。输入信号经过输入天线耦合、放大、发射和空间合成。这种情况下，许多功率放大器(PA)采用并联合成的方式，其合成损耗取决于 PA 的数量。SPC 技术具有以下优点：

1. 具有非常高的 HPA 合成效率，约为 95% ~100%，由于其低损耗高斯波导而具有低电阻损耗。
2. 可以合成更多数量的 HPA 来得到更高的输出功率，超过 120 W 的 X 波段 PA 已经得到验证。
3. 具有较小的封装，低的重量和低成本。
4. 可以做在散热片和天线中。

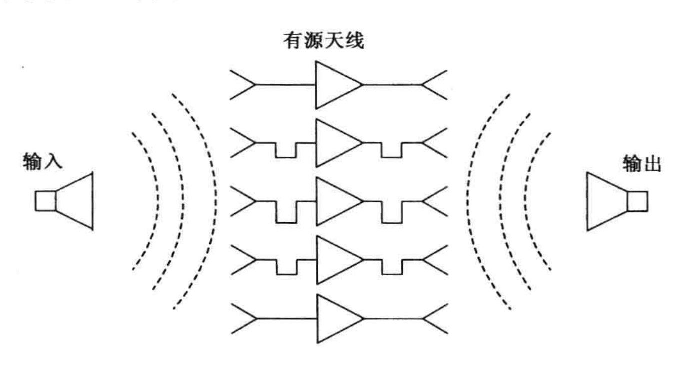


图 19.22　空间功率合成原理图

空间功率合成结构包含瓦式和盘式结构。如图 19.23(a)所示，在瓦式结构中，电磁波传输到瓦式表面，瓦式结构包含一系列有源天线。有源天线包含分立晶体管或者 MMIC 放大器和两个天线。这种方法带宽较窄且需要额外的散热考虑。在盘式结构中，如图 19.23(b)所示，电磁波传输到盘的表面且包含若干个盘。每个盘包含几个放大器和接收发射单元，包含散热结构。这种技术具有宽带特性。

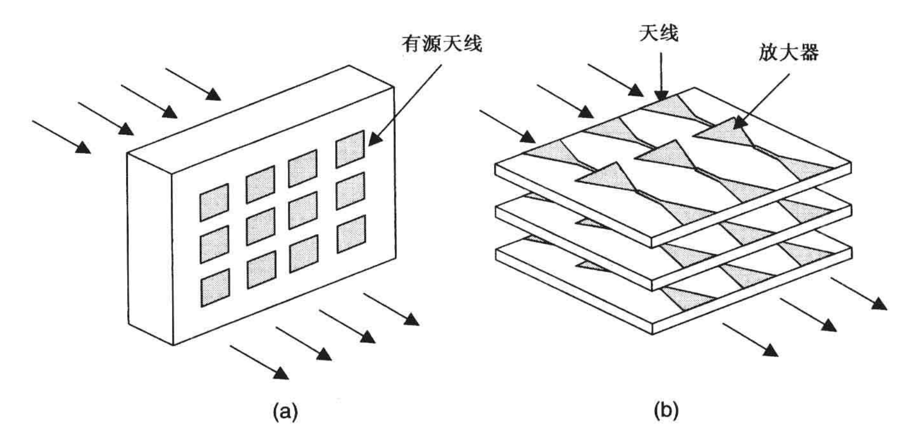


图 19.23　空间功率合成技术:(a)瓦式结构;(b)盘式结构

通过使用 SPC 技术，我们研究了 X 波段到 V 波段的最新器件，并且其中一些已经量产。SPC 的输出功率性能摘要如表 19.4 所示。

表 19.4　SPC 功率放大器的性能摘要

频段	频率(GHz)	输出功率(W)	参考
X	8.1	126	27
Ku	14.5	25	30
Ka	34	25	25
V	61	36	26

19.8　功率合成技术的比较

各种电路级功率合成技术之间的比较如表 19.5 所示。

表 19.5　各种功率合成技术的比较

合成技术	优点	缺点
N 路 W/G 腔	低损耗 高效率	非平面的 复杂的结构 带宽很窄
N 路 Wilkinson	低损耗 适中的带宽 良好的隔离 高效率	非平面的 功率低
N 路辐射线	低损耗 良好的隔离	非平面的 复杂的结构
N 路平面结构	较宽的带宽 良好的隔离 适中的损耗	大尺寸 低效率
共同合成式结构	良好的隔离 较宽的带宽	由于低效率不适用于合成四路以上的结构
串联链式结构	更多的灵活性 更宽的带宽 高效率 良好的隔离 良好的输入和输出匹配	需要高分辨率的结构 设计复杂 由于结构所限不能用于五路以上的结构

（续表）

合成技术	优点	缺点
空间功率合成	95% ~100% 的合成效率 适用于高功率	设计复杂 结构复杂

参考文献

1. K. J. Russel, Microwave power combining techniques, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-27, pp. 472–478, May 1979.
2. K. Chang and C. Sun, Millimeter-wave power-combining techniques, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-31, pp. 91–107, February 1983.
3. I. J. Bahl, Filters, hybrids and couplers, power combiners, and matching networks, in *Handbook of RF/Microwave Components and Engineering* (K. Chang, Ed.), John Wiley & Sons, Hoboken, NJ, 2003.
4. I. J. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 10.
5. Y. Tokumitsu et al., A 6-GHz 80-W GaAs FET amplifier with a TM = mode capacity power combiner, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-32, pp. 301–308, March 1984.
6. Y. Taniguchi et al., A C-band 25 watt linear power FET, *IEEE Int. Microwave Symp. Dig.*, pp. 981–984, 1990.
7. A. A. M. Saleh, Improving the graceful-degradation performance of combined power amplifiers, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-28, pp. 1068–1070, October 1980.
8. M. S. Gupta, Degradation of power combining efficiency due to variability among signal sources, *IEEE Trans. Microwave Theory Tech.*, Vol. 40, pp. 1031–1034, May 1992.
9. E. Wilkinson, An N-way hybrid power divider, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-8, pp. 116–118, January 1960.
10. I. J. Bahl, Ultra-broadband and compact power dividers/combiners on GaAs substrate, *IEEE Microwave Mag.*, Vol. 9, pp. 96–104, April 2008.
11. H. Howe, Jr., *Stripline Ciricuit Design*, Artech House, Norwood, MA, 1974, Chapter 3.
12. C. Q. Li, S. H. Li, and R. G. Basisio, CAD/CAE design of an improved wideband Wilkinson power divider, *Microwave J.*, Vol. 27, pp. 125–135, November 1984.
13. L. I. Parad and R. L. Moynihan, Split-tee power divider, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-13, pp. 91–95, January 1965.
14. H.-R. Ahn and I. Wolff, General design equations, small-sized impedance transformers, and their appliclation to small-sized three-port 3-dB power dividers, *IEEE Trans. Microwave Theory Tech.*, Vol. 49, pp. 1277–1288, July 2001.
15. M. C. Scardelletti, G. E. Ponchak, and T. M. Weller, Miniaturized Wilkinson power dividers utilizing capacitive loading, *IEEE Microwave Wireless Components Lett.*, Vol. 12, pp. 6–8, January 2002.
16. R. Mongia, I. Bahl, P. Bhartia, and J. Hong, *RF and Microwave Coupled-Line Circuits*, 2nd edition, Artech House, Norwood, MA, 2007.
17. J. Lange, Interdigited stripline quadrature hybrid, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-17, pp. 1050–1151, December 1969.
18. A. Presser, Interdigited microstrip coupler design, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-26, pp. 801–805, October 1978.
19. K. C. Gupta, R. Garg, I. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
20. A. A. M. Saleh, Planar electrically symmetric n-way hybrid power dividers/combiners, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-28, pp. 555–563, June 1980.
21. J. M. Schellenberg and M. Cohn, A wideband radial power combiner for FET amplifiers, *IEEE Int. Solid State Circuits Conf. Dig.*, pp. 164–165, February 1978.

22. N. Nagai, E. Maekawa, and K. Ono, New *n*-way hybrid power dividers, *IEEE Trans. Microwave Theory Tech*., Vol. MTT-25, pp. 1008–1012, December 1977.
23. D. Willems, I. Bahl, and B. Kruger, A quasi-microstrip travelling-wave power divider/combiner for use in high-density packages, *IEEE Microwave Guided Wave Lett*., Vol. 3, pp. 148–149, May 1993.
24. S. R. Nelson, Amplifier stability in short course, power amplifiers: from milliwatts to kilowatts ... cool devices with hot performance, in *1998 IEEE GaAs IC Symposium Workshop Notes*.
25. E. A. Sovero et al., A Ka-band monolithic quasi-optic amplifier, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1453–1456, 1998.
26. J. J. Sowers et al., A 36W, V-band, solid-state source, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 235–238, 1999.
27. N.-S. Cheng et al., A 120-W X-band spatially combined solid-state amplifier, *IEEE Trans. Microwave Theory Tech*., Vol. 47, pp. 2557–2561, December 1999.
28. S. Ortiz et al., A high-power Ka-band quasi-optical amplifier array, *IEEE Trans. Microwave Theory Tech*., Vol. 50, pp. 487–494, February 2002.
29. M. P. DeLisio et al., Power and spectral regrowth performance of 10-W and 16-W Ka-band power amplifiers with single-chip output stages, *IEEE MTT-S Int. Microwave Symp. Dig*., WE3E-5, 2005.
30. Wavestream, A compact efficient 25W Ku-band power amplifier, *Microwave J*., Vol. 49, pp. 144–152, April 2005.
31. M. DeLisio, Spatial power combining techniques, in *IEEE MTT-S International Microwave Symposium Workshop WMH*, 2006.
32. M. P. DeLisio and R. A. York, Quasi-optical and spatial power combining, *IEEE Trans. Microwave Theory Tech*., 50th Anniversary Issue, Vol. 50, pp. 929–936, March 2002.

习题

19.1 假设 N 路放大器的每一个独立放大器都匹配良好，且传输相位相同，功分器-合成器的效率为 100%，证明放大器的 P_{out} 为

$$P_{\mathrm{out}} = \frac{1}{N}\left(\sum_{n=1}^{N}\sqrt{P_n}\right)^2$$

此处 P_n 为第 n 个独立放大器的输出功率。

19.2 一个用合成器实现的四路链式功分器-合成器，其插入损耗为 0.1 dB，计算其合成效率和输出功率。放大器输出功率为 3 W，合成因子为 3 dB、4.78 dB 和 6 dB。

19.3 设计一个单阶微带方向合成器，其特性如下：合成 10 dB，基底 $\varepsilon_r = 9.0$，基底厚度为 0.635 mm，系统中心频率为 4 GHz，阻抗为 50 Ω，忽略耗散。

19.4 (a) 计算混合环方向合成器的阻抗，其功率分配比如下：

(1) 0 dB

(2) 3 dB

(3) 9 dB

(b) 对于带状线合成器，计算对应的带状线宽度，介质 $\varepsilon_r = 3.8$，地平面间距为 2.5 mm。

19.5 在 0.38 mm 熔凝石英微带基底上设计一个 3 dB 的兰格耦合器，隔离度和回波损耗≥25 dB，频率为 8 ~ 12 GHz。在 11 ~ 15 GHz 处重新设计电路。

19.6 在微带结构上设计一个四路对称功分器，性能如下：

中心频率 = 4 GHz

最外面的功率臂 = 20%

最里面的功率臂 = 30%

输入和输出阻抗 = 50 Ω

微带参数 $\varepsilon_r = 9.9$，$h = 0.63$ mm，$t = 5$ μm

19.7 使用4个14 W的MMIC芯片功率放大器设计一个40 W的功放模块(HPA)，这个MMIC芯片的增益和PAE分别是8 dB和30%，这个四路功分器-合成器采用15 mil铝基底上的兰格耦合电路结构，设其兰格耦合器的损耗是0.3 dB。当频率为5.8 GHz、各MMIC芯片都已匹配的条件下，计算这个兰格耦合器的尺寸与HPA的增益、输出功率和PAE。

19.8 假如MMIC芯片放大器的增益为22 dB，重新计算习题19.7中HPA的结果。

19.9 假如MMIC分为两组，每组增益相差0.5 dB，相位相差25°，再次计算习题19.7中HPA的结果。

19.10 在5 GHz和25 mil厚的铝基底上有一个五路功率合成器，合成端采用λ/4传输线，设计这个合成器的尺寸、隔离电阻及合成效率，设计时可以忽略连接点的不连续性和散射效应。

19.11 当四路合成器的相位差分别是0、π/16、2π/16、3π/16时，计算这个四路合成器的损耗，计算时可以认为是理想的和各路幅度相等。

19.12 对于Wilkinson结构的功分器，设 Z_0 是各端口的阻抗，在匹配条件下隔离电阻值是 $2Z_0$，请解释之。

19.13 在一个耦合微带线中，分别简单指出偶模和奇模的电容位置。同时分别计算位于一个25 mm厚氧化铝基底上的10 dB耦合器单位长度的偶模电容值和奇模电容值。

19.14 证明在兰格耦合器中，导体之间的互生电容比类似大小的传输线之间的电容要大三倍多。

第 20 章　集成的功能放大器

在现代民用与军用系统中，放大器的应用需要降低成本。一种常用的降低生产成本的技术是将更多功能集成到单个 MMIC(单片微波集成电路)放大器芯片、封装或模块中。例如，MMIC 的高度集成降低了芯片的数量与芯片间的互连，也降低了测试与组装成本，从而增加可靠性、减少子系统的成本。本章将讨论一些集成放大器的例子，包括限幅器/LNA(低噪声放大器)与多级发射链。多级发射链中有可变增益与可变功率输出的放大器，内置功率监视、温度增益补偿、输出失配保护。这些放大器的封装将在下一章讨论。

20.1　集成的限幅器/LNA

由于三极管的结构精细，放大器电路容易受到来自微波发射机或核电磁脉冲的高功率电磁辐射而损坏。特别是位于微波系统前端的 LNA，需要过功率保护，因为这些放大器只能承受 10 ~ 20 dBm 的CW(连续波)功率或 1 ~ 3 μJ 的脉冲功率。为了保护这些电路，就需要高功率、低插损的限幅器。限幅器的插损一般小于 0.3 ~ 0.5 dB。

微波限幅器[1,2]，也称为接收机保护器，它允许低功率信号通过，而衰减超过额定阈值的高功率信号。有很多技术[2]可以实现限幅器，包括气体或等离子限幅器[3,4]、铁氧体限幅器[5~7]、固态限幅器[8~29]，它们输入功率的阈值分别为 30 ~ +90 dBm(兆瓦)、-25 ~ +50 dBm (100 W)、0 ~ +80 dBm (100 kW)。

为满足低成本与大规模生产的要求，限幅器与 LNA 必须集成在一片 GaAs 芯片中，这就要求限幅器与 LNA 技术要兼容。同时为覆盖一定的频率范围，限幅器对宽带性能也有要求。只有固态二极管与三极管才与单片集成技术兼容，而所有的固态器件都存在一个极限函数，且输出功率有限。变容二极管[2]、PIN 二极管[8~11,14,27]、肖特基二极管[15~17,24]、开关 FET[21]都被视为无源器件。最近有文献报道了一款集成的限幅器/LNA[28,29]。这款集成了 LNA 的 10 W 限幅器的恢复时间为 35 ns[29]，而 PIN 二极管的恢复时间为微秒级。无源限幅器不需要偏置网络，因此恢复时间要比 PIN 二极管快。

本章讨论的肖特基二极管限幅器，与普遍应用于低噪声的 FET 工艺兼容。同时，本章给出了一种新颖的高功率限幅器，它能处理高于 10 W CW 的功率[28]，并可与使用 MSAG FET 工艺[30]的低噪声放大器集成在一起。

20.1.1　限幅器/LNA 拓扑结构

高功率限幅器/LNA MMIC 结构框图如图 20.1 所示。限幅器/LNA 为平衡结构，每个单端结构由一个两级肖特基二极管限幅器级联一个两级 LNA 组成。平衡结构的兰格耦合器提供了输入/输出的良好匹配，在源端严重失配(例如在相控阵天线中宽角扫描时辐射器的阻抗失配)的情况下降低了 LNA 噪声系数的恶化，为反射 RF 功率提供了到片上 50 Ω 负载的路径。但这种 MMIC 平衡结构也给单端式放大器额外增加了 0.3 ~ 0.5 dB 的噪声系数。

两级限幅器拓扑结构如图 20.2 所示。第一级使用大功率肖特基二极管(A)处理 37 dBm(由于是平衡结构，功率值为 10 W 的一半)输入功率，第二级使用小功率肖特基二极管(B)，对小

于 18 ~ 19 dBm 的泄漏功率进行限幅。限幅器第一级使用两组二极管反向并联结构，每组二极管由两个串联二极管构成。限幅器第二级使用两个二极管反向并联结构。为进一步对低于 14 dBm 的泄漏功率进行限幅，可以使用功率更小的肖特基二极管作为第三级。

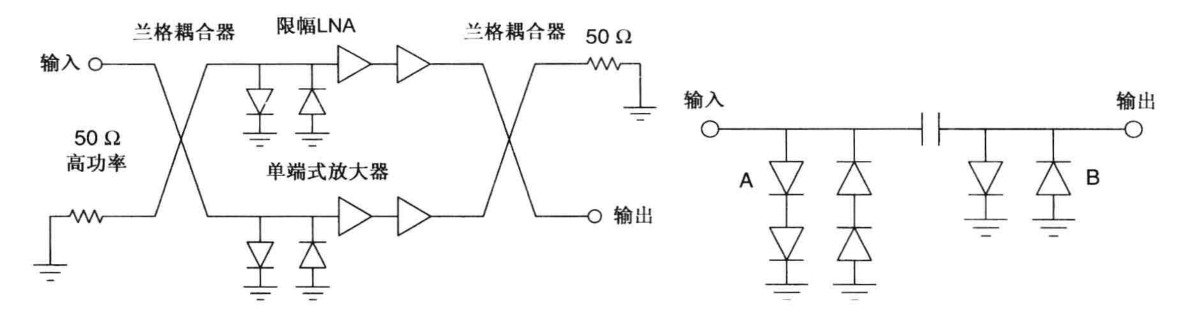


图 20.1　带限幅器的平衡二级 LNA

图 20.2　二级肖特基二极管限幅器结构

两级 LNA 结构的选择需要在 LNA 噪声系数与接收机要求的输入 TOI 之间折中考虑。在 LNA 中，每一级选用合适栅宽的 FET 进行串联反馈，同时为良好的 VSWR、低的噪声系数、限幅器的泄漏功率处理进行匹配。在 LNA 的设计中，限幅二极管的容抗应该纳入 LNA 输入匹配网络的一部分。

20.1.2　限幅器的要求

接下来，将简要描述承受高达 10 W CW 功率的限幅电路与肖特基二极管设计的基本器件要求。

图 20.3(a)是一个使用双肖特基二极管的前端限幅器基本结构。反向并联的二极管削弱了 RF 正弦信号，负载 R_L表示 LNA 的输入阻抗。在小信号条件下，二极管断开，等效到 LNA 的阻抗为 C_{j0}与 R_S的串联[见图 20.3(b)]。因此二极管电容 C_{j0}可以通过如图 20.3(c)所示的低通结构被吸收到 LNA 的输入匹配网络。只要二极管的容抗($1/j\omega C_{j0}$)远远大于 R_S，R_S对 LNA 总的 NF(噪声系数)的影响就可以忽略。

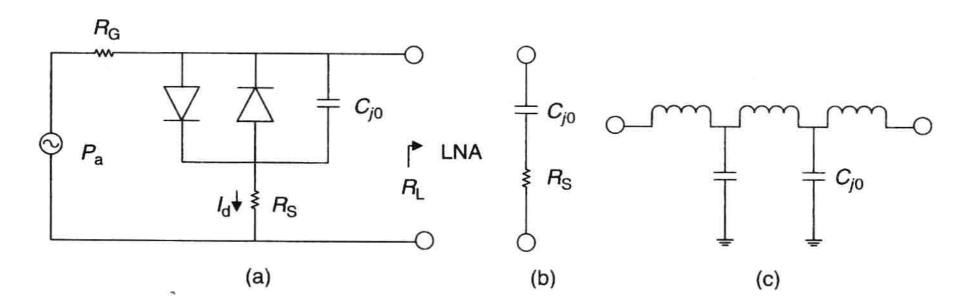


图 20.3　(a)肖特基二极管的功率限幅器配置;(b)二极管的小信号等效电路;(c)LNA的输入匹配的低通等效表示

大功率下，二极管导通，大量入射功率(取决于功率电平)被反射到源。然而，因为 R_S和理想二极管的整流作用，也有相当一部分的入射功率被二极管吸收。这些吸收的功率使二极管升温，并可能损害二极管。因此，所设计的二极管必须能够处理这些吸收的功率和与之对应的大电流。如果 $R_G = R_L$，传递给二极管的功率 P_a为

$$P_a = \frac{V_G^2}{4R_G} \tag{20.1}$$

这里，V_G为源电阻 R_G两端的均方电压。如果用 I_d表示通过二极管的均方电流，且 $R_G = 50\ \Omega$，则 $V_G = 50I_d$，式(20.1)变为

$$P_a = \frac{(50I_d)^2}{4 \times 50} = \frac{50}{4} I_d^2$$

或

$$I_d = \frac{\sqrt{2}}{5} \sqrt{P_a} \tag{20.2}$$

在这种情况下，通过二极管的峰值电流 $I_p = \sqrt{2} I_d$，则

$$I_p = \tfrac{2}{5} \sqrt{P_a} \tag{20.3}$$

因此，对于 10 W CW，二极管必须承受 1.26 A 的电流。此电流要通过二极管的沟道及二极管的其他物理结构。在平衡限幅器/LNA 设计中，通过二极管的峰值电流将减半(为 0.63 A)。

在大信号条件下，被二极管吸收的功率包括肖特基结的整流作用和耗散在串联电阻上的功率($I_d^2 R_S$)。一个周期内时间平均功率估计为[23]

$$P_D = \frac{2\pi}{\omega} \left[\int_0^{\pi/\omega} V_p I_p \sin(\omega t)\, dt + \int_0^{\pi/\omega} I_p^2 R_S \sin^2(\omega t)\, dt \right] = \frac{1}{\pi} I_p V_p + \frac{1}{4} I_p^2 R_S \tag{20.4}$$

其中，V_p约为 1.5 V。积分区间为半个周期($T/2 = \pi/\omega$)，因为每个肖特基二极管仅仅传导半个 RF 周期。

大信号条件下，二极管增加的温度由如下公式给出：

$$\Delta T = P_D R_{th} \tag{20.5}$$

其中，R_{th}为二极管 GaAs 基底的热电阻，GaAs 基底一般需要放在散热片上。如果 R_S为 1 Ω，则单端限幅器消耗的总功率 P_D为 0.4 W，当 R_{th}为 120℃/W 时，计算出二极管结增加的温度为 48℃。

20.1.3 肖特基二极管设计与限幅器结构

肖特基二极管的设计与限幅器结构必须满足如下要求：

1. 为实现低的插损与低的噪声，需要高截止频率f_c(= $1/2\pi R_S C_{j0}$)。
2. 限幅时可承受整流电流。
3. 温度上升小于 80℃(T_{ch} = 150℃)。

为此应用，选用 M/A-COM 公司栅长为 2 μm 的肖特基混频二极管。它相比 1 μm 或更短栅长的器件来说，具有更强的电流与功率处理能力。图 20.4 为肖特基混频二极管的俯视图与剖面图。肖特基二极管的面积与限幅器的结构决定了它能承受的功率。单端限幅器包括两级。第一级包括一组反向并联二极管;每组二极管包括 16 个二极管，每个二极管需要 $2 \times 12\ \mu m^2$的面积。片内使用两组这样的二极管串联起来增加电压处理能力，它能 4 倍地增加热扩散面积;同时，在不影响限幅器插损的情况下增加了电流与功率处理能力。R_S与 C_{j0}的典型测量值分别为 1 Ω 与 0.4 pF。第二级包括另一组反向并联二极管，这一组有 8 个二极管，每个二极管需要 $2 \times 8\ \mu m^2$的面积。表 20.1 概括了图 20.5 中两级限幅器噪声参数的典型测量值。

第 16 章[31]描述的 Cooke 模型用来计算限幅二极管的热电阻。计算出单端限幅器每级热电阻为 120℃/W。因此，如果消耗的功率为 0.5 W(大约比前一节的计算结果高出 30%)，则沟道上升的温度仅仅为 60℃。

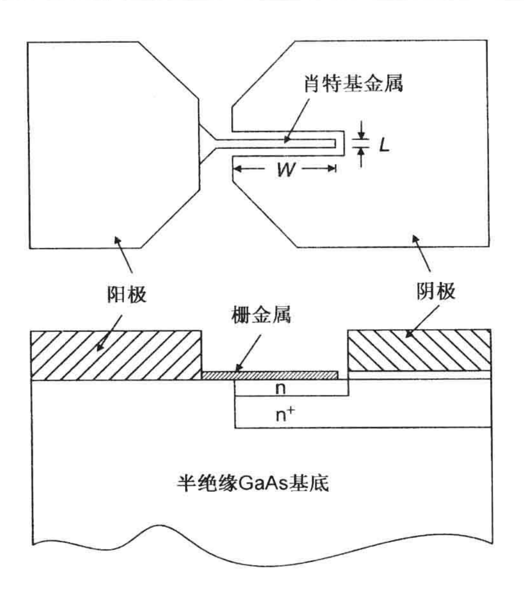


图 20.4 肖特基二极管的俯视图与剖面图

表 20.1 两级高功率限幅器噪声参数的典型测量值

频率 (GHz)	F_{min} (dB)	Γ_{opt} 幅度	Γ_{opt} 相位	归一化 R_n
7	0.12	0.19	-30	0.03
8	0.15	0.25	70	0.03
9	0.17	0.32	170	0.01
10	0.20	0.41	-88	0.04
11	0.22	0.49	15	0.09
12	0.25	0.56	121	0.04

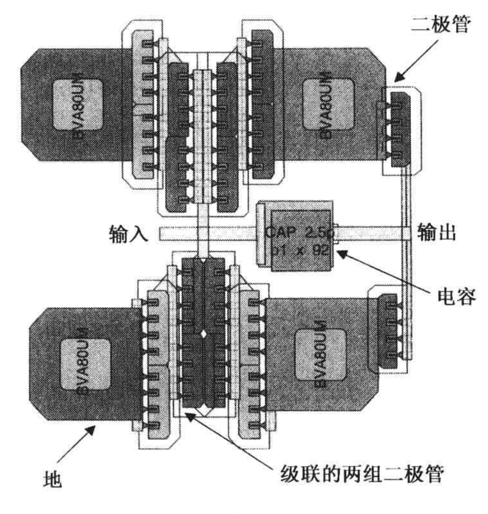


图 20.5 两级肖特基二极管单端限幅器结构的物理层

对于二极管与 FET，需要进行高温测试来检测灾难性故障。如图 20.5 中的限幅器拓扑结构，经过了 10 W CW 测试而没有观察到灾难性(破坏性)故障。然而，使用300 μm 单端单级的 LNA 在灾难性故障发生前仅能承受1 W CW 的功率。如果为了获得更好的 IP3，可以使用600 μm 的 FET，它可以承受 2 W CW 的功率。

20.1.4 10 W 限幅器/LNA 设计

在高功率限幅器/LNA 中，LNA 部分设计为高 IP3、低噪声系数、高功率的两级 LNA。单端设计基于低噪声 FET(见第 5 章)MSAG 5N，匹配网络由最小噪声系数、平坦增益、15 dB 的最小增益来进行优化。每级都使用栅宽为600 μm 的 FET，每个 FET 包括 8 个栅指和一个 20 μm 的栅

栅间距。之所以选择 600 μm 的 FET，是为了达到低噪声要求，同时可以高效处理从二极管泄漏过来的功率，以达到高功率操作能力与更好的 IP3 性能。每级所使用的 FET 串联反馈电感值稍有差异。典型的 EC 模型（见第 5 章的图 5.2）参数在下面给出，两级的噪声测量参数由表 20.2 和表 20.3 给出。

$$R_g = 0.5\ \Omega,\ \ R_i = 1.0\ \Omega,\ \ R_s = 0.8\ \Omega,\ \ R_d = 0.8\ \Omega,\ \ R_{ds} = 110\ \Omega$$
$$g_m = 120\ \text{mS},\ \ \tau = 2\text{ps},\ \ C_{gs} = 0.55\ \text{pF},\ \ C_{gd} = 0.12\ \text{pF},\ \ C_{ds} = 0.11\ \text{pF}$$
$$L_g = 0.01\ \text{nH},\ \ L_s = L_{ss},\ L_d = 0.01\ \text{nH}$$

对于单级 FET，$L_{SS}=0.08$ nH；对于两级 FET，$L_{SS}=0.01$ nH。

表 20.2　第一级 FET（偏置在 3 V 与 25% I_{dss}）的噪声参数的典型测量值

频率（GHz）	F_{min}（dB）	Γ_{opt}		归一化 R_n	G_A（dB）
		幅度	相位		
7	0.61	0.63	86°	0.23	9.7
8	0.70	0.62	97°	0.21	9.1
9	0.79	0.62	106°	0.20	8.6
10	0.88	0.62	115°	0.18	8.2
11	0.97	0.63	126°	0.16	7.8
12	1.06	0.64	131°	0.14	7.5

表 20.3　第二级 FET（偏置在 3 V 与 25% I_{dss}）的噪声参数的典型测量值

频率（GHz）	F_{min}（dB）	Γ_{opt}		归一化 R_n	G_A（dB）
		幅度	相位		
7	0.62	0.64	85°	0.23	9.9
8	0.71	0.63	96°	0.22	9.3
9	0.81	0.62	105°	0.21	8.7
10	0.90	0.63	114°	0.19	8.3
11	0.99	0.62	122°	0.17	8.0
12	1.08	0.64	129°	0.15	7.7

为达到设计目的，使用第 16 章提到的 Cooke 模型[31]来计算 600 μm FET 的沟道温度。每个 FET 的热电阻约为 210℃/W。在饱和状态下，每个 FET 消耗功率约为 0.135 W，计算出来的沟道温度上升 29℃。600 μm FET 的 S 参数通过输入 0 ~ 27 dBm 的功率电平来测量。在每个功率电平下，要持续 10 分钟来测量 S 参数。当输入功率电平达到 27 dBm，测量出来的器件小信号性能不再改变。

每个 FET 的栅极偏置由分压网络提供，此分压网络的有效栅极电阻为 1 kΩ，漏极电压通过一个 60 Ω 的电阻来供给。栅极与漏极的供电电压分别为 -5 V 与 5 V，因此栅极电压约为 -0.7 V（25% I_{dss}），漏极电压约为 3 V。此电路无条件稳定，图 20.6 为放大器的原理图，表 20.4 为设计过程中所需的相关参数。

兰格耦合器

本设计中所应用的兰格耦合器设计参数如下：

GaAs 基底，$\varepsilon_r = 12.9$

基底厚度，$h = 125$ μm

栅指数，$n = 4$

线宽，$W = 10\ \mu m$
线距，$S = 10\ \mu m$
耦合器长度，$\ell = 2200\ \mu m$

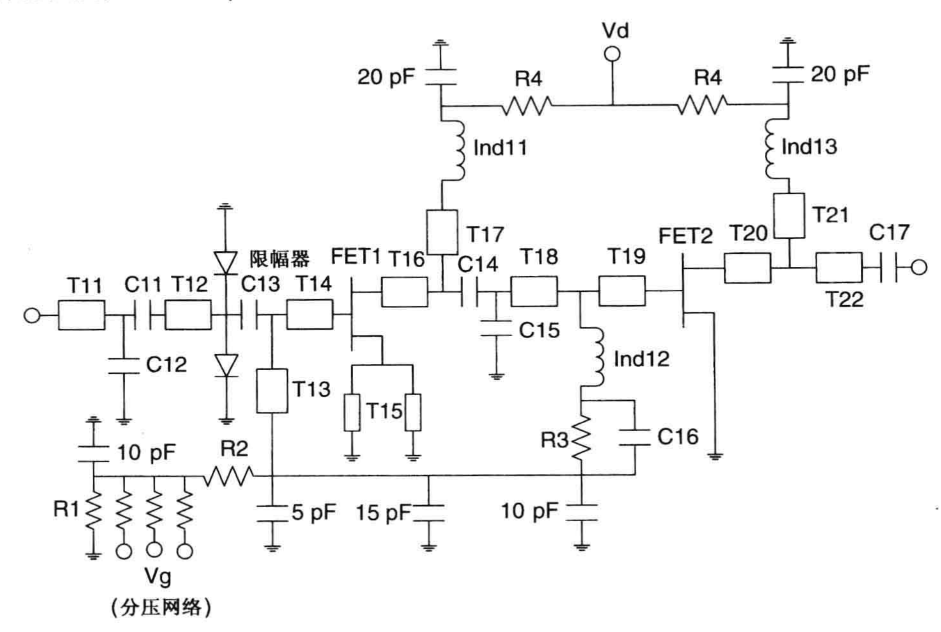


图 20.6　两级单端限幅器/LNA 原理图

表 20.4　两级单端限幅器/LNA 的设计参数[a]

传输线长度	MIM 电容	电阻	电感
T11:176	C11:0.22	R1:1160	Ind 11
(宽度 = 50)			$W=12$, $S=8$, $D_i=50$, $n=3.5$
T12:525	C12:2.0	R2:130	
T13:550	C13:2.0	R3:58	Ind 12:
			$W=12$, $S=8$, $D_i=50$, $n=2.5$
T14:400	C14:2.0	R4:60	
T15:200	C15:0.7		Ind13:
			$W=20$, $S=8$, $D_i=108$, $n=1.5$
T16:200	C16:0.8		
T17:130	C17:1.0		
T18:70			
T19:250			
T20:100			
T21:120			
T22:500			

[a] 基底厚度为 125 μm。除非特别说明，所有的传输线长度都为 20 μm 宽。所有的尺寸单位为 μm，电阻单位为 Ω，电容单位为 pF[28]。FET1，FET2：0.4 × 600。限幅器：两级反向并联；第一级为 12 μm 宽，两组 16 个单元串联；第二级为 8 μm 宽，4 个单元。电感：W，线宽；S，间距；D_i，内径；n，匝数。

高功率 50 Ω 电阻

连接到输入端兰格耦合器的终端电阻必须有处理 10 W 功率电平的能力。电阻的功率处理能力取决于电阻膜的温升。最大功率处理能力的主要影响因素有：(a)基底材料的热传导率；(b)电阻

膜的表面积;(c)基底的厚度;(d)环境温度，即环绕电阻的介质温度和底板(散热片)温度;(e)电阻膜允许的最大温度。通常情况下，底板的温度为25℃，电阻膜允许的最大温度为150℃。电阻面积的计算使用平行板波导模型[32, 33](见第 13 章)，其面积为 615 × 205 μm²。这种计算方式是基于将电阻膜看成是在 125 μm 厚的基底上的有损传输线，并且表面电阻率为 150 Ω/□。

仿真性能

无论是单独一级放大器还是整个单端式放大器的仿真结果都为无条件稳定。在 8 ~ 11 GHz 频率范围内，平衡放大器仿真得到的噪声系数与增益分别为 2.7 dB 和 15 dB。输入和输出回波损耗优于 20 dB。

电路的工艺实现

此限幅器/LNA 使用 M/A-COM 离子注入平面耐熔栅、多功能自对准栅(MSAG)MESFET MMIC 工艺，如图 15.2 所示。MSAG 工艺可将有源与无源组件集成在 4 英寸直径的 GaAs 晶圆上。此器件制作流程中使用了 5 步低噪声工艺，并植入肖特基混频二极管。这些工艺包括用于欧姆接触的 Au/Ge/Ni 金属化、0.4 μm 和 2 μm 的 TiWN 肖特基势垒栅、薄膜与离子注入电阻。0.4 μm 的 TiWN 栅平面化后被 0.8 μm 的覆盖层覆盖。MSAG TiWN 栅的耐用性较好(能承受900℃的快速热退火温度)，在 150℃的沟道温度下有 100 年的 MTTF。厚度为 2000 Å 的氮化硅(ε_r = 6.8)用做 MIM 电容与钝化层。空气桥、微带线、焊盘均镀有一层 4.5 μm 的金。标准的 MSAG 工艺也使用了两层聚酰亚胺(ε_r = 3.2)、层间电介质(3 μm 厚)和一层用于电路机械保护的防刮层(7 μm 厚)。图 20.7为 X 波段 10 W 限幅器/LNA 的照片。

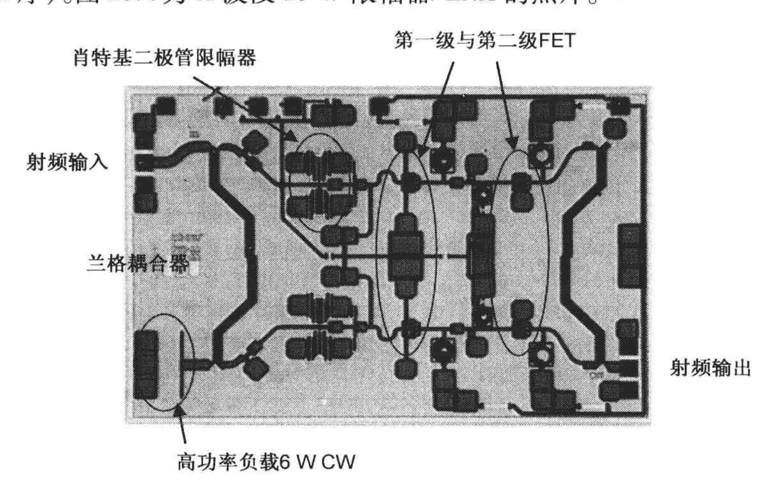


图 20.7　X 波段 10 W 限幅器/LNA。芯片面积为 14 mm²(照片由 M/A-COM 提供)

20.1.5　测试数据与讨论

限幅器/LNA 的测试在晶圆上进行，使用 RF 探测器检测 RF 性能，RF 探测器装配在镀金的 CuW 上。选择材料 CuW 是因为 CuW、GaAs 和铝都具有良好的热导率和热扩散性。50 Ω 输入/输出微带线印制在 15 mil 厚的铝基底上。5 mil 厚 IC 芯片的焊接过程为:290℃温度下在一支架上使用金锡(AuSn)焊接，目的是让芯片焊盘到输入/输出传输线之间的键合线长度最小。由测量的功率估算底板温度约为 30℃。图 20.8 与图 20.9 为限幅器/LNA 的测量平均值，晶圆上所有的芯片都使用 RF 检测器测量。图 20.8 为增益与噪声系数，而图 20.9 为输入回波损耗与输出回波损耗。为了对比，仿真得到的增益与 NF 也绘于图 20.8 中。由图可知，在频率为 8.5 ~

11.5 GHz 范围内，测量出的增益高于 14 dB，NF < 2.7 dB，回波损耗优于20 dB，IP3 约为 30 dBm。封装后器件的噪声系数与增益在40 dBm CW 激励30 分钟前后几乎是相同的。测量出的 CW 功率处理能力大于10 W。待测器件在40 dBm CW 激励30 分钟前后分别进行测试，然后又在逐渐增加的功率电平激励30 秒前后分别进行测试。测量的数据显示，直到输入功率增加到42.5 dBm（18 W）之前，都没有出现灾难性故障。以上为一个 X 波段集成限幅器/LNA 的设计例子，其他波段的设计可采用相同的步骤进行。低频段的最大功率会变高，而高频段的最大功率会变低。

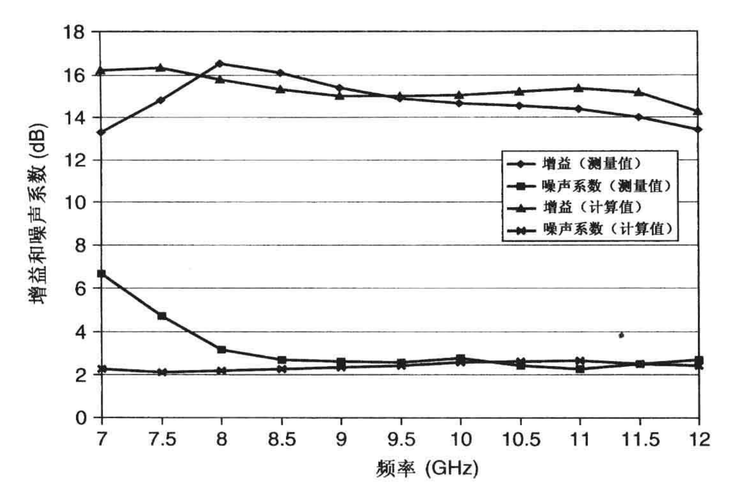


图 20.8 两级限幅器/LNA 增益与噪声系数的测量值

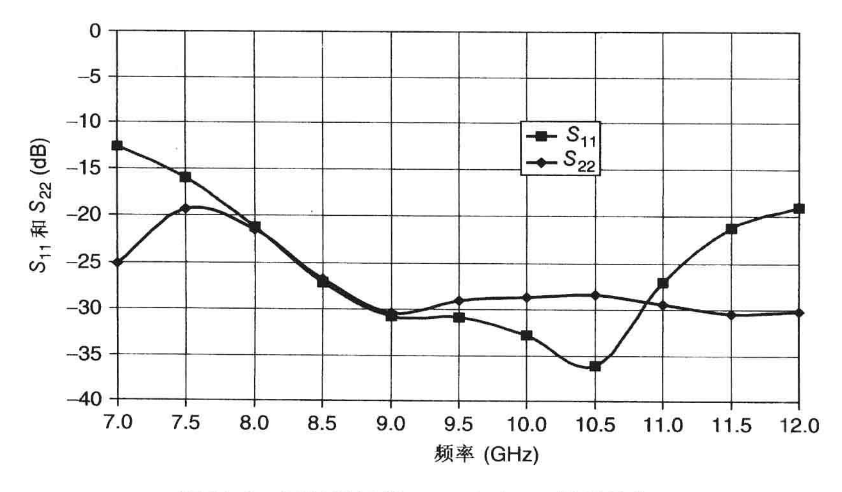


图 20.9 两级限幅器/LNA S_{11} 与 S_{22} 的测量值

20.2 发射链

在输出功率、PAE、热量与机械设计方面，发射机的最后一级是最重要的，前级驱动相对次要。最后一级即 HPA，其设计需要达到最优的 PAE、输出功率、线性度。如果 HPA 设计为平衡结构，能减小驱动级与 HPA 及 HPA 与天线之间的相互影响。同时，平衡 HPA 相对单端 HPA 也更加稳定。在高增益发射链中，需要在放大器级与级之间加上隔离器或环形器，以减少级间相互干扰。图 20.10 为两种常用的发射链结构。

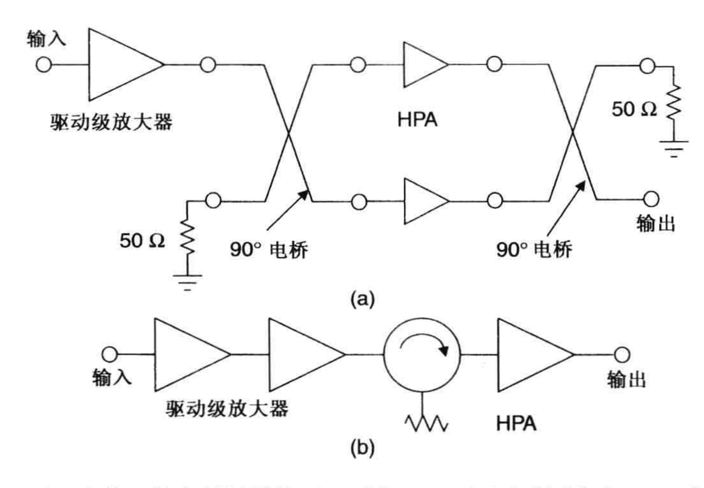
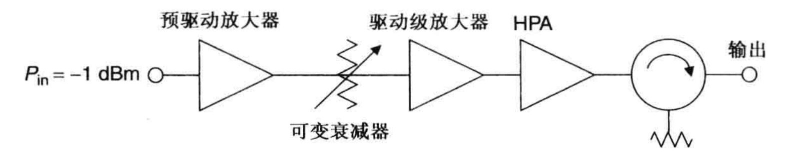


图 20.10 两种经常使用的发射链结构：(a)平衡 HPA；(b)在驱动级与 HPA 之间加上隔离

根据需求，驱动级可以为 A 类或 AB 类。正如第 8 章所提到的，相对 B 类和 E 类放大器，A 类放大器有更好的线性度、更低的 AM-PM 和谐波。限制失真的驱动级放大器工作在A 类以提高发射机的线性度，而工作在 AB 类的放大器能提高整个发射机的 PAE 性能。驱动级工作在 A 类，所以失真主要来自于 HPA。图 20.11(a)为输出端带隔离器的常用发射链结构，同时给出典型的 RF 功率、DC 功率、增益预算。在大多数应用中，发射链是一个可变增益/衰减级，增益调节的目的是实现温度补偿、辐射元的等增益控制及单元到单元的微调。



参数	预驱动级	衰减器	驱动级	HPA	环形器
增益(dB)	12.0	−2.5	20.0	12.0	−0.5
P_{out}(dBm)	11.0	8.5	28.5	40.5	40.0
P_{DC}(W)	0.05	0	2.0	30.0	0
累积增益(dB)	12.0	9.5	29.5	41.5	41.0
累积 P_{DC}(W)	0.05	0.05	2.05	32.05	32.05

(a)

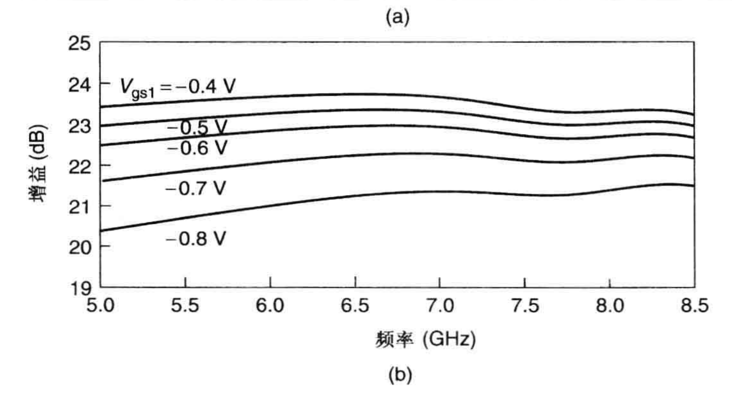


图 20.11 (a)常用发射链的结构；(b)三级放大器的典型增益随第一级栅极电压的变化而变化

20.2.1　可变增益放大器

使用 FET/HEMT 的放大器其增益可以通过改变栅极电压来控制。一般情况下，栅极电压越大，增益越高，反之亦然，如图 20.11(b)所示，三级放大器的增益随第一级栅极电压的变化而变化。然而，栅极电压的任何改变也会影响管子的输入和输出阻抗，从而改变输入和输出的预置偏置条件，并且还可能会影响增益平坦度、带宽和 IP3。可变增益放大器中这些由偏置电压改变带来的问题可以通过使用平衡结构或第 11 章提到的反馈/分布结构来校正。由于放大器的增益不是栅极电压的线性函数，因此需要使用其他电路让增益随栅极电压线性变化。

放大器的增益也可以通过在级间插入可变衰减器来改变，如图 20.11(a)所示。衰减器通过控制衰减量将级间相互影响减到最小。然而，在放大器级间插入衰减器来控制放大器链的增益会引起其他参数的变化，对这种结构必须进行仔细分析。放置衰减器会影响噪声系数、输入和输出 IP3、输出功率和 PAE。对于一个三级的低噪声、低功率放大器，将衰减器放置在第二级后面对噪声系数的影响比放置在第一级后面要小得多。类似地，对于一个三级的功率放大器，将衰减器放置在第二级后面对整体功率与 PAE 的影响比放置在第一级后面要差得多。在高功率放大器中，需要一个高 $P_{1\,dB}$的衰减器来为后级提供足够的功率。一般来说，具有高 $P_{1\,dB}$的衰减器损耗也大，从而降低了放大器的 PAE。通常，在 HPA 链中，电压控制部分都插入在输入一侧。

在有源相控阵雷达中，传输信号的相位特性是极其重要的，当增益变化时，相位必须保持不变。双栅 FET 可以达到增益/衰减可变而相位保持不变。双栅 FET 有两个栅：一个 RF 栅和一个控制栅。增益/衰减可以通过改变控制栅的偏置电压来调节，RF 栅与标准的单栅 MES-FET 作用相同。图 20.12 为使用双栅 FET 可变增益放大器的原理图与照片[34]。这种类型的电路在设计时需要知道不同控制电压下双栅 FET 的 S 参数。需要测量在不同的控制电压下，幅度与相位随频率的变化。此电路能在 5 ~6 GHz 频率范围内提供 10 dB 的衰减，相位变化不超过 ±3°。在此频率范围内，传输信号的相位在任何衰减值时保持不变。图 20.13 为另一种结构的可变压控衰减器。控制栅极电压 V_{gc1}和 V_{gc2}来获得线性衰减。电压控制方式为使用查找表，电压变化范围达到 30 ~40 dB。表 20.5 提供了 MMIC 衰减器 10 dB 衰减范围内典型的栅极电压值。

可变衰减器也可以通过开关衰减单元实现。这些衰减器一般为数字控制，位数为 4 ~6 比特。宽带衰减器结构如图 20.14 所示。小型衰减器(0.5 dB 和 1 dB)通过一个集成的 FET 实现。中等衰减器(2 dB和4 dB)使用一个嵌入式 FET T 形网络实现，包括晶体管和电阻，有参考路径与衰减路径。大型衰减器(8 dB 和 16 dB)使用宽带 SPDT 开关来实现π形或 T 形固定衰减器，衰减器的相位通过路径延迟来补偿[35]。

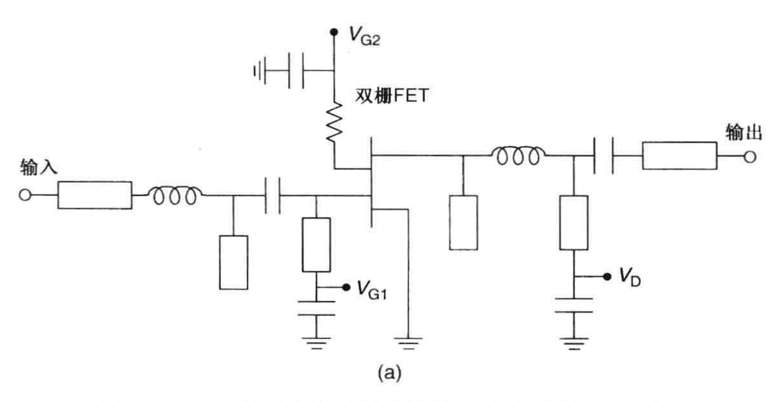


图 20.12　双栅可变增益放大器的(a)原理图与(b)照片

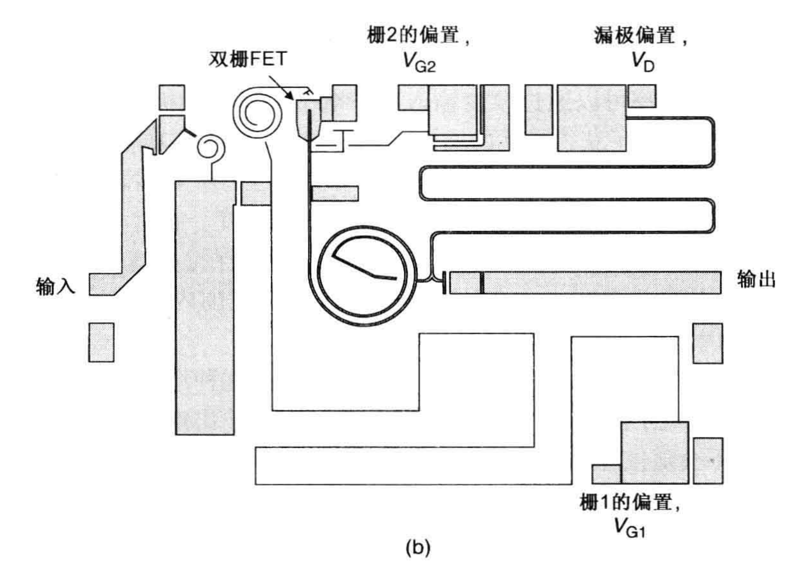


图 20.12(续)　双栅可变增益放大器的(a)原理图与(b)照片

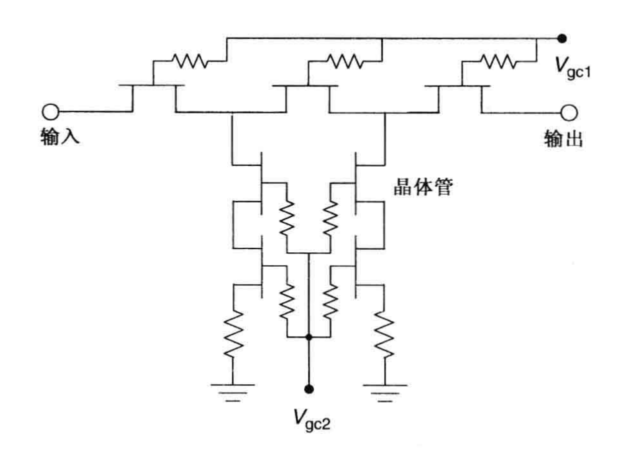


图 20.13　使用开关器件的可变压控衰减器的原理图

表 20.5　不同衰减量所对应的栅极控制电压

衰减(dB)	V_{gc1}(V)	V_{gc2}(V)
0	0	-3.74
1	-0.90	-3.60
2	-1.77	-3.50
3	-2.21	-3.45
4	-2.42	-3.36
5	-2.62	-3.26
6	-2.79	-3.20
7	-2.85	-3.15
8	-2.91	-3.10
9	-3.00	-2.90
10	-3.02	-2.73

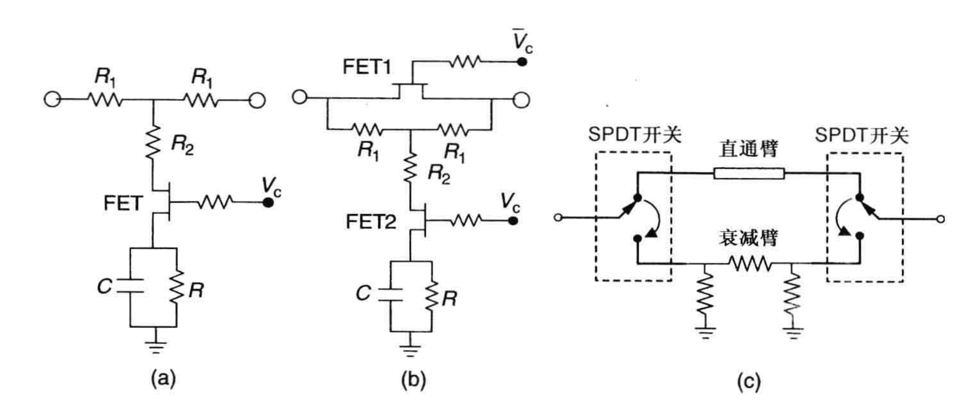


图 20.14　多位衰减器的原理图：(a)集成的单个 FET;(b)嵌入式 FET T 形网络;(c)开关式固定衰减器

20.2.2　可变功率放大器

晶体管放大器的输出功率可以通过改变输入功率电平及控制漏极/集电极的电流和电压来改变。在晶体管放大器中，为了获得最优的输出功率与效率，将 DC 功率设置在 Q 点。如果输入功率明显过低而使晶体管工作在饱和点以下，则输出功率与 PAE 都将随输入功率的减小而减小。在 FET/HEMT 中，输出功率也可以通过改变栅极电压来改变。在这种情况下，为减小输出功率，可以让栅极电压绝对值增大来减小晶体管的电流，同时保持晶体管输出端的负载不变。这样在低输入功率下，电源功率减小，输出功率保持在一定范围内，放大器效率提高。FET/HEMT 放大器的输出功率不再是栅极电压的强函数。

改变输出功率最有效的方法是改变漏极/集电极电压。在这种情况下，晶体管的电源功率将急剧减小。当漏极电压低于晶体管允许的最大供电电压时，输出饱和电压与漏极电压近似为线性关系。而 PAE 并不会随供电电压而改变多少。然而，任何漏极电压的改变都要影响晶体管的输入和输出阻抗，也会影响输入和输出匹配状态与此偏置下的增益，还可能会影响增益平坦度和带宽。在可变功率模式中，在高压操作情况下，放大器设计一般使用负载线。图 20.15 为一个三级 X 波段 MESFET HPA 的输出功率与 PAE 的变化，它是漏极电压的函数。栅极电压设为 −2 V，当漏极电压变化时功率增益(约 23 dB)几乎是常数。设 HPA 的标称供电电压为 10 V，当将漏极电压从 10 V 降低至 6 V 时，输出功率也大约从 41 dBm 降低至 37 dBm，因此输出功率的斜率为 1 dB/V。而 HPA 工作在 6 ~ 10 V 内，PAE 几乎不变(40% ~42%)。

放大器的输出功率的变化也可以通过在输入端加可变衰减器来实现。通过减小驱动级的输入功率，放大器的输出功率也将减小，并且因为功放工作在饱和点以下，输出信号线性度也会变好。在这种情况下，放大器的匹配与增益平坦度都将保持不变。然而，PAE 将会减小。因此，通过变化漏极/集电极电压来实现可变功率输出的方法更有效。

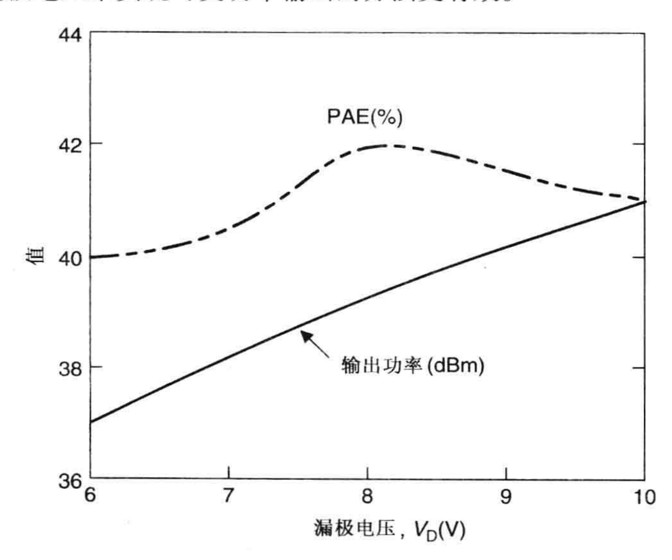


图 20.15　三级 HPA 在 9 GHz 时输出功率和 PAE 与漏极电压的关系

如图 20.16 所示，多级放大器链的输出功率可以通过开关和连接线逐步改变，开关用于切换各级放大器的输入/输出。这种电路结构使用了 3 个低损耗开关，开关 3 的功率处理能力最高，开关 1 的功率处理能力最低。开关 3 的 $P_{1\,dB}$应该比 HPA 的输出功率高 3 ~4 dB。在这种情

况下，当所有的开关都打到 A 时输出功率最大，且最大输出功率为 HPA 的输出功率减去开关 3 的损耗。这种情况下，没有使用连接线。在其他两种情况下，输出功率的减少是两个开关损耗的总和。

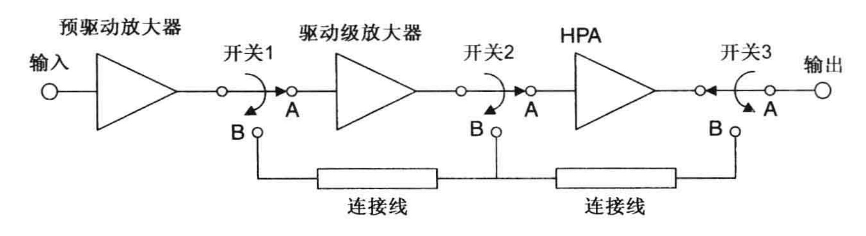


图 20.16 HPA 的可变输出功率结构

20.2.3 放大器的温度补偿

晶体管放大器的增益、噪声系数、输出功率等特性都与温度有关。增益和输出功率均随温度的升高而减小，而噪声系数会随温度的升高而增加。换句话说，温度越高，增益越低，噪声系数越大，反之亦然。晶体管的温度系数在第 3 章已经讲到过。在大多数应用中，放大器的增益需要进行温度补偿。

在放大器中，对温度的增益补偿(即相对于温度增益为常数)通过自动增益控制电路实现。这样，温度的感知通过一个二极管和外部电路实现;为达到常增益，晶体管需要重新偏置。一种简单的常增益温度补偿电路(TCC)在参考文献[36]中介绍，它是基于肖特基二极管的阈值电压随温度的改变而改变这一原理。如第 16 章所讲到的，基于此原理，还可以设计电路来监测沟道温度。

温度上升、栅极电压减小(绝对值增大)，都会使放大器的增益降低。因此，温度变化引起的增益变化可以通过选择合适的栅极电压来补偿。这样，当温度升高时，就增加栅极电压(绝对值减小)，反之亦然。放大器的增益温度系数约为 0.01 dB/℃/级。放大器增益随栅极电压的变化取决于 Q 点及所使用的晶体管，而且增益不是栅极电压的线性函数。在 FET 中，增益斜率比在夹断状态时稍大。从 10% ~50% I_{dss}情况下，增益接近线性。考虑一个单级放大器，有 10 dB 的增益，工作在 -25℃ ~75℃，在 Q 点(栅极电压为 -2 V)附近，增益随栅极电压为变化为 2.5 dB/V。而信号在此温度范围内的增益变化为 1 dB。因此，我们需要 0.4 V 的栅极电压变化来补偿 1 dB 的增益，在 -25℃时，栅极电压应为 -2.2 V，在 75℃时，栅极电压应为 -1.8 V。

参考 16.6.3 节 FET 的阈值电压温度系数为 -0.833 mV/℃。此处的负号表示栅源电压随温度的升高而减小。因此，100℃的温度变化会导致栅源电压改变 83.3 mV，需要 5 个二极管级联来获得约 0.4 V 的栅源电压改变量。一个简单的温度补偿电路如图 20.17(a)所示。

另一个使用外部温度传感器的温度补偿电路如图 20.17(b)所示。温度传感器的典型输出电压为 10 mV/℃，约为 GaAs 肖特基二极管的 12 倍。在这个 TCC 中，用一个运算放大器来调节施加在 FET 上的栅源电压。因为此 TCC 只工作在 DC 模式下，电路分析比较简单。

放大器增益随栅极电压非线性变化。在理想的 TCC 电路中，测量出温度并设置栅极电压以提供想要的增益。由 Goldsmith[37]提出的一种 TCC 电路，可在温度传感器与栅极之间产生分段线性函数，也为应用于双栅 FET 可变增益放大器提供所需的正栅极控制电压。一种在温度传感器与栅极之间产生分段线性函数的简单 TCC 原理图如图 20.17(c)所示。温度传感器产生一个与温度成正比的电压。在期望的温度范围内，传感器输出电压被运算放大器放到需要的电平范围内。二极管 D 用于帮助将其输出转化为栅极电压。

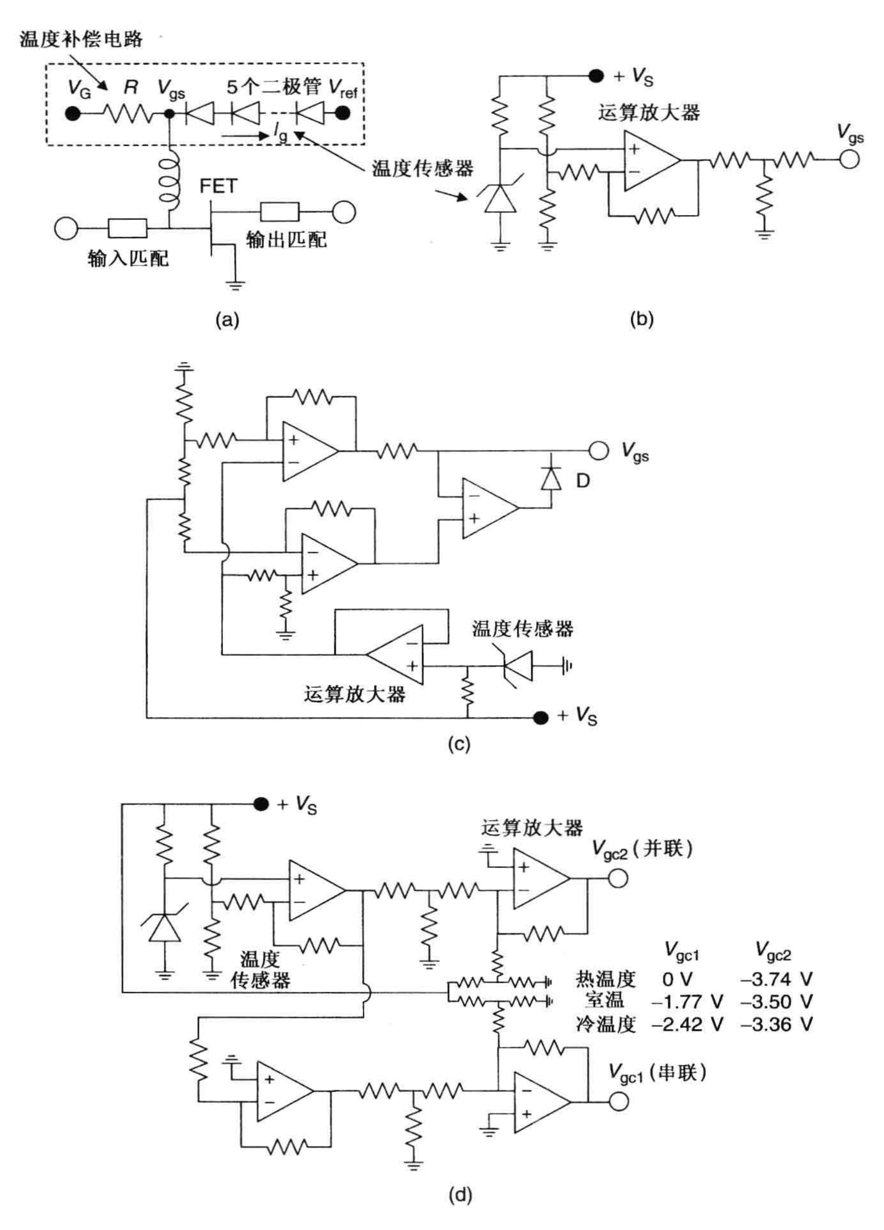


图 20.17　温度补偿电路:(a)片上二极管基本原理;(b)使用温度传感器与运算放大器的简单结构;(c)提供分段线性传输函数的原理图;(d)两个控制电压提供4 dB衰减范围的电路拓扑结构

另一个使用可变衰减器(见图 20.13)的 TCC 电路如图 20.17(d)所示。假设从冷到热需要 4 dB的增益变化。这样, TCC 中的电阻用于在室温下获得 2 dB 的衰减;在冷温度下, 衰减值为 4 dB;在热温度下, 衰减值为 0 dB。参考表 20.5, V_{gc1}与 V_{gc2}在图 20.17(d)中给出。

20.2.4　功率监视/检测

在很多微波应用中, 需要监视或检测发射机的输出功率并控制它。功率检测器与功率监视器是频繁使用的检测设备[38~43]。图 20.18 为一个功率检测与控制电路的简化原理图。应用二

极管是进行功率检测的最简单方法。检测器充分利用二极管的非线性特征来产生包含很多频率分量的输出信号。经过适当的滤波，分离出直流分量作为功率检测电压值，其工作原理与整流二极管相同。检测器以并联的方式放置在放大器输出级。

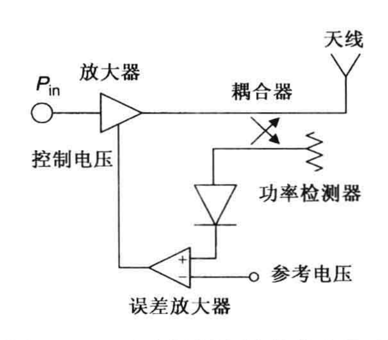


图 20.18　功率控制电路的基本原理

图 20.19 为两个功率检测电路的简化原理图，功率采样使用一个 15 ~ 20 dB 的耦合器或高阻 Z 网络[43]。在 50 Ω 系统中，隔离阻抗 Z 的取值需满足：流过 Z 和二极管的功率小到可以忽略，并且不能影响主电路的负载。Z 的取值需要调整使得采样功率比放大器输出功率 P_{out} 低 15 ~ 20 dB。相比于电阻式或电感式，电容式采样具有有更大的带宽。同时，功率检测器中的肖特基二极管需要获得所需的检测电压。在这种情况下，当采样功率约为 17 ~ 18 dBm 时，检测器接口处的检测电压通常选为 4 V。

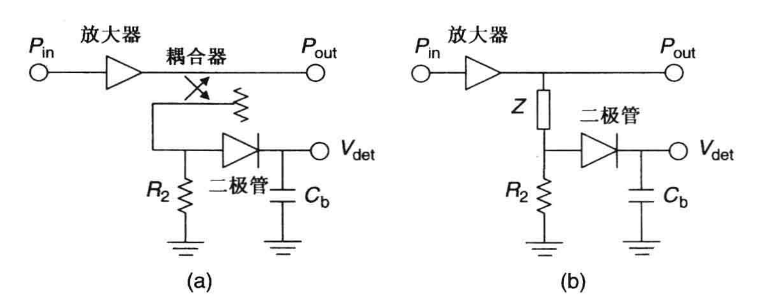


图 20.19　功率检测器结构：(a) 使用弱耦合器；(b) 使用高阻抗采样

肖特基二极管结构

为得到最小化损耗，检测二极管的设计中需要肖特基二极管有比较高的截止频率 f_c ($=1/2\pi R_S C_{j0}$)。所以，采用 M/A-COM 公司使用 MSAG FET 工艺制作[30, 43]的标准肖特基混频二极管（Mixer Diode Implant，MDI）。图 20.4 为肖特基二极管检测器的俯视图与剖面图。肖特基二极管的尺寸为 $0.4 \times 50\ \mu m^2$，它需要处理约 25 dBm 的输入功率。二极管的等效电路图如图 20.20所示，其中 R_j 和 C_{j0} 并联后与 R_S 串联。R_S 与 C_{j0} 的典型测量值由表 20.6 列出。两种功率检测器的结构如图 20.21 所示，它们都满足小尺寸与宽带宽的设计要求。

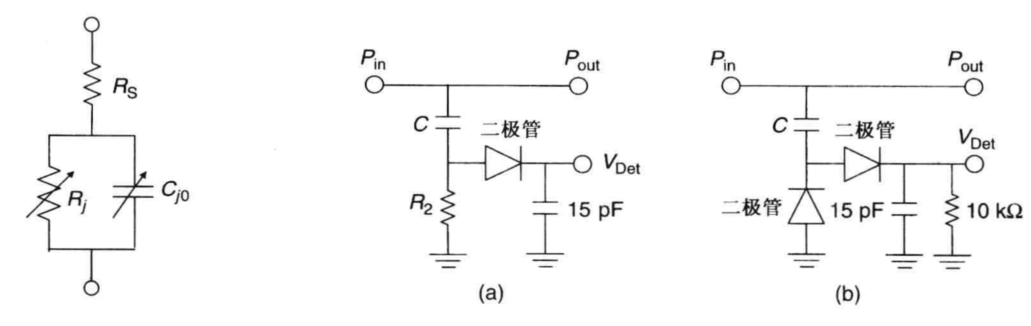


图 20.20　二极管的等效电路图

图 20.21　功率检测器结构

表 20.6 肖特基二极管的参数

参数	符号	单位	值
栅长	L	μm	0.4
单位栅宽	W	μm	50
总外围	W_g	μm	50
串联电阻	R_S	Ω	6.3
零偏电容	C_{j0}	pF	0.08
截止频率	f_c	GHz	316

功率检测器的仿真数据

功率检测器如图 20.19(b)所示，使用非线性二极管模型进行仿真。二极管的参数如表 20.6 所列。功率采样阻抗 Z 为 1 个薄膜电阻、1 个线圈电感和 1 个 MIM 电容。这些元件的取值需要让主线上的回波损耗优于 15 dB。这些取值也会影响检测电压与带宽。通过仿真可知，通过电阻或电感采样是窄带的，然而通过电容采样则具有宽带性能。

进一步研究如图 20.21 所示的电容耦合功率检测器拓扑结构。在图 20.21(a)中，R_2 约为 800 Ω，使得功率检测器具有最大的检测电压和带宽。仿真结果显示，在获得相同检测电压的情况下，图 20.21(b)所示的功率检测器输入功率比图 20.21(a)低 3.5 dB。图 20.22 为(4 ±0.1) V 功率检测器[见图 20.21(b)]在 6 ~ 18 GHz 范围内需要的输入功率与电容值的关系。回波损耗大于 15 dB。图 20.23 为当 C =0.2 pF 时，在 6 GHz 与 18 GHz 时检测电压与输入功率的关系。

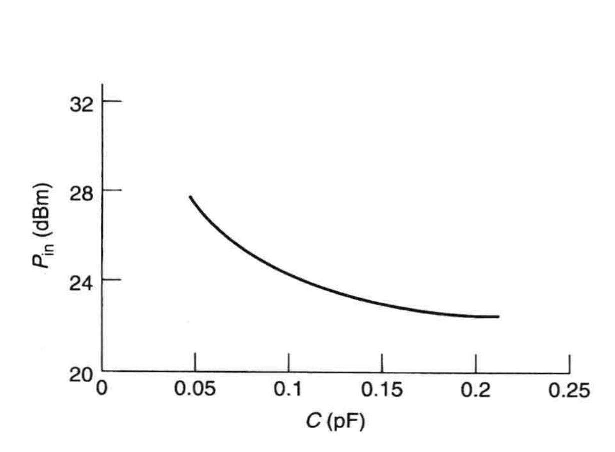


图 20.22 图 20.21(b)的检测器结构中，为获得 4 V 检测电压，输入功率与耦合电容的关系

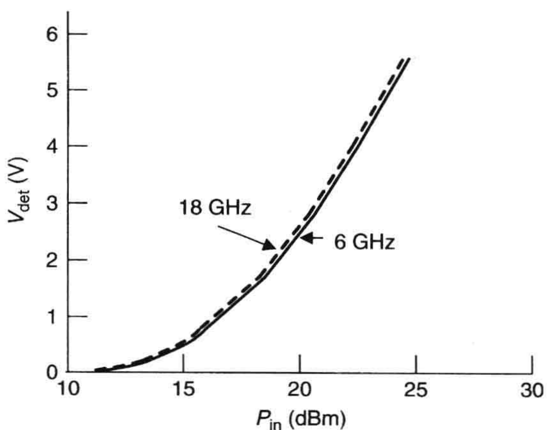


图 20.23 图 20.21(b)的检测器结构中，电容 C 为 0.2 pF，检测电压与输入功率的关系

MMIC 功率检测器

用于实验研究的两个 MMIC 检测器框图如图 20.24 所示。这两个电路均针对 2 ~3 W 的驱动放大器进行设计，具有 4 V 的检测电压，制作并测试其宽带频率响应。研究如图 20.24(a)所示的功率检测器如何使用在图 20.19(a)或图 20.19(b)(选择合适的 Z 值)所示的结构中。而图 20.24(b)所示的检测器也能在图 20.19(b)所示的结构中使用，并且不需要耦合器。在低微波频段(低于 C 波段)，耦合器的尺寸很大。因此，图 20.19(b)所示的结构比较适用。10 pF 电容或者容性 Z 值会阻断由 RF 转换成的 DC 电压而流回放大器。图 20.25 为图 20.24(a)结构的物理布局。

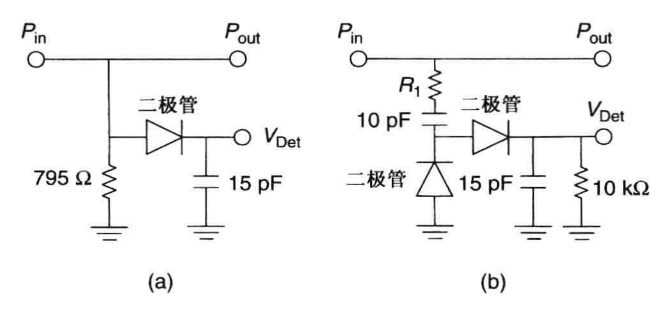


图 20.24　研究的 MMIC 电压检测器结构

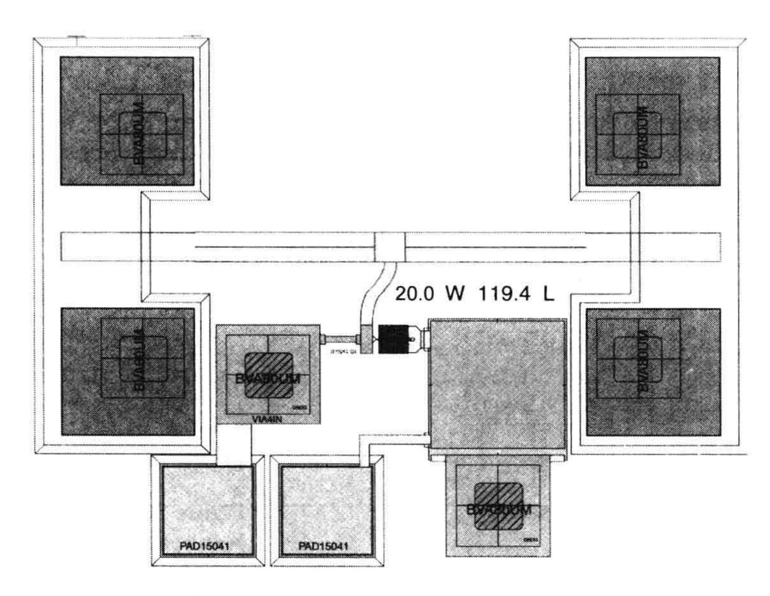


图 20.25　采用图 20.24(a)结构的 4 V 电压检测器的物理布局

测试数据与讨论

功率检测器的测试在晶圆上进行，使用 RF 探针。当 $R_1 = 150\ \Omega$ 时，图 20.26 为 6 GHz 与14 GHz 时检测电压测量值与输入功率的关系。当输入功率在 15 ~ 25 dBm 范围内，检测电压与输入功率为线性关系。为获得 4 V 的检测电压，在 6 GHz 时需要 17 dBm 的输入功率。而在14 GHz 时，当输入功率为 25 dBm 时获得的最大检测电压约为 2 V。在 6 GHz 时，图 20.27 给出为获得 4 V 检测电压所需的输入功率与 R_1 的取值。我们对图 20.24(a)与图 20.25 所示的功率检测器电路也进行了测试。图 20.28 为检测电压测量值在 6 GHz、10 GHz、14 GHz 时与输入功率的关系。在输入功率为 10 ~ 22 dBm 范围内，检测电压与输入功率是线性关系。为

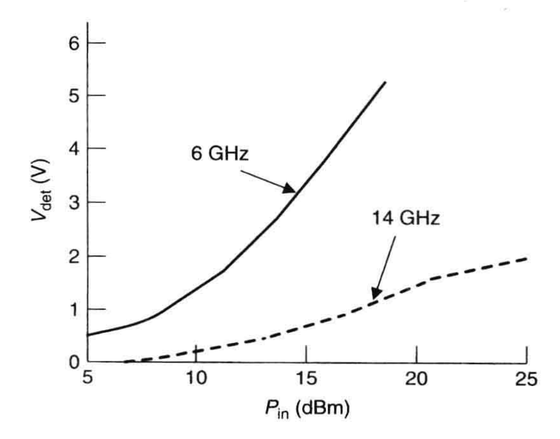


图 20.26　在图 20.24(b)的检测器结构中，$R_1 = 150\Omega$，在6 GHz与14 GHz时，检测电压与输入功率的关系

获得4 V的检测电压，在6 GHz时需要16 dBm的输入功率，在14 GHz时需要19 dBm的输入功率。因此，当输入功率为17.5 dBm时，能够在6～14 GHz的频率范围内获得(4 ±0.7) V的检测电压。检测器曲线最好没有交叉，以免与维持功率电平稳定而施加的校正电压发生混淆。

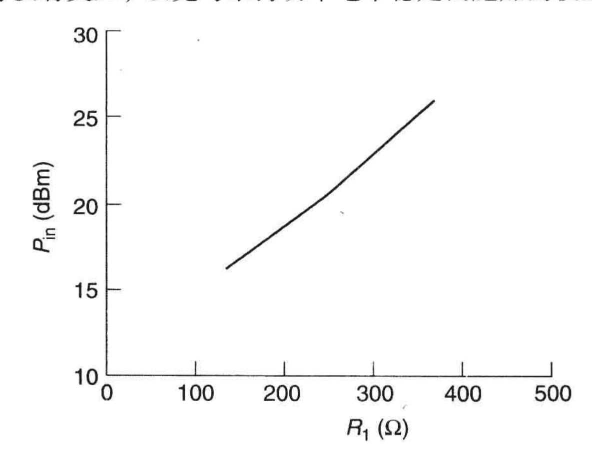


图20.27 图20.24(b)所示的检测器结构为了在6 GHz时获得4 V的检测电压 V_{det}，所需的 P_{in} 与 R_1 关系

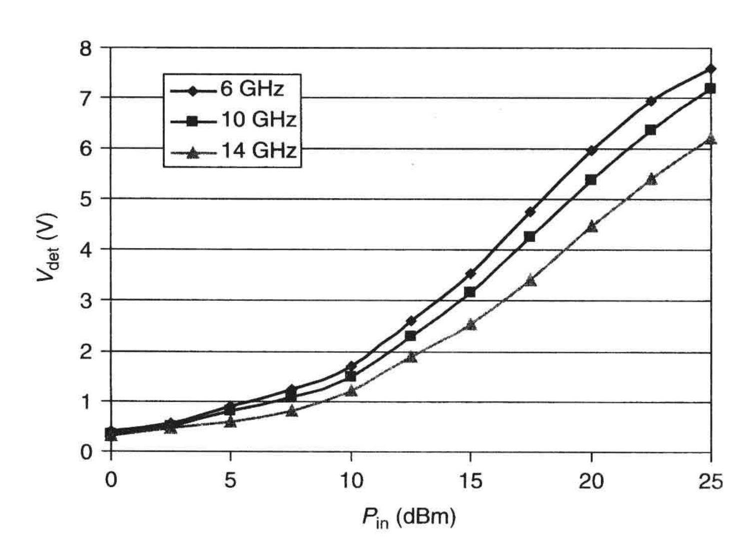


图20.28 在图20.24(a)所示的检测器结构中，检测电压的典型测量值与输入功率的关系

20.2.5 负载失配保护

放大器的输出端设计为50 Ω负载。然而，如果输出端呈现的负载不是50 Ω，由于功率消耗增加或者电压增加到大于器件的击穿电压，固态器件可能会被损坏。有几种技术可用于保护输出端固态器件不受过大的VSWR失配的影响。一种方法是使用功率放大器平衡结构(见图20.10)，或者在输出端加一隔离器[见图20.11(a)]。这两种情况下，进入放大器的反射功率最终消耗在50 Ω负载上。另一种方法是设计防热电压与击穿电压的HPA。这种情况下，由于匹配网络的存在，漏极不能看成是开路或短路。高功率放大器(>10 W的输出功率)需要在10:1失配情况下进行测试并且不能有任何损坏。

HPA也可以设计为带有保护电路，比如自适应偏置，偏置为输出VSWR的函数。这样，器

件工作时就不会有大的电压或电流偏移。这种拓扑结构也使用类似的外部电路进行温度补偿。一种方法是使用前面章节讲到的功率检测器，在输出严重失配的情况下使用额外的电路判断 HPA。任何严重失配将改变输出功率，并相应地改变检测电压。检测到的电压送入此额外电路中来判断放大器的漏极/集电极供电电压。这种应用功率检测器的负载失配保护电路原理图如图 20.29 所示。

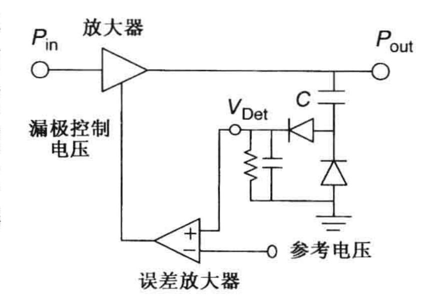


图 20.29　使用功率检测器的负载失配保护电路原理图

20.3　放大器的级联

为实现高增益放大效果，需要多级放大器级联。这需要将所有放大器匹配到 50 Ω 并且级联起来。如果每级放大器都能进行良好匹配或都使用平衡结构，则级联后的放大器增益为各级放大器增益之和。如果两个级联的放大器之间不匹配，则总增益为两级放大器的增益之和减去它们之间的失配损耗。如果第一级放大器的输出回波损耗与第二级放大器的输入回波损耗都小于 10 dB，则总增益可由下式给出：

$$G_t = G_1 + G_2 - \mathrm{ML} \tag{20.6}$$

其中，ML 为级间失配导致的损耗，最大值为 1 dB。下标 1 与 2 分别表示第一级和第二级放大器。

增益的精确值与级联部分输入和输出回波损耗可以通过放大器的级联 S 参数得到。两个放大器级联的情况下，当 S_{22}^1 与 S_{11}^2 的幅度小于 0.1（例如级间失配很小）时，总增益可以由下式估算：

$$G_t = G_1 + G_2 \tag{20.7}$$

其中下标 1 与 2 分别表示第一级和第二级放大器。

参考文献

1. T. F. Bogart, Jr., Limiters, in *Electrical Engineering Handbook*, 2nd edition (R. C. Dorf, Editor), CRC Press, Boca Raton, FL, 1997, pp. 140–147.
2. R. Kaul, Microwave limiters, in *Wiley Encyclopedia of Electrical and Electronics Engineering* (J. G. Webster, Editor), Vol. 13., John Wiley & Sons, Hoboken, NJ, 1999.
3. H. Goldie and S. Patel, An RF-primed all-halogen gas plasma microwave high-power receiver protector, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-30, pp. 2177–2183, December 1982.
4. S. D. Patel et al., Microstrip plasma limiter, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 879–882, 1989.
5. B. Lax and K. J. Button, *Microwave Ferrites and Ferrimagnetics*, McGraw-Hill, New York, 1962.
6. J. L. Carter and J. W. McGowan, X-band ferrite-varactor limiter, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-17, pp. 231–232, April 1969.
7. J. D. Adam and S. N. Stitzer, Frequency selective limiters for high dynamic range microwave receivers, *IEEE Trans. Microwave Theory Tech.*, Vol. 41, pp. 2227–2231, December 1983.

8. D. Leenov, The silicon PIN diode as a microwave radar protector at megawatt levels, *IEEE Trans. Electron Devices*, Vol. ED-11, pp. 53–61, February 1964.
9. N. J. Brown, Design concepts for high-power PIN diode limiting, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-15, pp. 732–742, December 1967.
10. J. F. White, *Semiconductor Control*, Artech House, Norwood, MA, 1977, Chapter 7.
11. R. V. Garver, *Microwave Diode Control Devices*, Artech House, Norwood, MA, 1978, Chapter 9.
12. R. J. Hamilton, Jr., Wide band dual-gate GaAs FET output limiters, *IEEE MTT-S Dig*., pp. 256–258, 1979.
13. R. J. Hamilton, Jr. et al., Devices vital to IFM limiting amplifiers, *Microwave Syst.-News*, Vol. 9, pp. 59–66, September 1979.
14. S. D. Patel and H. Goldie, A 100 kW solid-state coaxial limiter for L-band, *Microwave J.*, Vol. 24, pp. 61–65, December 1981.
15. E. J. Crescenzi, Jr. et al., Wide-band limiting amplifiers with low second harmonic distortion, utilizing GaAs MMIC limiters, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 328–331, 1985.
16. I. J. Bahl, E. L. Griffin, and E. R. Schineller, GaAs monolithic limiting amplifiers, *IEEE GaAs IC Symp. Dig*., pp. 71–73, 1986.
17. I. J. Bahl, E. L. Griffin, and E. R. Schineller, Monolithic limiting amplifiers for EW systems, *Microwave J.*, Vol. 30, pp. 205–209, September 1987.
18. P. Sahjani and E. Higham, PIN diode limiters handle high-power input signals, *Microwaves RF*, Vol. 29, pp. 195–199, April 1990.
19. J. McAdoo et al., A terminal protection device for gallium arsenide MMIC technology, *GOMAC*, pp. 441–445, 1991.
20. J. Ozaki et al., C-band GaAs MMIC limiting power amplifier with small insertion phase variation, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 331–334, 1991.
21. C. F. Vasile, FET adaptive limiter with high current FET detector, US Patent No. 5,157,289, 1992.
22. T. Parra et al., X-band low phase distortion MMIC power limiter, *IEEE Trans. Microwave Theory Tech.,* Vol. 41, pp. 876–879, May 1993.
23. R. A. LaRue et al., Broadband microwave and millimeter-wave 10 watt CW power limiters, *GOMAC*, pp. 360–363, 1994.
24. P. Huang et al., A 9–16GHz monolithic HEMT low noise amplifier with embedded limiters, *IEEE Microwave Millimeter-wave Monolithic Circuits Symp. Dig*., pp. 185–186, 1995.
25. C. Trantanella, M. Pollman, and M. Shifrin, An investigation of GaAs MMIC high power limiters for circuit protection, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 535–538, 1997.
26. R. Kaul et al., MMIC-compatible terminal protection device, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1679–1682, 1998.
27. D. G. Smith et al., Designing high-power limiter circuits with GaAs PIN diodes, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 329–332, 1999.
28. I. J. Bahl, 10W CW broadband balanced limiter/LNA fabricated using MSAG MESFET process, *Int. J. RF Microwave Computer-Aided Eng.* Vol. 13, pp. 118–127, March 2003.
29. J. Looney, D. Conway, and I. Bahl, An examination of recovery time of an integrated limiter/LNA, *IEEE Microwave Mag.*, Vol. 5, pp. 83–86, March 2004.
30. I. J. Bahl et al., Multifunction SAG process for high-yield, low-cost GaAs microwave integrated circuits, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-38, pp. 1175–1182, September 1990.
31. H. F. Cooke, Precise technique finds FET thermal resistance, *Microwaves RF*, Vol. 25, pp. 85–87, August 1986. Correction of this paper in *Microwaves RF*, p. 13, February 1987.
32. I. J. Bahl and K. C. Gupta, Average power-handling capability of microstrip lines, *IEE Microwaves Opt. Acoustics*, Vol. 3, pp. 1–4, January 1979.

33. K. C. Gupta, R. Garg, I. J. Bahl, and P. Bhartia, *Microstrip Lines and Slotlines*, 2nd edition, Artech House, Norwood, MA, 1996.
34. D. Fisher and I. Bahl, *Gallium Arsenide IC Applications Handbook*, Academic Press, San Diego, CA, 1995.
35. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002, Chapter 7.
36. K. Yamauchi et al., X-band MMIC power amplifier with an on-chip temperature compensation, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-49, pp. 2501–2506, December 2001.
37. C. L. Goldsmith, Simple circuit flattens gain over temperature, *Microwaves RF*, Vol. 28, pp. 159–165, May 1989.
38. A. K. Sharma et al., A high performance transceiver chipset for millimeter-wave commercial digital communication systems, *IEEE Microwave Millimeter-Wave Monolithic Circuits Symp. Dig*., pp. 45–48, 1995.
39. I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003.
40. K. A. Lee et al., A InGaP/GaAs HBT WLAN power amplifier with power detector, *12th GAAS Symp. Dig*., pp. 539–542, 2004.
41. Y. Lu, I. Gresham, and A. Jenkins, A closed-loop pulsed power control circuit for UWB 24GHz automotive radar transmitter, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1672–1675, 2006.
42. T. Zhang et al., Bipolar microwave RMS power detectors, *IEEE J. Solid State Circuit*, Vol. 41, pp. 2188–2192, September 2006.
43. I. Bahl, Broadband power detectors, *IEEE Microwave Mag.*, Vol. 8, pp. 82–86, June 2007.

习题

20.1　设计一个在 0 ~ 80℃范围内增益为常数的温度补偿单级放大器。假设有 10 dB 的增益且增益随栅极电压的变化为 2 dB/V。

20.2　在平衡限幅器/LNA 中，单级放大器增益为 12 dB。设每个兰格耦合器与输入和输出匹配的损耗之和为 0.5 dB，LNA 的 NF_{min} 为 0.3 dB，计算平衡结构的 NF。

20.3　设计一 10 dB 增益变化的驱动放大器。$P_{1\,dB}$处的输出功率为 30 dBm，放大器为三级。$P_{1\,dB}$处衰减器的输出功率为 25 dBm。

20.4　描述如下功率发射机的关键设计需求:40 dB 增益，100 W 输出功率，30% PAE，输入和输出 VSWR 都为 1.5∶1。

20.5　描述如下接收链的关键设计需求：2 dB 噪声系数，30 dB 增益，输入和输出 VSWR 都为 1.5∶1。

20.6　设计一个工作在 6 GHz、输出功率为 50 W HPA 的失配(6∶1)保护电路。

第 21 章　放大器封装

RF 封装广泛用于包括无线通信、传感、雷达等商业和军事用途。对于大批量的商业应用，放大器大体上采用廉价的塑料封装；而为了性能、可靠性及针对少量或中量生产量时，军事应用通常采用半定制/定制封装设计。RF 封装技术在建模、频率带宽和成本等方面发展迅速，一些封装形式可以应用于频率高达 40 GHz 的情况。有关 RF、微波封装的主题在一些书籍[1~6]、手册[7~12]及其他许多出版物[13~17]中都有讨论。本章对应用于放大器及其组装技术中的 RF 和微波封装做简要介绍。

21.1　放大器封装概述

封装和组装技术的选择在放大器产品的性能、成本及可靠性方面扮演着重要角色。在封装放大器电路之后，必须保证封装组装技术和封装环境造成的影响最小。而简化封装复杂度对降低封装成本十分重要，降低介质层数目和整体尺寸对提高产品成品率和降低成本有着明显的帮助。所以，在封装的简单化和功能特性之间要进行折中。

放大器封装可以分为三层，如图 21.1 所示。MMIC 放大器可以单独封装；MIC 放大器可以与其辅助电路一起封装进一个外壳内，通常称为第一层（放大器 - 封装）封装。IC 也可以封装在子系统层，称为第二层（封装 - 板或外壳）组装。最常见的是第一层封装组装技术包括芯片键合与引线键合。其他技术包括倒装芯片组装和卷带自动键合（TAB）[6]。第二层（封装 - 板或外壳）组装技术有表面贴装和通孔。表面贴装封装包括芯片尺寸封装（CSP）、印制电路板（PCB）和球栅阵列（BGA）。第一层和第二层封装组装技术中的首要挑战是控制组装对放大器性能的影响。其中最重要的参数是线长度、引线框架长度和接地影响导致的各个放大器性能变化，以及要保证适当的热路径以维持较低的芯片温度。但是，凭借当今的自动组装技术，产品成品率通过减小引线键合长度获得了极大的提高[11]。表 21.1 比较了单片和多片的封装技术。

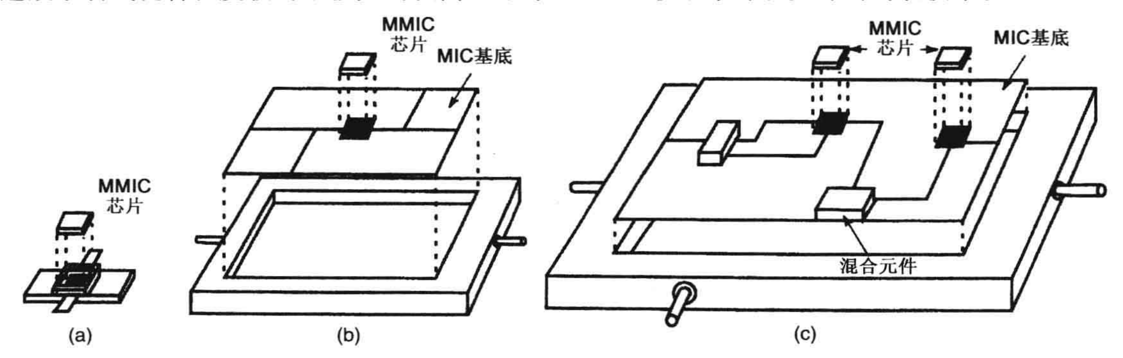


图 21.1　三层 MMIC 封装：(a) MMIC 封装；(b) 带辅助电路的 MMIC；(c) 带混合及辅助电路的 MMIC

对封装的要求取决于应用。例如，在低于 18 GHz 的无线通信应用中，GaAs MMIC 采用表面贴装的塑料封装是为了降低成本。对于功率工作状态相对较低的应用，其热性能是可以接受的。但是对于高频率、高性能和高功率应用，通常需要金属陶瓷封装，这是由于这些封装形式具有较低的热电阻、较好的密封特性、较高的功率容量及较好的可靠性。

表 21.1　单片及多片封装的优点和不足

	单片	多片
优点	每个器件均可以进行测试	尺寸小
	模块化成品率高	重量轻
	器件与器件间相互隔离	组装的成本和周期降低
	独立器件的密闭性	性能提高
	可量产	可靠性提高
		功率降低
		芯片测试及成品率很好
不足	模块层与其他层组装时的电学特性	返修
		RF 传输线中过孔的使用
		DC/RF 屏蔽

21.1.1　历史简介

晶体管的密闭金属罐封装和塑料封装出现在 20 世纪 50 年代末期和 60 年代早期；到了 70 年代，高性能的微波晶体管采用密闭陶瓷封装，用于低噪声和中等功率的应用领域；晶体管和 RF IC/MMIC 封装的快速发展分别出现于 20 世纪 70 年代和 80 年代；直到今天，出现了大量适用于商业的陶瓷和塑料封装，能够为整个 0.1 ~ 20 GHz 频率范围内的 GaAs MMIC 和 Si IC 提供足够的性能。

对于 RF 和微波放大器应用，最初的想法是尝试晶体管外壳(TO)、双列直插式封装(DIP)、晶体管 90 mil 陶瓷封装及金属/陶瓷扁平封装。TO 封装在 20 世纪 50 年代引入，有几种不同的引脚形式，包括 TO-5、TO-8、TO-10，最多可达 14 个引脚。到了 20 世纪 60 年代，多于 14 引脚时采用 DIP 或者陶瓷扁平封装。DIP 同时适用于陶瓷和塑料，14 脚的 DIP 为矩形扁平封装，两边有两排引脚。在将芯片装在引线框架和引线键合上以后，该结构在塑料中铸模。DIP 是一种低成本封装，是低频和低功率应用中最常见的封装类型。90 mil 金属化陶瓷封装是在 20 世纪 70 年代引入的，为小信号 FET 而研制。有关 TO、90 mil 晶体管、DIP 及金属扁平封装展示于图 21.2 中。

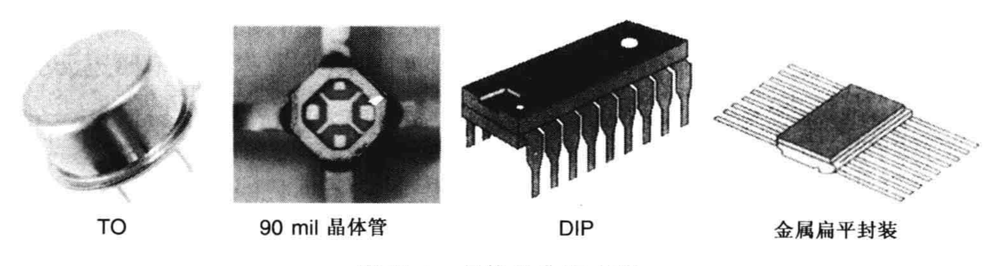


图 21.2　晶体管及 IC 封装

20 世纪 70 年代晚期和 80 年代早期，在晶体管和 MMIC 方面，开发了多种类型的陶瓷封装，如图 21.3 所示。用于功率晶体管和内部耦合功率放大器的陶瓷封装最为流行，同时开发了有/无引脚的封装。现今，最常用的陶瓷封装是有引脚封装，应用于中等功率的 MMIC 放大器，例如 VSAT 和点对点无线电应用。这一类型的有引脚封装的照片如图 21.4 所示。

高功率晶体管陶瓷封装的实例如图 21.5 所示，该封装可以承受 100 W 的 RF 输出功率。大多数高性能中等功率(低于 5 W)的陶瓷封装价格在 2 ~ 3 美元之间。

在塑料封装方面进行的工作包括：进一步实现多功能化，扩展频率范围至更高的频率，提

高功率处理能力，降低价格。这就产生了表面贴装的塑料封装，比如小外壳晶体管(SOT)和小外壳集成电路(SOIC)封装，如图21.6所示。SOIC封装有8~16个引脚，可以工作到2 GHz。为了提高功率IC的RF性能和功率耗散，在定制的塑料封装中，采用带有低信号引脚寄生电抗的自定义熔合引线框架，以及减少接地的贴合电感。之后，由于封装厚度的限制，引入了薄小型外壳封装(TSOP)。塑料封装，包括封装和组装，每片成本小于0.25美元。

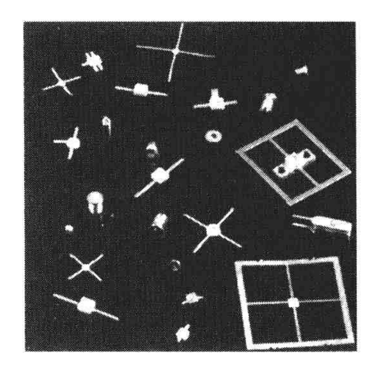


图21.3 陶瓷晶体管及IC封装实例

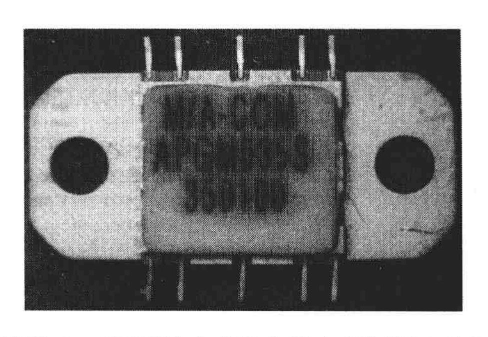


图21.4 MMIC放大器的中等功率陶瓷IC封装

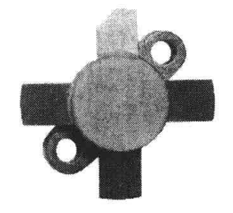
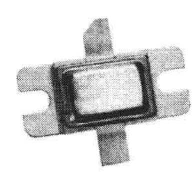
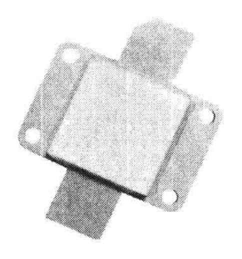
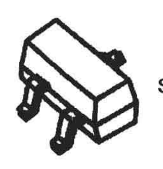
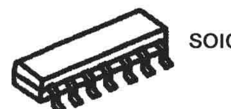




图21.5 高功率晶体管陶瓷封装实例

直播卫星(DBS)接收机使用TO罐型封装[15]，这是第一批销售达到百万数量级的产品之一，同时也是微波封装应用的首批论证之一。在20世纪80年代晚期，基于MMIC的DBS接收机采用TO罐型封装，随后又采用陶瓷金属式封装、塑料双列直插式封装及小型外壳集成电路封装。

继高性能无引脚铸模塑料封装的快速发展之后，半导体工业中对低成本低电感的要求成为了封装发展的驱动力。出现了表面贴装无引脚封装(SMLP)，也称为功率四边无引脚扁平(PQFN)封装或简称QFN，特点是在四个边上都有引脚，但是甚小型外壳是两个边有引脚。PQFN封装有多种尺寸和引线框架构造，引脚之间的间距为0.3~1 mm，键合焊盘尺寸为12 mil×12 mil。图21.7为包括SOIC和PQFN在内的塑料IC封装实例。





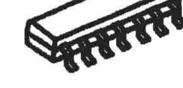


图21.6 应用于RF和微波中的塑料封装

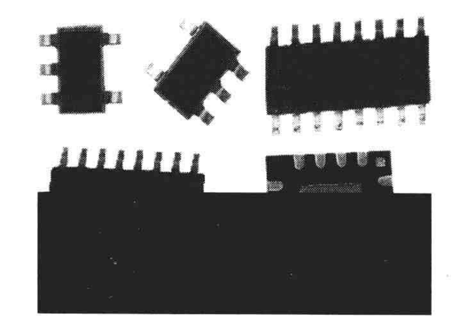


图21.7 包括SOIC和PQFN在内的塑料IC封装实例

21.1.2　封装类型

单片封装可以按照封装材料进行分组，即金属壁、陶瓷壁、玻璃陶瓷及塑料封装。放大器使用这些封装取决于频率、耗散功率、成本等。不同材料的主要特性比较列于表 21.2 中。对于放大器应用，基本的封装类型是陶瓷和塑料。

表 21.2　用于单片 RF 封装的不同材料的特点

金属壁	陶瓷壁	玻璃陶瓷	塑料
宽带	宽带	低损耗	低成本
低损耗	成本低于金属壁	适合单片和 MCM	适合大批量应用
抗谐振结构	低损耗	表面贴装	表面贴装
屏蔽性优异	屏蔽性良好	适合大批量应用	
隔离度优异	隔离度良好	极好的设计灵活性	隔离度适中

陶瓷封装

生产商提供多种类型的陶瓷封装，包括现有产品或定制产品。陶瓷封装使用陶瓷材料作为引脚之间的基本材料，其隔离度高、损耗低。在陶瓷封装中，放大器芯片通常是贴装的，这样 IC 成为一个顶端带金属或陶瓷盖的气孔。同样，功率放大器芯片焊接在金属基底上，这是为了能更好地通过封装结构转移热量。取决于环境的要求，陶瓷封装在制造过程中可以有密封或非密封两种方式。密封是陶瓷封装的关键优势之一，尤其是对于颇具挑战的环境要求，但是密封同时也大大地提高了放大器的生产成本。

制造陶瓷封装有许多种方法，这些方法与包括薄膜、厚膜、LTCC 和 HTCC 在内的混合电路制造技术类似。图 21.8 介绍了陶瓷封装制造中的典型流程。主要的陶瓷封装供应商有 Kyocera 和 NTK。陶瓷封装在运输时将装入塑料栅格封装中。图 21.9 为一个气孔陶瓷封装视图。陶瓷封装的使用通常是表面贴装在 PCB 上或者焊接在模块内部。

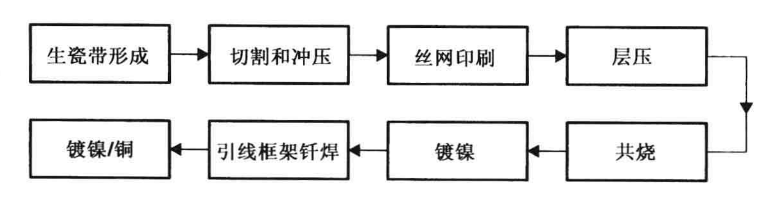


图 21.8　陶瓷封装的制造流程

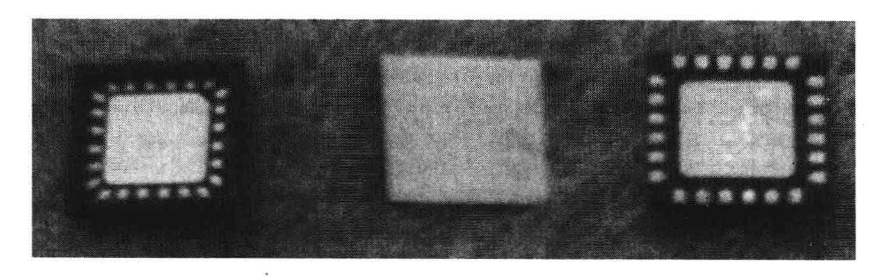


图 21.9　气孔陶瓷封装开放视图、盖板视图及背面视图

塑料封装

与陶瓷封装相比，塑料封装的放大器芯片被包裹进模塑内，这样就无需气孔和盖子。模塑会影响放大器的频率响应，尤其是在 3 GHz 以上影响更为严重。高频设计时需要对匹配网络加

入塑料封装进行仿真。塑料封装中的引脚隔离度较低(40 dB 对比 60 dB)，这是由塑料的材料特性造成的。另外塑料封装是非密闭的，而且对湿度比较敏感。封装(湿度敏感度水平)的评估，是由塑料中允许渗透到芯片的湿度数量及其可能产生的诱导应力决定的。例如，湿度敏感度水平(MSL)为 1，表示塑料部分不需要为回流焊接作业做预先烘烤;MSL 为 2 以上，表示需要一些预防措施以防止塑料放大器产品因为潮湿而损坏。

虽然塑料封装隔离度和密闭特性都比较低，但是在价格方面的优势使它比陶瓷器件更适合大批量应用。因为塑料注模能够大批量处理材料，所以塑料封装放大器产品的成本比较低。同样，在封装和模塑设计方面进行创新，可使塑料封装应用于高增益和高频率的放大器产品。

在塑料封装中，引线框架(LF)是固定芯片的核心结构。引线框架是由金属薄片压制而成。低功率应用中的金属薄片通常使用 Kovar 铁钴镍合金，大功率封装通常则使用铜/铜合金，薄片厚度约为 8 ~ 10 mil。整个组装过程中，LF 都用来承载芯片。在包括模型材料在内的标准引线框架设计中，塑料封装是其最主要的修正版本。切割好的硅片提供给塑料封装的生产商，生产商完成所有的步骤，包括抓放、环氧树脂的分配、引线键合、制模、标注和锯切。对于功率放大器产品，需要导电性和导热性都良好的环氧树脂。导热性环氧树脂的一个例子是 Abeltherm 的 2600 系列，其导热性为 20 W/m · K(AuSn 焊接约为 60 W/m · K)。塑料封装的运输使用塑料管、塑料罐、塑料带和卷筒。塑料封装的主要供应商有 Amkor、Carsem、Unisem、Asat 及 Azimuth。塑料封装通常是表面贴装在最终 PCB 结构上。

21.2 封装材料

接下来，我们讨论几种用于封装的材料类型。

21.2.1 陶瓷

陶瓷封装的基底材料有氧化铝(Al_2O_3)、玻璃(SiO)、玻璃氧化铝(LTCC 和 HTCC)、氮化铝(AlN)、氮化硼(BN)、氧化铍(BeO)、碳化硅(SiC)，其中氧化铝最常见。由于强化学键的原因，陶瓷材料具有很高的熔点和高化学稳定性。从电子、机械、热性能、尺寸等方面的性能综合来看，陶瓷材料十分优异。这些材料的物理特性在第 14 章中已做了介绍。

21.2.2 高分子化合物

有机高分子化合物已经在塑料封装的注模中使用，这类材料的一部分代表同样在第 14 章中已做了介绍。常用的高分子化合物都是可热塑和热固的。热塑性高分子材料的分子量较高，可以无限次地溶化重造，而在低于玻璃态转变温度时，它们是刚性的。常用的热塑性高分子化合物有聚苯乙烯、碳氟化合物、聚乙烯及硅聚酰亚胺。这些材料的介电常数都在 2 ~ 3 的范围内。

热固性高分子化合物的玻璃态转变温度较高，并且比热塑性材料的刚性更高。常用的热固性材料有苯并环丁烯(BCB)、聚酰亚胺、环氧树脂、聚酯纤维、聚亚安酯、醇酸树脂及酚醛塑料。这些材料的介电常数都在 2.5 ~ 10 的范围内，比热塑性高分子化合物高得多。

21.2.3 金属

Kovar 铁钴镍合金是有引脚陶瓷封装中最常用的引线框架或引脚材料。Kovar 是一种合金，包含 53% 的 Fe、17% 的 Co、20% 的 Ni。它的热膨胀性与氧化铝、Si、GaAs 及密封玻璃一样好，但是导热性比较差。而由于导热性较差，Kovar 的使用仅限于封装的引脚及低功率应用时封装的

基底/边缘。高功率应用时的基底或边缘材料大体上使用复合金属，比如 CuW 或者 CuMoCu。广泛用于低功率塑料封装的 LF 材料是合金 42(42% Ni，58% Fe)，但是对于中等功率应用，LF 使用包铜或者铜合金材料。

21.3 陶瓷封装设计

在 MMIC 中，许多封装方面的考虑与混合 MIC 类似。大多数陶瓷/金属封装都应该符合 MIL-S-19500 所规定的环境要求和 MIL-STD-750/883 所规定的测试要求。封装必须通过严格的测试，包括密闭性、热冲击和机械冲击、潮湿抗性、抗盐雾性、振动、加速度及可焊性。为了使封装对 MMIC 的性能影响降到最小，应该对封装进行电子建模、机械建模及热建模。几种 MMIC 陶瓷封装的类型如图 21.10 所示。

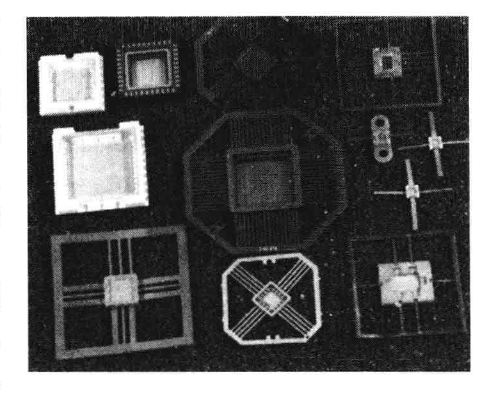


图 21.10　几种 MMIC 陶瓷封装

微波封装中最重要的电学特性有低插入损耗、高回波损耗、隔离度，以及在工作频率范围内没有腔孔或馈通谐振。当芯片或者芯片组位于微波封装的腔孔中时，就会最小化对芯片性能的恶化。大体上，如果没有对关键的封装要素进行精确的电子和电磁建模，封装是不可能实现的。微波设计必须适用于封装的三个部分：RF 馈通、腔孔和 DC 偏置线路，其中 RF 馈通的设计对 MMIC 芯片封装的性能影响最关键。接下来讨论 MMIC 封装设计的主要特点。

21.3.1 RF 馈通的设计

馈通的基本要求是将 MMIC 匹配到 50 Ω 的传输线，这是因为在封装之后就不能对电路进行调谐了[16, 17]。设计馈通使得 MMIC 芯片封装不改变其性能，馈通应该满足下列要求：

- 每个馈通结构的插入损耗低(<0.01 dB/GHz)
- 在整个工作频带内每个馈通结构的回波损耗高(>20 dB)。

为了达到上述要求，馈通结构应该具有下列特性：

1. 平坦性，比如微带线或带状线。
2. 在分界面处和分界面之间的电磁场匹配要好。
3. 为了使信号通道中的不连续性影响达到最小，在传输介质或线宽度中的过渡也要与在介质分界面处一样要最小化。
4. 在接地通道处的不连续性要最小化。
5. 在尽可能减小不连续性相互影响的前提下，馈通长度要尽可能小。
6. 接地电感最小化。

图 21.11 是一个带馈通的陶瓷封装。图 21.12 是两种常用的馈通导体结构。通过采用宽度步进和锥形导体来尽可能弱化由陶瓷壁/玻璃壁造成的电容负载影响。

我们希望连接芯片与引脚的线长度尽可能小，从而避免输入相位角过大，避免输出反射系数随着工作频率提高。过大的相位角度差将导致宽频带内无法匹配封装器件，进而对电路性能

造成明显恶化。这个问题最好的解决办法是保持馈通结构特征阻抗为 50 Ω，减小芯片位置到引脚位置的非连续性。

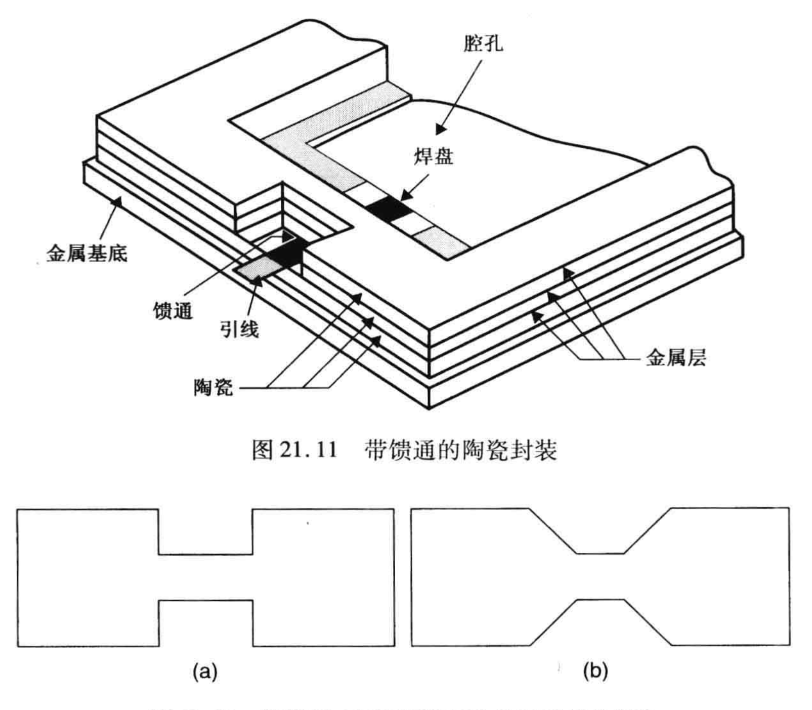


图 21.11　带馈通的陶瓷封装

(a)　(b)

图 21.12　陶瓷壁/玻璃壁下两种常用的导体结构

如图 21.13 所示，馈通结构包括微带支节、矩形带状线支节(由于封装壁)及共面波导支节。微带支节在封装腔孔内部。这些传输介质在分界面处存在非连续性，这是因为介质和传输模式发生了变化，即使馈通可以保持 50 Ω 的特征阻抗，但是这些转换也会使封装性能恶化，这些影响都需要精确的测量、建模和修正。虽然在更高的频率时可以通过增加 RF 接地来提升整体性能，但是在封装中矩形带状线的使用还是会稍稍增大插入损耗(约大于 10%)。图 21.14 是一个陶瓷馈通性能的典型测量值。到 15 GHz 时，测得的插入损耗小于 0.3 dB，回波损耗优于 20 dB。

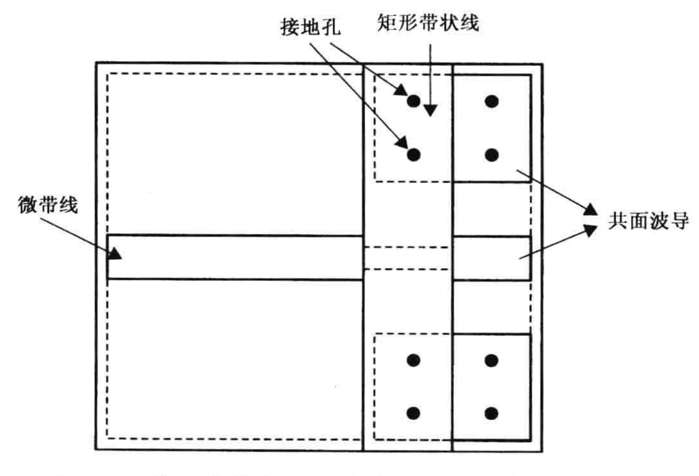


图 21.13　使用微带线 – 矩形带状线 – 共面波导介质的馈通

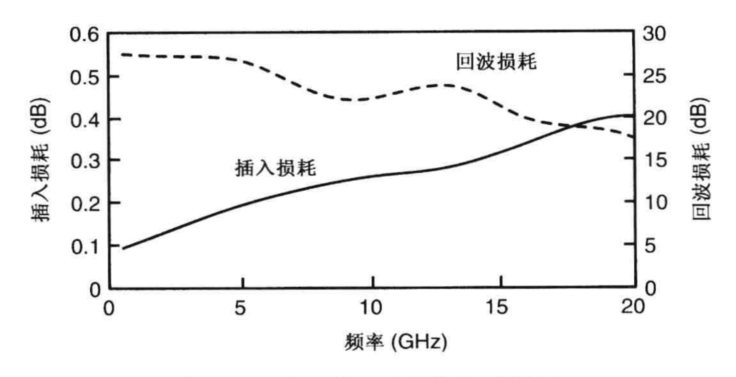


图21.14　陶瓷馈通性能的典型测量值

21.3.2　腔孔设计

腔孔的基本要求是能在封装MMIC芯片时不恶化其性能，同时可以容纳I/O和DC偏置线及其他封装需要的芯片元件，比如电容、电感和电阻。腔孔设计应该满足下列要求：

- 金属壁环
- 非金属或接地的盖板
- 无波导模式的传播
- 无腔孔谐振

接地盖板与/或接地金属壁环有助于提高RF端口与RF和DC引线之间的隔离度，同样可以将MMIC与封装环境之间的影响降到最小。MMIC封装的腔孔设计要求使波导主模TE_{10}模的截止频率超过最大工作频率。如果这个条件不满足，很可能就会使能量耦合到封装上，这是因为封装上的TEM模可能会转换为TE_{10}模或其他腔孔支持的模式。频率更高时，这种模式转变可能会影响封装的插入损耗，这种影响相比于对馈通耗散损耗或阻抗失配损耗的影响要更大一些。不支持波导模式的腔孔尺寸则会增加引线与引线的隔离度，防止杂散模式的传播。

选择合适的封装壁高度可以提供足够的热阻抗，并且有助于盖板的密封操作，但不应影响IC性能，一般选择封装壁高度小于腔孔宽度。将封装壁环焊到载体上，载体接地到封装体上。最后，用锡焊或环氧化物将盖板固定到壁环上。

波导模式

如图21.15所示，封装的腔孔可以看成是一个H平面的介质板带负载结构，电磁波沿z方向传播。腔孔中的波导主模可以是准TE_{10}模或者混合LSM_{11}(纵截面磁波)模，这取决于ε_r值和导向尺寸。将介质填充波导的截止频率(f_{cd})对TE_{10}模的截止频率($f_c = c/2W$)求归一化，得到的空矩形波导为

$$\frac{f_{cd}}{f_c} = \sqrt{1 - \frac{h}{H}\frac{\varepsilon_r - 1}{\varepsilon_r}} \qquad (21.1)$$

其中h、H和ε_r分别为基底厚度、覆盖高度和基底介电常数。

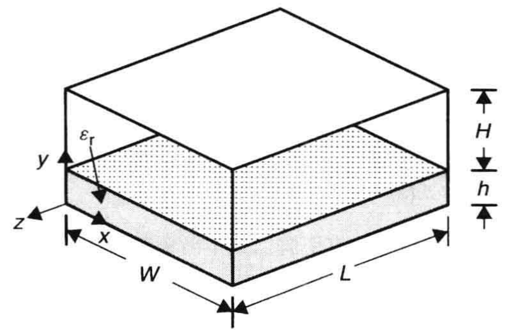


图21.15　带负载介质的腔孔结构

为了抑制这些模式，W/H应该小于0.5，h/H应该小于0.1。针对一个设计工作频率达到

18 GHz 的陶瓷封装，对于 $\varepsilon_r=9.7$、$h/H=0.1$，由式(21.1)得最小模(LSM_{11})的 f_{cd}/f_c 为 0.955，对于 18 GHz 的截止频率 f_{cd}，这就得到 $f_c=18.85$ GHz，W($=c/2f_c$)应该小于 8 mm。

谐振频率

对于波导尺寸 $H<W<L$，最低阶的谐振模式是 LSM_{111} 或者 TE_{101}。对于 $H<W<L$，谐振频率为

$$f_0=\frac{15}{W}\left(\sqrt{1-\frac{h}{H}\frac{\varepsilon_r-1}{\varepsilon_r}}\right)\sqrt{1+\left(\frac{W}{L}\right)^2} \tag{21.2}$$

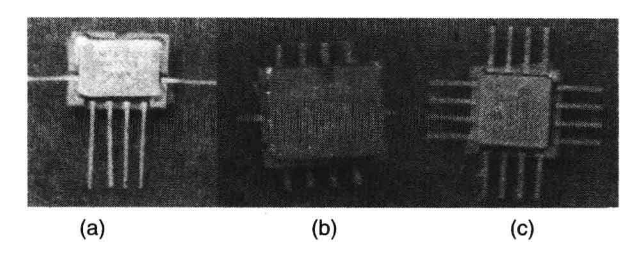
这里 W 的单位是 cm，f_0 的单位是 GHz。因此当给定主模的截止频率时，在 L 与 W 相比非常大时，会出现最低的谐振频率。在最大尺寸等于二分之一波导波长时，同样可以发生谐振。对于 $W/L=0.5$、$W=0.5$ cm、$\varepsilon_r=12.9$、$h/H=0.1$，最低谐振频率 $f_0=31.96$ GHz。

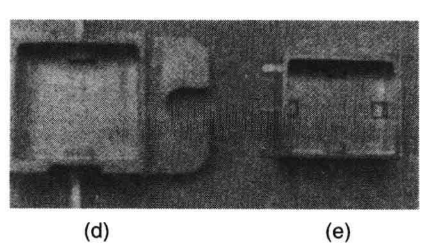
21.3.3 偏置线

偏置线和输入/输出的设计要求是在一定程度上不会恶化由耦合、串扰、谐振引起的插入损耗和回波损耗性能。为了提高谐振频率及最大化输入/输出端口间的隔离度，没有用到的焊盘、抽头、偏置线必须接地，因为无终端和无隔离的偏置线可能会使谐振频率降低二分之一。偏置线之间的接地连接有助于提高谐振频率和隔离度。在偏置线的设计中，RF 地与 DC 地之间的距离要足够大，防止出现非期望的耦合。尤其对于较高增益的应用，这一点尤为重要。

21.3.4 陶瓷封装结构

陶瓷封装基底材料和厚度的选择取决于电学特性的要求、成本及频率范围。基底厚度的选择要与 MMIC 厚度相匹配；另外，因为 MMIC 芯片厚度一般为 3 ~ 5 mil，所有芯片的贴装都需要底座。所以，微波封装通常使用 10 ~ 20 mil 厚的氧化铝基底，而毫米波封装使用 4 ~ 5 mil 厚的石英。通常选择介电常数较低的基底材料，降低封装互连的电学特性敏感度，就可以使用更大的微带尺寸，得到更宽的频率范围和更高的成品率。微带的宽度和厚度决定了其特征阻抗和直流电阻，而同一平面两个导体间的距离决定了因耦合产生的串扰。通常在 MMIC、封装壁和盖板之间留下充足的空间来减小一切相互影响。保证封装盖板在 MMIC 上方的距离为封装基底厚度的 5 倍，使盖板对 MMIC 特性的影响达到最小。在陶瓷封装设计中，盖板的类型对放大器稳定性的影响变得至关重要。在高增益的应用中，可以使用陶瓷或塑料盖板，而使用金属盖板可能需要一些吸收材料来减小输入和输入引脚间的反馈。图 21.16 为陶瓷封装的几种类型。





(a) (b) (c) (d) (e)

图 21.16 有引脚低成本陶瓷封装实例：(a)6 引脚；(b)10 引脚；(c)16 引脚；(d)晶体管；(e)MMIC

有多种带金属基底（铜、钨化铜、钼化铜）的陶瓷封装类型[氧化铝(Al_2O_3)、氧化铍(BeO)、氮化铝(AlN)]都适用于 MMIC 功率放大器。它们的成本取决于封装尺寸、工作频率、所使用的金属及产量。其中一些封装可以达到 40 GHz。大产量、工作到 20 GHz 的封装成本

可以小于3 美元。数量较小时，成本为 20 ~ 50 美元 ，这还不包括非重复性工程(NRE)工具的成本。通常在 20 GHz 时每个 RF 馈点测得的耗散损耗小于 0.3 dB。这些封装与塑料封装相比，具有很高的工作频率、较低的引线框架电感、低接地电感及很低的热阻。陶瓷封装非常适合高频率、小信号、中等功率的 MMIC 和高功率晶体管。图 21.17 是一个常用的陶瓷封装驱动放大器实验夹具。

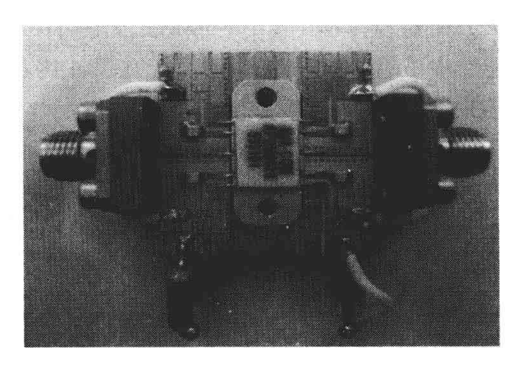


图 21.17　陶瓷封装驱动放大器实验夹具。旁路电容为 0.1μF 的陶瓷片式电容

21.3.5　陶瓷封装模型

通过使用 S 参数测量，可以将 M/A-COM 标准陶瓷封装馈通的等效电路模型的适用频率范围提升至 20 GHz。测量中使用了 RF 探针并对陶瓷封装运用适当的 TRL 进行嵌入式标准设计。图 21.18 是馈通的分布式等效电路模型。微带尺寸(宽和长)的单位是 μm。基底($\varepsilon_r = 9.5$)厚度为 10 mil。并联电容引入额外的插入宽度，并引起不同介质间传输的不连续性。此处没有包含位于两个对边的引线之间的相互影响。

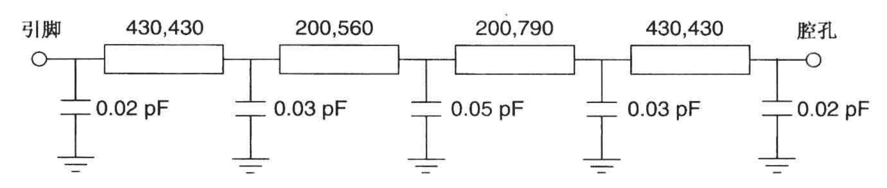


图 21.18　陶瓷封装馈通的等效电路模型

21.4　塑料封装设计

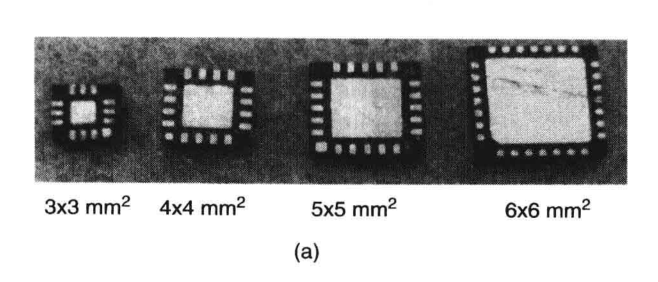
塑料封装的设计基本包含引线框架和塑料化合物的设计，两者都是塑料封装生产的标准化项目。常用的引线框架材料有不同的类型，比如镍铁和铜基合金。特定应用时的选择取决于成本、性能、制造难易等因素。引线框架可以通过向生产商投入额外的模具成本来进行修改。引线框架的基本设计包括其材料、封装厚度、腔孔尺寸、总的引线个数，以及引线间距的设计。对于给定的封装尺寸，封装设计唯一的变化就只有引线个数。

引线框架(LF)是塑料封装的基础，其机械设计取决于其应用。我们希望 LF 材料具有强度好、热膨胀性可与 Si 和 GaAs 材料相配及导热性好的特点。LF 材料可以分为三类:镍铁、铜包线和铜基合金。由于具有低导热性，Kovar 合金与合金 42(42% Ni、58% Fe)成为低功率应用中使用最广泛的 LF 材料。而铜基 LF 材料拥有非常高的导热性，可运用于功率放大器。铜包 LF 材料既拥有合金 42 的机械特性，又保留了铜的高导热性。铜包材料是将铜箔滚压在不锈钢表面制造

而成。铜合金是在铜当中混入其他金属以达到适合塑料封装的特性。框架通过将金属薄片进行化学蚀刻或机械压制而得到。典型的薄片厚度为 8 ~ 10 mil。引线框架中与引线键合的那部分镀银。有机模塑料的介电常数与损耗角正切值约为 3.7 和 0.01。

21.4.1 塑料封装

有很多种可用的高性能 PQFN 封装版本，其中一些形式如图 21.19(a)所示，并把与每个封装对应的 GaAs 或 Si 芯片最大尺寸一起列于表 21.3 中。腔孔尺寸比芯片尺寸稍大。大的腔孔尺寸常用于多级中等功率放大器中。



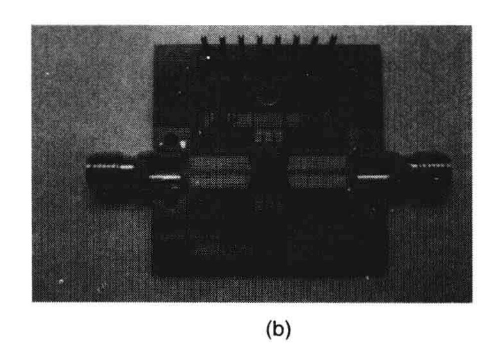


图 21.19 (a)高性能 PQFN 塑料封装；(b)用于 PQFN 封装测试的 PCB

最常用的封装形式是小外壳晶体管(SOT)，小外壳集成电路(SOIC)，以及功率四边无引脚扁平(PQFN)塑料封装。SOIC 封装可以工作到 2 GHz，在 2 GHz 时测得的 SOIC 8 引脚封装的耗散损耗约为 0.2 dB。例如，4 mm PQFN-16LD 的塑料封装可以工作到 18 GHz，在 18 GHz 时测得的 PQFN 封装的耗散损耗约为 0.2 dB。

表 21.3 带最大芯片尺寸的 PQFN 封装实例

封装类型	最大芯片尺寸(mm^2)
4 mm PQFN-20LD	2.15 × 2.15
4 mm PQFN-24LD	2.45 × 2.45
5 mm PQFN-20LD	3.15 × 3.15
5 mm PQFN-28LD	3.15 × 3.15
6 mm PQFN-28LD	4.45 × 4.45

封装放大器一般固定在 PCB 上进行测试，PCB 的材料在第 14 章进行了说明。图 21.19(b)是一个用于 PQFN 封装测试的 PCB。

21.4.2 塑料封装模型

PQFN 封装的等效电路(EC)模型可以使用 EM 仿真来描述其特性。图 21.20 是一个 4 mm PQFN 16 引脚封装的 EC 模型。其中，4 个输入端代表引线框架一侧的 4 个引脚。EC 模型同样包括引线之间的耦合和串扰，但并不包括位于不同侧面的引线间的相互影响。

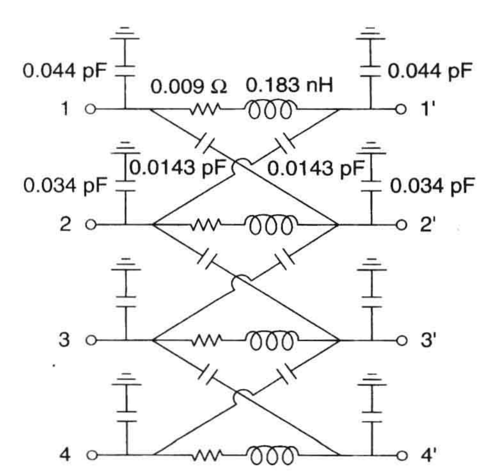


图 21.20 一个 4 mm PQFN 16 引脚封装的等效电路模型

在塑料封装中，由模塑材料引起的电容负载会影响晶体管和传输线的特性。这种影响在频率变高时会更加明显，在放大器设计阶段中必须给予考虑。对于用模型

材料覆盖的晶体管，器件模型可以用测试数据描述；而对于用介质涂层覆盖的传输线（微带线和CPW），器件模型可以通过 EM 仿真而得到。

21.5　封装组装

在选取合适的封装之后，接下来最重要的一步是芯片贴装和引线键合[6,9]。在放大器组装中，第一步是将芯片元件贴装到载体、底座、封装腔孔及基底上，或者将基底贴装到载体、底座、封装腔孔上等。芯片贴装技术称为芯片贴装处理。芯片贴装最重要的考虑是低热电阻和强机械键合。在混合放大器的组装中，会同时用到芯片和表面贴装封装的芯片，包括半导体芯片、电容、电感和电阻。芯片结构要求将尺寸、重量、寄生电抗的影响及芯片间的传播延迟降到最低。

21.5.1　芯片贴装

芯片贴装有两种方法：环氧树脂芯片贴装和共晶芯片贴装。

环氧树脂芯片贴装

环氧树脂芯片贴装过程通常用于贴装无源元件和低、中等功率器件。环氧树脂在相对较低的温度中进行固化，易于操作，使用自动的分配装置，能够军用且品质能够满足空间应用。常用的环氧树脂有两种类型：银（Ag）环氧树脂和金（Au）环氧树脂。Ag 环氧树脂比 Au 环氧树脂便宜，所以更为常用。环氧树脂芯片贴装是一个简单的过程，包括环氧树脂的准备，在芯片面积内控制环氧树脂的用量，在环氧树脂中心用镊子（手工加工的情况）放置芯片。所有的这些步骤都在室温下完成。接下来，组装过程移至固化炉中。炉温和固化时间由环氧树脂供应商推荐，通常分别为 150℃、60 min。由于环氧树脂的热电阻高于共晶芯片贴装材料（见第 16 章），因此环氧树脂芯片贴装技术常用于低功率或低耗散功率的应用。比如，针对所有低噪声放大器和塑料封装组装都采用专门的环氧树脂加工技术。

虽然在一些军用系统和空间系统中，很多放大器都不允许使用导电的环氧树脂，但是只要厚度较薄，就可以满足除最高功率应用外的所有应用需求。如果键合做得好，那么在芯片剪切测试中，芯片就应该在移动离开键合点之前被损坏。较差的键合通常是由于清洁不够、环氧树脂固化不足或者加热不足造成的。在与引脚锡或高锡接触的地方不应该使用 Ag 环氧树脂，可能产生的阳极反应会导致芯片键合失败。

共晶芯片贴装

共晶芯片贴装要在加热平台上进行。芯片的背面镀金，常用的锡焊材料是比例为 80∶20 的锡化金（AuSn）合金。对于共晶锡焊镀 1 μm 的金就足够了。而在更高的工作温度时，也可以使用锗化金（AuGe）共晶锡焊。芯片要在三氯乙烯溶液中进行彻底的清洁，去除油脂和污垢，然后用甲醇脱水干燥。

有多种共晶锡焊材料毛坯可供使用，通常其尺寸比芯片稍小一些。工作台和夹盘要预先加热。加热平台的温度设置要求能够使键合区域的温度迅速提升至 50～75℃的锡焊毛坯熔点。通常使用的是 1 mil 厚度的毛坯。在锡焊的最后阶段会使用高温的气体或氮气喷射流，其温度约为 100℃，超过了锡焊的熔点。在喷射环境中，锡焊应该在几秒内就熔化掉。放置在芯片焊接处的毛坯也会立即熔化。将芯片小心地放在熔化的毛坯上来回地擦洗。将载体从加热平台上拿开，让其冷却。整个锡焊过程通常不超过 5 min。如果夹盘温度或者锡焊时间大大增加，芯片贴装过程可能会降低半导体芯片的性能。

有几种方法用来确保锡焊芯片贴装过程较好，包括芯片剪切、X 射线和超声波扫描。其中，像超声波扫描这样的非破坏性技术能更好地确定锡焊芯片贴装的好坏，这种技术广泛用于高功率放大器。

21.5.2 芯片引线键合

在芯片贴装过程之后，分立的集总元件与半导体器件(晶体管或 MMIC)要进行相互连接，或者连接至封装基底焊盘或引脚。这些连接使用的是引线键合技术、倒装芯片技术及卷带自动化技术，如图 21.21 所示。接下来进行简单的讨论。

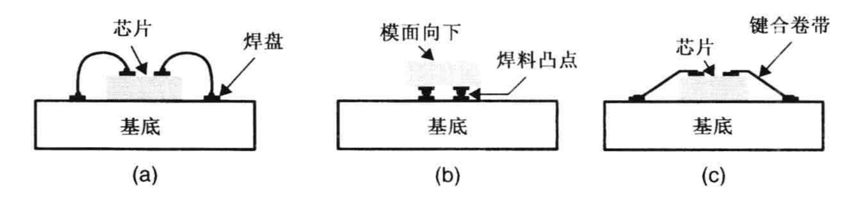


图 21.21 芯片基底焊盘键合技术:(a)引线键合;(b)倒装芯片键合;(c)卷带自动键合

引线键合

用引线连接芯片的过程叫做引线键合。在引线键合中，两种类似的金属在低于它们的熔点时，在压力和温度的影响下很好地"键合"在一起。引线和焊点都是金制的，因此贴装的焊点也必须是金制的。引线直径在 0.5 ~2.0 mil 范围内。这种技术也称为热压键合法。热压键合法有两种:球焊与楔焊。楔焊也是使用超声波技术。球形和楔形引线键合技术在图 21.22 进行了阐述。

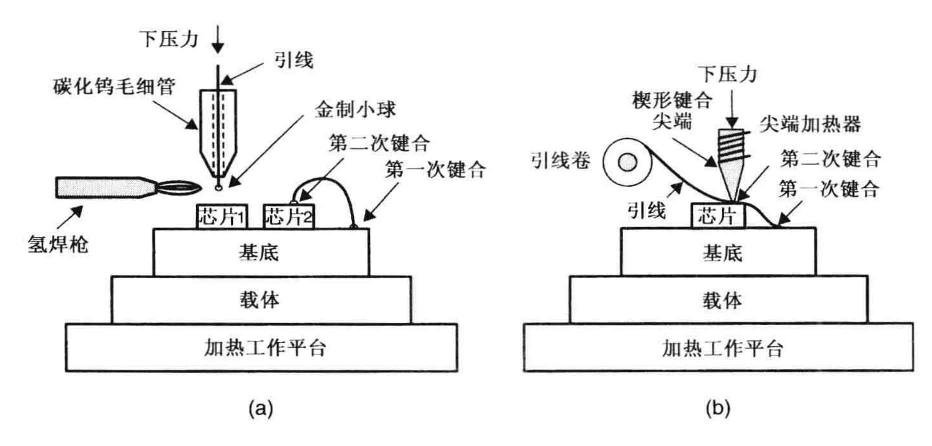


图 21.22 引线键合技术:(a)球形键合;(b)楔形键合

球形键合 在球形键合技术中，从氢焊枪或电弧中产生的微小火焰将引线的末端熔化成小球。通过碳化钨尖端(称为毛细管)，小球被推到焊盘上面。同时毛细管立即被电加热，并紧贴着小球，将其压成蘑菇形状。这个技术不需要加热工作平台，但是由于回路更长，所以焊盘尺寸更大、引线长度更长。

楔形键合 楔形键合技术使用一个又窄又尖的碳化钨键合工具，将一个金制引线压到金制焊盘上。键合工具的尖端面积只有 2×2 mil^2。楔形尖端和工作平台都要加热，用一个精确控制的下压力来帮助引线键合到焊盘上。图 21.22(b)是键合过程的步骤图解。工具压力、尖端温度、工作平台温度的组装称为键合表，用于保证引线键合的可靠。因为楔形键合较窄，所以焊盘

尺寸与引线直径相比不需要太大。同样将引线放置在焊盘平面，引线键合长度较短而且电感值较低。在毫米波频段，楔形键合由于焊盘较小、引线寄生电抗影响较小，所以比球形键合更好。在键合过程中，引线和带状电缆都会用到。带状电缆最常用于低电感和高电流的应用，其厚度在0.5～1.0 mil范围内，宽度在5～10 mil范围内。

对键合表中的压力、时间和温度给出明确的最佳参数是比较困难的。不同的引线、键合表面或半导体芯片特性都需要不同的结合条件。通常在高级键合测试中，键合参数的调整应该最大化键合的可重复能力。

对于DC和RF连接，球形和楔形键合都可以使用。为了在10 GHz以上时得到最好的微波性能，在RF互连中，使用长度最短的楔形键合要比球形键合更好。在组装过程中，经常会出现由电压应力引起的晶体管及单片式和分离式电容故障。用于键合的设备应该针对电涌电压源做经常性检查，而且要时刻保证接地。所有测试用的设备应该保证接地，使静电放电的可能性降到最低。

超声波楔形键合 在这个技术中，键合线要紧压在焊盘上，而且两者都要接受超声波振动，通过扩散作用形成所需要的键合形式。在楔形键合器中，超声波振动的能量使引线变形，并引导其在引线和焊盘之间扩散形成牢固的键合。这个技术广泛用于低温加工过程及两个不相似的金属间的键合过程。该技术同时使用了氧化铝和金制引线。使用该技术可以在相同金属或不同金属间进行键合。在塑料封装中金制引线要贴装到银铜合金的引脚上。

倒装芯片键合

在倒装芯片键合(FCB)中，芯片是贴装在封装、载体、模具或PCB上面的。芯片在预定的位置上有一个焊锡凸点的通孔与焊盘键合。由于这种技术没有用到引线键合，所以其寄生电抗非常小。FCB技术具有高性能的特点，适用于多片封装技术。在放大器FCB下方，导热通道必须经过焊锡凸点，这可能是一大挑战。将芯片贴装到金属棒或散热器上会得到最小的热电阻。

卷带自动键合

卷带自动键合(TAB)主要用于带有大型I/O设备的大规模硅基IC。在这种技术中，使用了重复金属层板的宽铜互连图形平版印刷[6]的TAB卷带。IC焊盘与互连条对齐，并通过热压缩键合法进行连接。所有的键合都是同步进行的，称为群焊。该技术适合具有大量焊盘的大型芯片，并不用于焊盘数量较少的RF和微波芯片。

引线键合模型

单引线和多引线的电子模型在第6章中做出了描述。做一阶近似，引线框架寄生电抗可能会被引线键合电感抵消，以达到50 Ω的传输线特征阻抗。

21.5.3 陶瓷封装的组装

陶瓷封装流程图如图21.23所示。第一步是涂上银环氧树脂(低功率器件)或者是在封装腔孔中放置锡焊毛坯(功率器件)。接下来，将封装放置在热平板上。下一步是放置要封装的半导体芯片，在中批量和大批量应用中，这一步通常由自动取放机器完成。然后，将100～200 pF的芯片电容用银环氧树脂进行贴装，这一步紧接着引线键合。接下来将盖子贴装到封装壁上。最后，将产品做上标记，对引线框架进行修剪切削。标记通常由激光划片机完成。

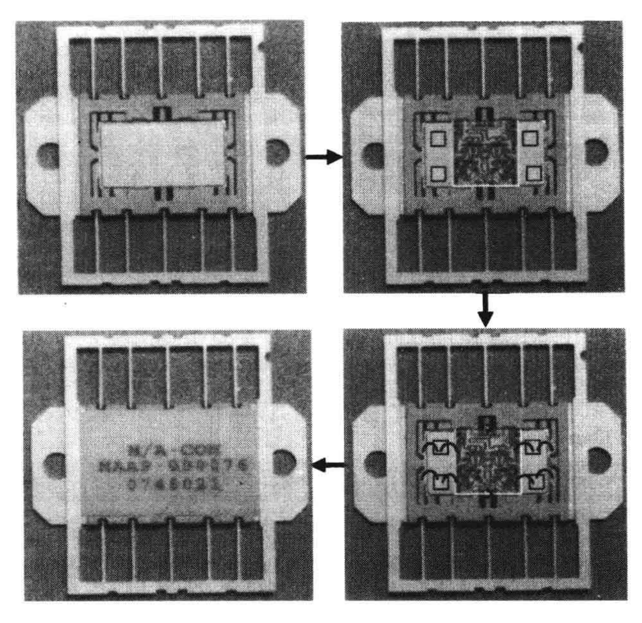


图 21.23　MMIC 陶瓷封装流程图

21.5.4　塑料封装的组装

塑料封装流程图如图 21.24 所示。IC 封装使用的是取放技术。第一步是涂抹银环氧树脂。第二步是放置要封装的半导体芯片，这一步紧接引线键合与铸模。取放、涂抹环氧树脂、引线键合、铸模等步骤由自动机器和机器人完成，这样的重复性较高、成本较低。接下来是标记产品，最后是将引线框架从塑料封装上去除。标记可以通过激光划片或上墨来完成。图 21.25 是将一个中等功率的 GaAs MMIC 放大器贴装到引线框架上。

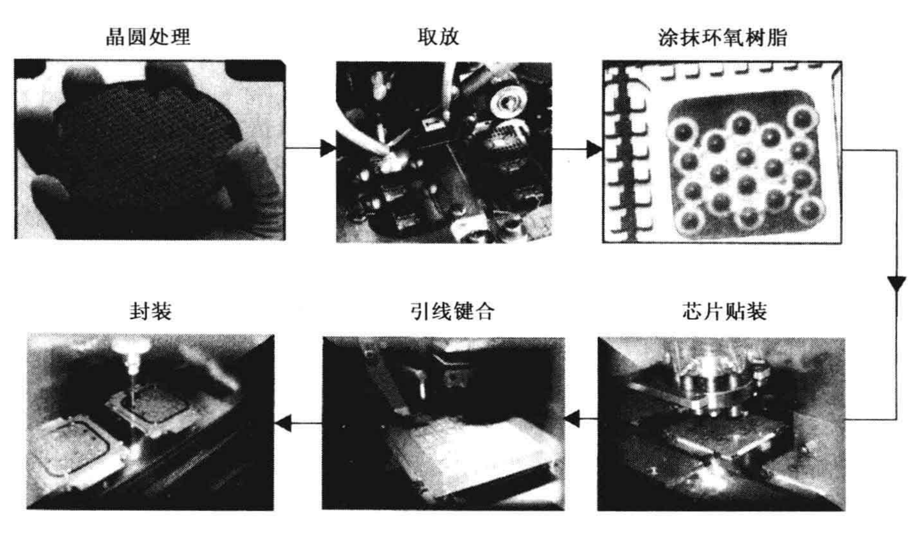


图 21.24　MMIC 塑料封装流程图

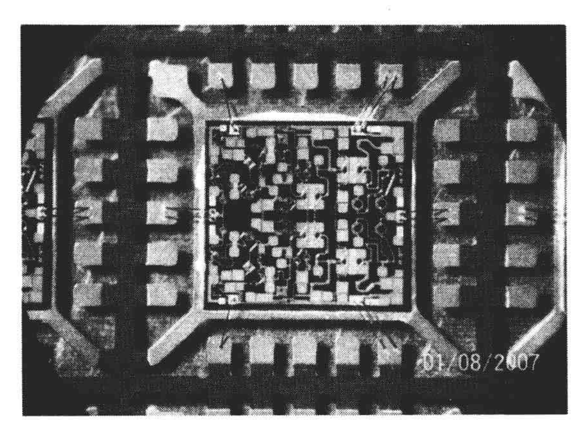


图 21.25　一个中等功率的 GaAs 放大器芯片贴装到引线框架

21.5.5　密封和包装

许多商业和军事应用要求密封封装。陶瓷封装和金属外壳都是密封的，可以保护内部避免潮湿和环境的危害。这个技术是在芯片贴装、引线键合之后，将一个陶瓷、玻璃或金属制作的盖板贴装到封装外壳上面。使用锡焊材料覆盖盖板边缘，然后进行热贴装。盖板也可以用铜焊、玻璃密封、焊接等进行贴装。只有陶瓷/玻璃封装和金属外壳是比较实际的密封方法。

在一些应用中，封装采用粘糊涂层、铸模、腔孔填充等包装技术。在这些方法中，芯片和引线都用高分子化合物覆盖。包装并不复杂，仅对环境危害提供有限的保护。由于材料化学纯度的提高，在近十年中塑料封装电路得到了发展[6]。

21.6　热性能考虑

除了机械和电子设计之外，封装的热模型也是必须要完成的。在功率 FET 和功率 IC 的封装中，热模型变得非常重要。因为热影响与频率相互独立，所以用于低频封装的热模型技术同样可以用于微波封装。放大器的热设计基础在第 16 章中进行了介绍。

从放大器芯片到散热器，这些层叠的热设计在高功率放大器生产中是非常严格的。通过适当设计 GaAs 芯片与散热器间的分界线来得到较好的热通道，这样有源器件中的热源就可以得到有效消除。更薄的 GaAs 基底、无缝隙且可靠的芯片贴装、高导热系数的底座及与 GaAs 和氧化铝相近的热膨胀系数，这些都是优秀的热设计基础。CuW 材料的导热系数很好（248 W/m · ℃），其热膨胀系数（$5.7\times10^{-6}\Delta\ell/\ell$）非常接近于 GaAs（$5.6\times10^{-6}\Delta\ell/\ell$）和氧化铝（$7.1\times10^{-6}\Delta\ell/\ell$）。最后，将封装后的 MIC 和 MMIC 放大器产品用锡焊或环氧树脂固定到高电导率的底座上。

大产量的晶体管和放大器使用气孔陶瓷外壳或者过压成模的塑料封装外壳。这些封装将器件与外部环境隔离开。在无线基础设施或基站、雷达及其他高功率应用中使用的高压晶体管和内部匹配 FET 会产生巨大的热量，法兰的设计用来处理这些耗散的热量。均匀的芯片贴装，至少在器件的有源区域处理功率耗散产生的热量是非常重要的，而高导法兰则是高效散热的主要途径。由于芯片贴装区域内空隙的导热系数非常低，可能会显著恶化甚至摧毁晶体管。芯片贴装的质量可以用扫描声学显微镜检查。在这种方法中，超声波能量加在法兰盘的背面，因为超声波信号不会通过空隙，可以用声波成像探测。

对于高功率放大器(HPA)和高压 HPA(HVHPA),封装和组装中热量的排除是最重要的因素,对热量的控制成为最主要的问题。电流散热器包括 BeO、AlN、CuW、CuMo、CuMoCu 和 SiC,其导热系数在 150 ~ 350 W/(m·K)之间。在 GaAs 基和 Si 基晶体管放大器中,热流[量]密度在 100 ~ 300 W/cm^{2}范围内。但是在 HVHPA 中,热流[量]密度远高于 300 W/cm^2。这些热流[量]密度值比高功率微处理器要高一个数量级。为了处理这种非常高的热流[量]密度,需要用金刚石类材料或复合材料来制作导热系数超过 500 W/(m·K)的散热器。

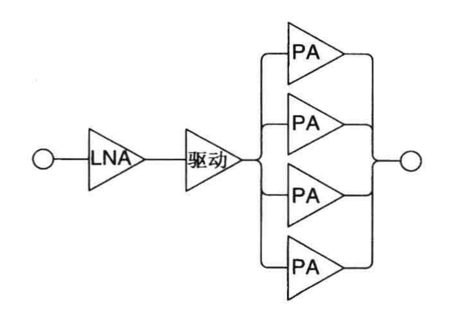
21.7 封装使用的 CAD 工具

RF 和微波放大器的封装发展离不开无缝集成 CAD 工具,即可以在封装的同时对电路进行优化的设计工具。通常在这一类集成解决方案中有两条途径:(a)针对电路的电路/网络仿真器和针对封装的多接口等效电路;(b)针对电路的电路/网络仿真器和针对封装的电磁场仿真器[11]。在第一种途径中,使用 21.4.2 节介绍的多接口网络/等效电路(EC)模型来表示封装。EC 模型是基于封装的物理特性,包括引线框架、端口间隔离度、接地和屏蔽的影响。EC 模型参数是通过对封装进行大量的电磁场仿真描述来获得的。封装的 EC 模型用于放大器设计中的 RF 仿真,包括了封装效果。封装的 EC 模型可能会被人工神经网络(ANN)模型通过电磁仿真所取代。常用封装的 EC 或者 ANN 模型也许会发展到适合 RF 电路设计者通过商用 CAD 工具使用。

在第二种方法中,针对电路的电路/网络仿真器和针对封装的电磁场仿真器被集成起来交互使用。有一些应用尝试将几种不同的仿真器联合起来在不同的封装中优化放大器电路,但是由于需要大量的仿真时间,这些应用被限制在分析层面。用于 RF 封装的 CAD 工具得到了发展,对 RF CAD 工具进行整合。除了整合封装放大器使用的电子设计工具,热设计和机械设计也需要整合,从而发展一个综合性的 CAD 工具。作为一阶近似,在放大器设计中,引线框架和引线寄生电抗可能会被忽略。

21.8 功率放大器模块

一个功率放大器模块包括几种放大器电路和元件,用来详细说明放大器的要求。在模块的设置中,每个模块都具有相同的尺寸、电子性能、机械结构、热特性。对于大批量的生产,模块的组装非常迅速,生产成本比较低。图 21.26 是一个包含 6 个 MMIC 放大器芯片的 50 W 模块实例。该模块的增益约为 50 dB。图 21.27 是另外一个模块,包含两个高功率 LDMOS 封装晶体管,使用 Wilkinson 功率合成器。



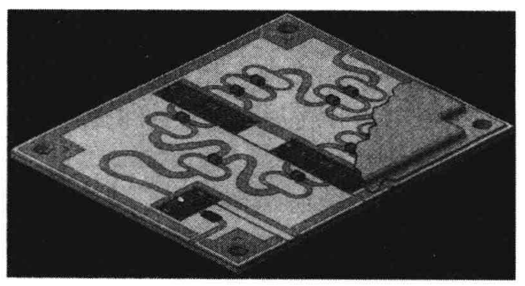


图 21.26 高功率模块结构

表面贴装技术广泛运用于系统封装(SIP)模块。SIP 技术可以用较低的成本在一个非常小的封装中集成多种功能。使用环氧树脂或锡焊将有源器件(包括晶体管、二极管和 IC)与无源元件一同集成在单个封装中。图 21.28 是一个 SIP 模块的照片。

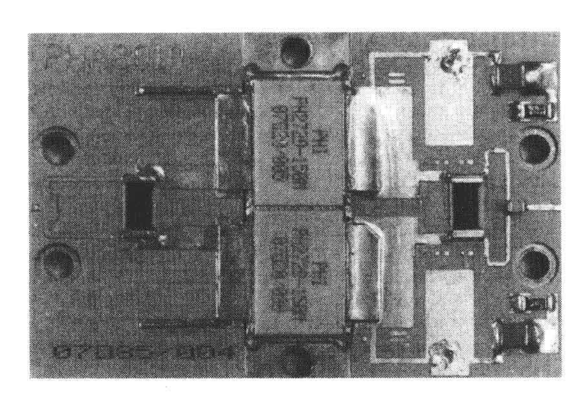



图 21.27　使用两个 LDMOS 晶体管的高功率模块结构

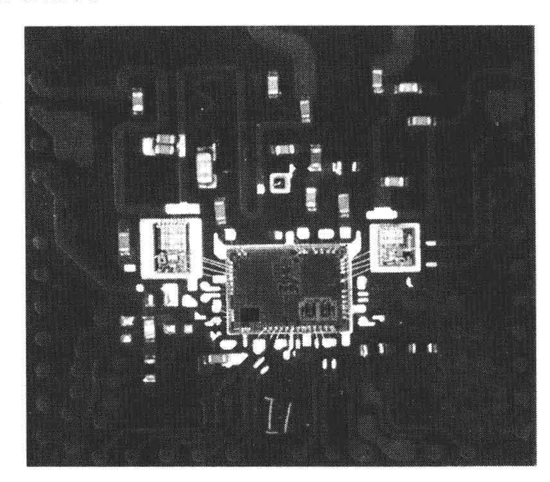


图 21.28　SIP 模块结构

参考文献

1. R. R. Tummala and E. J. Rayaszewski (Eds.), *Microelectronic Packaging Handbook*, Van Nostrand Reinhold, New York, 1989.
2. L. T. Manzione, *Plastic Packing of Microelectronic Devices*, Van Nostrand Reinhold, New York, 1990.
3. J. E. Sergent and C. A. Harper (Eds.), *Hybrid Microelectronics Handbook*, McGraw-Hill, New York, 1995.
4. P. E. Garrou and I. Turlik, *Multichip Module Technology Handbook*, McGraw-Hill, New York, 1998.
5. T. K. Gupta, *Handbook of Thick- and Thin-Film Hybrid Microelectronics*, John Wiley & Sons, Hoboken, NJ, 2003.
6. R. K. Ulrich and W. D. Brown (Eds.), *Advanced Electronic Packaging*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2006.
7. N. G. Einspruch and W. R. Wissemen (Eds.), *VLSI Electronics Microstructure Science, Volume 11, GaAs Microelectronics*, Academic Press, New York, 1985, Chapter 8.
8. R. Goyal (Ed.), *Monolithic Microwave Integrated Circuits: Technology and Design*, Artech House, Norwood, MA, 1989, Chapter 10.
9. A. Sweet, *MIC and MMIC Amplifier and Oscillator Circuit Design*, Artech House, Norwood, MA, 1990.
10. M. Golio (Ed.), *RF and Microwave Handbook*, CRC Press, Boca Raton, FL, 2000, Section sec6.10.
11. I. J. Bahl, *Lumped Elements for RF and Microwave Circuits*, Artech House, Norwood, MA, 2003, Chapter chap13.
12. Y. C. Lee et al., Packaging RF devices and modules, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 3590–3614.
13. S. Pinel et al., RF/wireless packaging, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 5, John Wiley & Sons, Hoboken, NJ, 2005, pp. 4516–4537.

14. K. Lim et al., RF-system-on-package (SOP) for wireless communications, *IEEE Microwave Mag.*, Vol. 3, pp. 88–99, March 2002.
15. C. A. Tavernier et al., High performance multilayered high temperature cofired ceramic for wide band packaging, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 2277–2280, 2003.
16. D. Fisher and I. Bahl, *Gallium Arsenide IC Applications Handbook*, Academic Press, San Diego, 1995, Chapter 10.
17. I. J. Bahl and E. L. Griffin, Semiconductor Chip Housing, US Patent # 4701573, October 20, 1987.
18. I. J. Bahl, Microwave Feedthrough Apparatus, US Patent # 5428327, June 27, 1995.

习题

21.1 有一个将要进行塑料封装的 MMIC，针对封装列出重要的设计要求。通过过孔接地。

21.2 设计一个陶瓷腔孔封装，GaAs MMIC，工作频率为 30 GHz。

21.3 阐述陶瓷封装和塑料封装的优点与不足，要求讨论工作频率、功率容量、成本等。

21.4 给出塑料封装和陶瓷封装的引线框架模型。作为一阶近似，假设 50% 的引线框架长度(腔孔内部)是微带线，另外 50% 是空气。引脚为 10 mil 宽、30 mil 长。其他参数如下，陶瓷：$\varepsilon_r = 9.9$，$h = 10$ mil；塑料：$\varepsilon_r = 3.5$，$h = 5$ mil。

21.5 求引线框架模型，两条引线直径为 1 mil、间距为 5 mil、长度为 20 mil，腔孔内部与习题 21.4 一样。

21.6 放大器的 S 参数如下。放大器放置在塑料封装中，其引线框架模型如图 21.20 所示。计算封装放大器的 S 参数，输入和输出封装引脚间的反馈表示为 $C = 0.01$ pF 的电容。计算封装前和封装后的稳定性因子。忽略键合线的影响。

放大器的 S 参数表

频率(GHz)	$\lvert S_{11}\rvert$	$\angle S_{11}$	$\lvert S_{21}\rvert$	$\angle S_{21}$	$\lvert S_{12}\rvert$	$\angle S_{12}$	$\lvert S_{22}\rvert$	$\angle S_{22}$
13.0	0.223	−72.00	13.39	120.86	0.0032	−37.80	0.126	−7.64
13.5	0.258	−79.91	13.13	88.65	0.0035	−64.66	0.159	−14.72
14.0	0.272	−89.08	12.96	56.95	0.0039	−89.48	0.182	−24.17

21.7 当 $C = 0.02$ pF 时，重做习题 21.6。

21.8 比较在 4～5 W 功率放大器应用中的陶瓷封装和塑料封装的质量，假设效率为 30%。

第 22 章　晶体管和放大器的测量

RF 和微波测量可以归为两类：一是针对晶体管的特性，二是针对放大器的估算[1~30]。虽然基本的测试装置和步骤相类似，但晶体管特性的测试装置可能需要更多的元件，比如调谐器和偏置器。放大器则可能不需要偏置器，而是使用更简单的校准步骤。本章论述一些用于晶体管和放大器测量的测试方法。许多测试仪器公司为精确测量提供了应用手册和测试步骤，建议读者参考产品说明和指南以获取最新信息。

22.1　晶体管测量

晶体管可以用小信号 S 参数、小信号和大信号等效电路(EC)模型、噪声模型及非线性源牵引和负载源牵引数据来进行描述。接下来我们简单描述一下晶体管的测量，其等效电路模型的参数值是基于：DC 电流 - 电压(*I-V*)和 S 参数数据、噪声参数数据及源牵引和负载牵引数据。片上的 *I-V* 和 RF 测量使用高频探针以提供精确、快速、非破坏性及可重复性的结果，频率可高达毫米波频段。器件测量的概述如图 22.1 所示。

在晶体管中，通常将一个终端作为输入使用，另一个终端作为输出使用，将第三端接地。在 FET/HEMT 中，通常是源极接地，这种结构称为共源。共源结构具有最大的增益，而共栅和共漏结构增益较低，但可以在不用任何额外匹配网络(第 11 章中讨论)的情况下在宽带范围内匹配到 50 Ω。

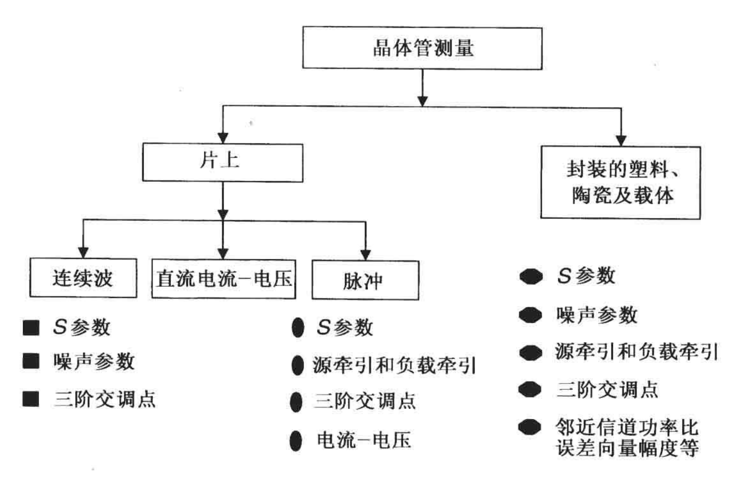


图 22.1　晶体管测量概述

22.1.1　*I-V* 测量

线性工作的晶体管工作在偏置点或静态点，即 Q 点。在这种情况下，器件具有很大的压摆和流摆范围。这样的电压和电流振幅可能达到电压击穿值和开放沟道电流极限值。因此测量器件的 DC *I-V* 数据对于估计电压和电流容量十分重要。这些数据是通过控制栅极或基极电压/电流，在漏极 - 源极或集电极 - 发射极之间测量的。

I-V 测量是偏置设计和非线性器件模型不可或缺的一部分，这涉及器件寄生电阻的测量和 *I-V* 关系。许多器件具有频散特性，即电流是频率的函数。对于这种器件，测得的 DC g_m和根据 DC *I-V* 数据计算得出的 RF 输出功率，都要比测得的 RF g_m和 RF 输出功率高一些。根据器件类型进行实验，可以观察到脉冲 I_{peak}比 DC I_{peak}低。这是由于器件在非常低的频率时会发生滞留现象，通过使用 RF 技术或脉冲得到的 *I-V* 数据来取代 DC 数据，可以使这种异常最小化。因此为了精确地估计器件功率容量，使用脉冲技术(脉宽为 1 μs 或更小)获得 *I-V* 数据对于测试晶体管非常重要。

DC 或者脉冲 *I-V* 数据可以使用自制的测试装置或者商用设备测得。脉宽在 1 μs 数量级，RF 频率在 1 MHz 数量级。图 22.2 给出了一个 625 μm FET 测得的 DC 和脉冲 *I-V* 数据。当忽略热效应时，对于功率 FET/pHEMT 测得的脉冲电流总是低于 DC 值，而且 DC 和脉冲的峰值电流之间的差别可能高达30%。当器件没有频散效应时，即 DC g_m值与 RF g_m值相同，由于热效应较低，在较高的漏极-集电极电压下的脉冲电流值要高于 DC 电流值。

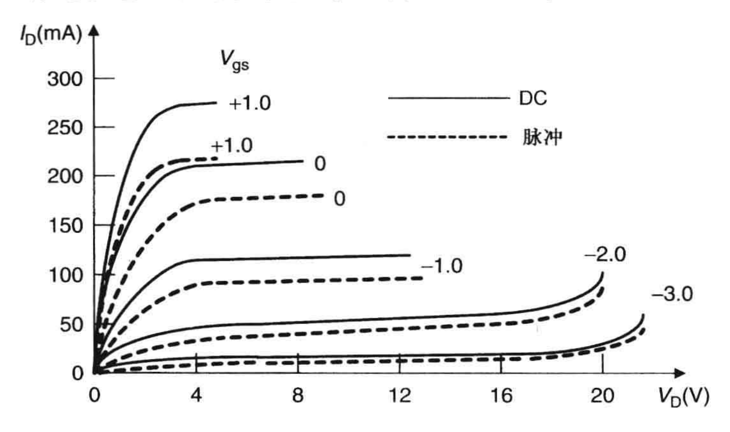


图 22.2 625 μm FET 测得的 DC 和脉冲 *I-V* 数据展现电流频散

22.1.2 *S* 参数测量

S 参数用向量网络分析仪(VNA)进行测量。VNA 是一套十分复杂的系统，基本组成包括综合源、双反射计测试设备、带下变频和中频检波器的多信道接收机、A/D 转换器、数据处理单元及显示器。该系统可以在超宽带内测量数百个点并且具有出色的分辨率。将 DUT(待测器件)通过探针/连接头和电缆连接到双反射计测试设备，小信号 CW(连续波)VNA 或脉冲功率 VNA 都可用。

VNA 测量会受到漂移(由温度和时间相关的变化引起)、随机不确定性(由系统噪声和连接头的重复性引起)及系统误差(由耦合器、连接头、电缆引起的元件不理想性和失配误差)的影响。系统误差是可重复的，可以通过使用由 VNA 供应商提供的向量校准程序消除。现代的校准程序使用多种类型的校准基准，适用于各种各样的传输介质(例如同轴线、波导、共面波导、微带线)。

使用小信号双端口 *S* 参数测量来确定器件的 RF 性能，虽然大信号 *S* 参数测量同样适用，但是通常不使用。*S* 参数测量使用 VNA 在 50 Ω 系统中进行。基本的 *S* 参数测量是小信号的，包括测量入射波、反射波和透射波的幅度与相位。VNA 在每个端口测量输入信号和输出信号的幅度与相位，确定其对参考平面参考信号的比例。在每一个频点处计算这些值的比例并对这些数据进行后处理得到 *S* 参数。整个处理过程在每个频点需要的时间为 1 ms。由于在 DUT 与 VNA 参考平面之间存在线/电缆、接头/发射器等，使用去嵌入的基准用来精确地将 DUT 的 *S* 参数从

参考平面中提取出来。去嵌入步骤是 VNA 测量中不可或缺的一部分。由于 S 参数测量是基于双端口向量校准，同时经过去嵌入步骤，因此其精确性和可重复性远远高于其他任何基于标量校准的测量方法。图 22.3 展示了基本的 S 参数测量方案。

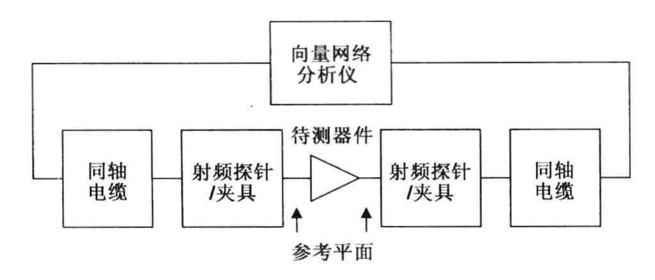


图 22.3　基本的 S 参数测量方案

现代的 VNA 适用于单、双端口的带信号接口及探针触点的 50 Ω 系统的 S 参数测量。EC 模型的参数由 S 参数变换为 Z 参数和 Y 参数得到。器件的 S 参数测量（$V_{ds}=0$）称为冷测量，同样可用来精确提取外部器件的 EC 模型参数值。

校准方法

为片上测量选择可行的校准方法对于实现精确测量是十分关键的。校准，实际上是指校准基准，若不使用片上的校准基准则会导致测量结果的误差。大体上，片上校准有两个重要的部分：校准基准（包括校准核实器件）和校准方法/步骤。

校准过程的第一步是建立基准和校准核实器件。基准是用来确立一个不变的参考点，所有的测量都以此为基础。核实器件是第二基准，用来核实（交叉检验）校准的精确性。

校准过程的方法和步骤要能够消除系统误差，使测量的可重复性达到最大化。使用者需要用一些步骤来确保校准过程的良好性，包括仪器维护、连接头的使用和保护、设备清洁、温度和湿度控制、操作员训练、步进指令、探针放置、探针对准及探针按压。使用探针发射位置附近的“标记”有助于可重复性测量。如果没有严格坚持遵循这些良好校准和测量实践的要求，就不可能有可重复和精确的测量。

网络分析仪通常要进行向量校准来消除测量系统误差，这通过对校准基准进行测量来实现。在测量校准基准之后，计算一个 12 项的误差修正模型并储存在网络分析仪中，这些误差项在校准频率范围内对误差进行了量化。

一些现在流行的校准方法包括短路-开路-负载-直通（SOLT）法、直通-反射-传输线（TRL）法及传输线-反射-匹配（LRM）法。大多数的使用者都选择 SOLT 法，因为片上基准是可商用的。这些商用片上校准基准在蓝宝石基底上组装，称为阻抗基准基底（ISS），包括短路器、传输线和负载。ISS 同样包括那些用于核实校准精确度的器件，例如开路器、短路器、负载、电感、电容。在一个给定的频率范围内，这些基准的精确度可以根据精度和可重复性来估算。在 MIC 和 MMIC 中，可以在同样的基底上放置校准基准及组装器件/元件。

SOLT 法

SOLT 校准技术广泛使用在同轴基准和片上基准。但是要注意它在 IC 介质中的边缘效用，尤其是在 15 GHz 以上表现得更加明显，这时已经无法利用已有的开路和短路基准。针对每一个探针，都要确定出 ISS 开路器（探针托举在晶圆上）呈现出的边缘电容，测量和修正短路器呈现出的电感，而且这些基准当中的频散现象也会使得校准不够精确。与每一个基准密切相关的

寄生效应都要改变预期的特性，这会引起校准数据中的误差，应该确定这些寄生效应来尽可能减小测量误差。图 22.4 展示了一套使用 SOLT 法的片上微带校准基准。

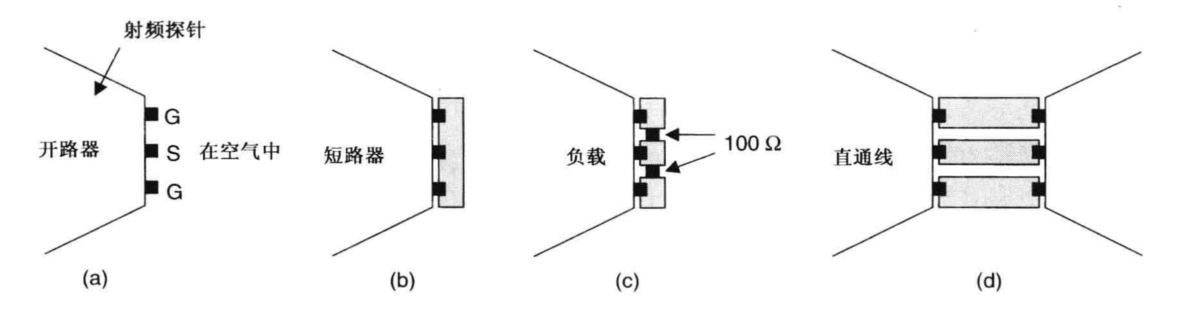


图 22.4 使用 SOLT 法的片上校准基准：(a) 开路器；(b) 短路器；(c) 负载；(d) 直通线

TRL 法

TRL 校准技术所需要的物理基准数量最少，即一个直通线、一个或多个延迟线、两个反射系数未知的等长度反射器。因此这种方法仅有的基准就是等阻抗线长度。在这种方法中，参考平面可以设置为直通线或反射器。图 22.5 展示了一个使用 TRL 法的微带校准基准，应用于片上校准，在这种情况下需要使用可再生、低寄生电抗的通孔，图中的垂直线表示校准参考平面。TRL 校准技术不但精确，而且基准比较简单，可以轻松地放置在与组装元件/IC 同样的基底上，因此保证了相同的传输介质。这种校准技术在确定参考平面时灵活性更好，同时将两个探针间的辐射串扰影响降到最低，而这种影响是由于这两个探针之间的距离不像在 SOLT 校准技术中使用直通测量时那么接近而引起的。

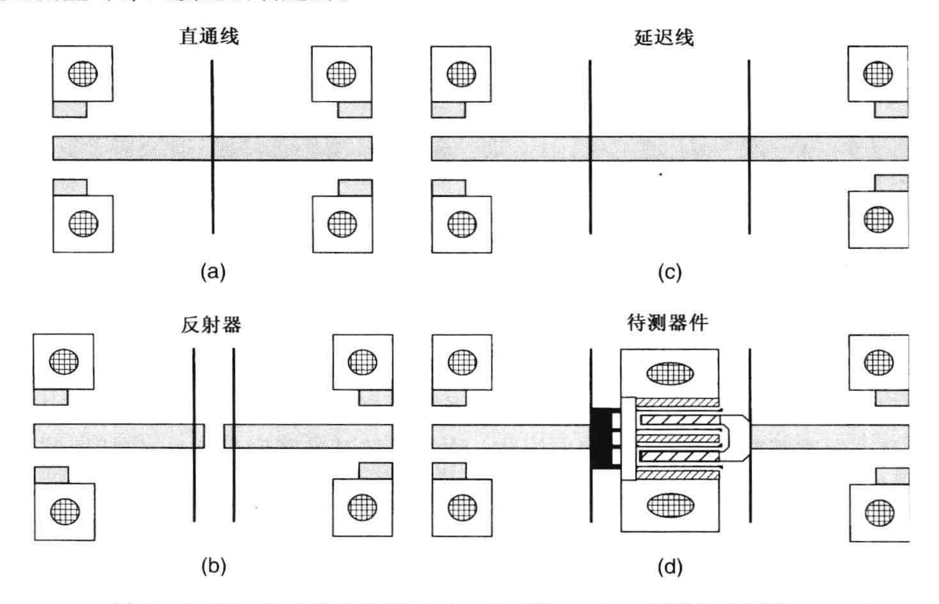


图 22.5 TRL 校准基准及测量：(a) 直通线；(b) 开路器和反射器；(c) 延迟线；(d) 嵌入 TRL 基准中的待测器件。通孔至背面接地

TRL 校准需要一个直通线、每个端口一个高反射阻抗、一个或多个延迟线（数量取决于校准带宽）。参考测量平面可以设置在直通线的中心位置。直通线的长度应该尽量短，但也要足够长以免探针之间互相影响。这避免了由 CPW 向微带过渡所引起的高阶模激励影响，这些影响

也包含在误差项内。延迟线的长度与数量取决于频率带宽。0.5 ~ 18 GHz(0.5 ~ 40 GHz)系统的校准需要两个(或者三个)不同长度的延迟线，但是仅一次扫描便可完成整个频率范围内的测量。要校准更低的频率就需要长度更大延迟线。一般来说，在低频端电长度应该高于20°，而在高频端应该低于160°。线的电长度若达到π的整数倍将会引起病态误差项。

LRM 法

LRM 校准技术在 SOLT 法和 TRL 法的基础上取其精华去其糟粕。在 TRL 法中，线基准受带宽所限，只能用于 8∶1 的频率范围。在低频端，传输线基准不方便变长。除了将延迟线基准替换为宽带匹配负载之外，LRM 法同 TRL 法相类似，可以与其他基准在相同的基底上实现。因此 LRM 法有三个步骤:第一，连接直通线;第二，连接一对完全相同的反射阻抗;第三，连接一对匹配负载。已经证实了在 1.5 ~40 GHz 范围内 LRM 技术比 SOLT 和 TRL 技术具有更高的精确度。

图 22.5(d)和图 22.6 分别展示了使用 TRL/LRM 和 SOLT 校准去嵌入技术测试一个串联结构 FET 的 S 参数。图 22.6 中的器件结构适用于混合放大器的情况，而图 22.5(d)则适用于 IC 放大器的情况，图 22.6 中给出带有栅极和漏极焊盘的引线键合。在参考文献[4]和[5]中给出了校准基准的概述。

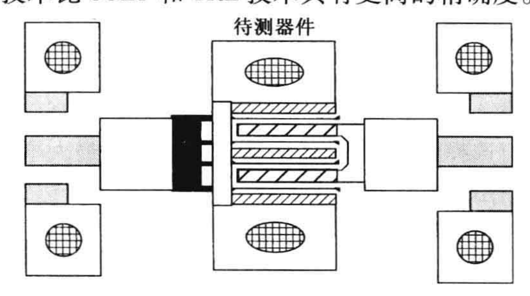


图 22.6 嵌入 SOLT 结构中的待测器件

22.1.3 噪声参数测量

有多种方法可用于晶体管噪声特性的建模。一种常用的噪声参数测量方法是基于晶体管噪声模型，使用了第 4 章和第 5 章中描述的噪声参数，并且支持商用 CAD 工具。该噪声模型由噪声参数(F_{min}、Γ_{opt}和 R_n)和 S 参数组成。噪声参数的提取方法与源牵引和负载牵引技术类似，将在下一节中具体介绍。基本的片上噪声参数提取测试装置如图 22.7 所示，它包含了输入和输出的电调谐模块(ETM)。ETM 由一个固态调谐器和一个低损耗 SPDT(单刀双掷)开关组成。通过使用 SOLT 或者 TRL 去嵌入技术，将阻抗参考平面精确地设置在待测器件的输入和输出端上。匹配输入端以获得 F_{min}及常数的噪声系数等效值(Γ_{opt}和 R_n)，而输出端按照复共轭阻抗进行匹配。S 参数在 50 Ω 下测量。

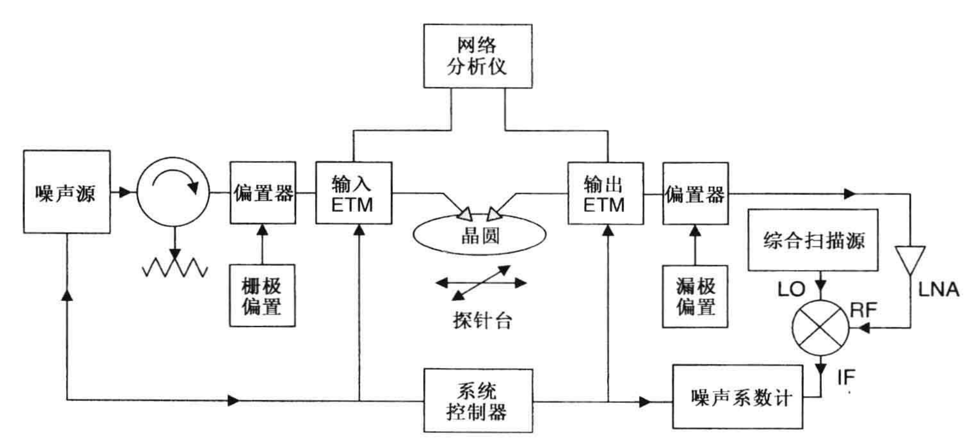


图 22.7 基本的片上噪声参数提取测试装置

22.1.4 源牵引和负载牵引测量

对于晶体管特性而言，源牵引和负载牵引测量技术是为了确定源和负载的条件，从而实现输出功率、PAE(功率附加效率)、IP3(三阶交调点)、ACPR(邻信道功率比)的最优化。但是这种测量需要一些昂贵的实验设备，包括信号综合源、功率计、频谱分析仪、网络分析仪、带驱动的调谐器、环形器、可变衰减器、耦合器。在这一节将简单讨论源牵引和负载牵引的测量。

功率及 PAE 的源牵引和负载牵引

在高性能功放的设计中，需要有精确的非线性器件模型或者精确测量的源牵引和负载牵引数据。通过知晓正确的基波和谐波频率的源与负载条件，能够得到功放的最佳匹配设计，同时实现最高的功率输出和 PAE 性能。这些测量既可以使用片上 RF 探针，也可以使用已封装的器件。

参考文献[16 ~26]中有一些方法可用来得到源牵引和负载牵引数据。但这些都是经典的手动化技术，而使用无源固态调谐器、有缘负载牵引的自动化方法可以同时实现谐波终端、交调失真或 ACPR 的优化。一个基本的源牵引和负载牵引装置如图 22.8 所示：根据估算的相关功率增益值选择输入功率；输入调谐器设置为最大增益并且有较好的输入匹配；调节输出调谐器达到最大输出功率或者最大 PAE，或者两者同时达到最大；然后断开调谐器，使用网络分析仪测量源阻抗和负载阻抗。重复这些步骤，在一些感兴趣的频率范围内改变源和负载的设置。多数情况下，这些测量是全自动进行的。一个典型的带有固定输入调谐器的自动负载牵引测试装置如图 22.9所示。为了使源牵引和负载牵引测量全自动进行，需要使用如图 22.10 所示的测试装置：当输入功率和输入匹配是固定值时，如第 5 章所描述，史密斯圆图上的负载牵引数据沿着常数功率等值线、常数 PAE 等值线或者两者一起变换，可以帮助我们设计功放电路的输出匹配网络；类似地，当输出匹配固定时，根据史密斯圆图上的源牵引等值线，可以得到输入匹配、增益、功率及 PAE 值。

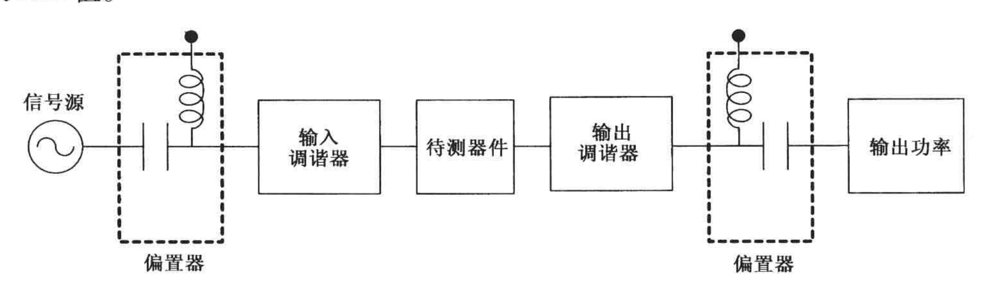


图 22.8 基本的源牵引和负载牵引测试装置

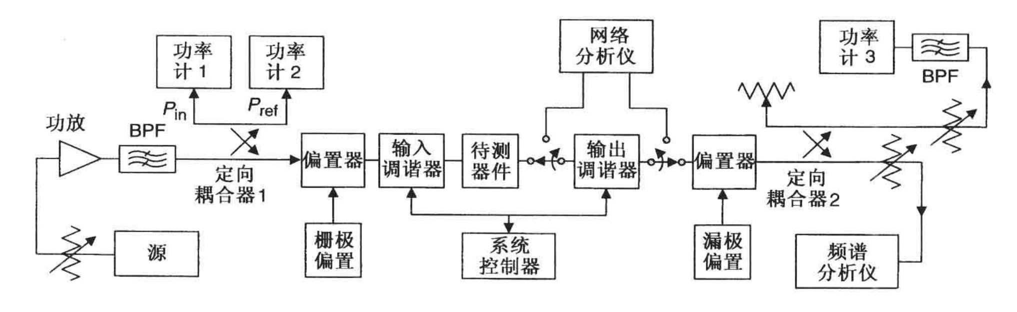


图 22.9 典型的固定输出调谐器的负载牵引测试装置

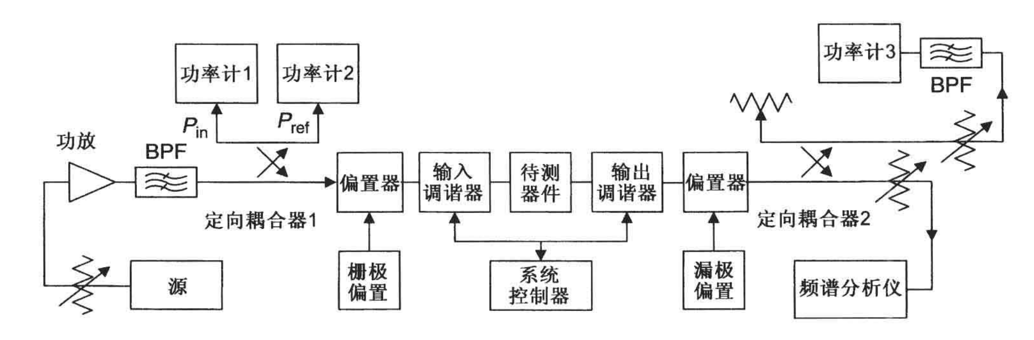


图 22.10　典型源牵引和负载牵引测试装置

频谱分析仪(SA)是用于测量谐波功率电平、交调分量及振荡特性的仪器，对于在非线性模型中使用晶体管的装置都是不可缺少的。但使用 SA 测量的功率电平精确度不如使用 VNA 或功率计测量所获得的精度。

大型晶体管阻抗较低，又因为机械调谐器的阻抗变化范围有限，所以要得到精确的源牵引和负载牵引特性很困难。晶体管终端和调谐器之间的损耗将晶体管终端实际的反射系数限制在 0.8 ~ 0.9 范围内。在这种情况下，可以使用片上或片外 $\lambda/4$ 变换器的晶体管预匹配技术。图 22.11展示了预匹配 FET 结构的原理图，在这种方法中，晶体管阻抗变换为可测量的值，而源牵引和负载牵引数据可以通过调谐器得到。使用去嵌入技术，测得的源牵引和负载牵引数据可以转换到器件的终端。由于使用了 $\lambda/4$ 变换器，预匹配技术带宽有限。可以选择适当的晶体管尺寸，这样预期的源和负载阻抗就可以位于可测量的范围内。然后将测得的源和负载阻抗通过尺度变换以适合其他器件的尺寸，这一点已在第 5 章描述。

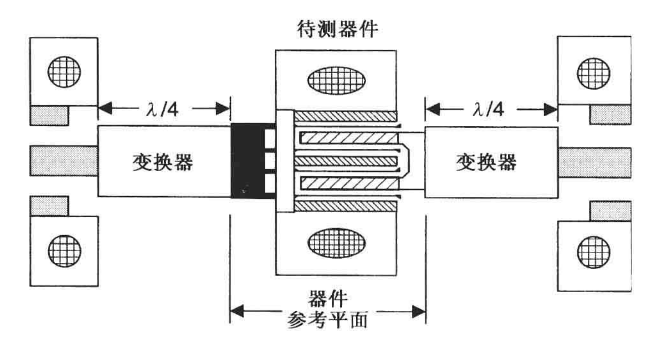


图 22.11　使用 $\lambda/4$ 变换器的预匹配技术原理图

上面提到的使用机械调谐器的负载牵引技术，存在调谐器损耗及调谐器和待测器件之间的损耗是其主要缺点，这是由测试夹具、连接头(或 RF 探针)、连接电缆引起的。损耗限制了高功率器件或高频器件所需的高反射系数的实现，这个问题可以通过使用有源负载牵引技术来缓解。有源负载牵引技术的主要优点是不仅在器件终端得到反射系数，也在对负载基波、二次、三次谐波频率进行谐波调节时得到反射系数。图 22.12 展示了一个典型的具有谐波调节能力的有源源牵引和负载牵引测试装置。

IP3 的源牵引和负载牵引

许多系统除了需要较高的输出功率性能和 PAE 性能之外，还需要较高的 IM3/IM5 交调失真性能和 ACPR 性能，有些负载牵引技术可以确定这些晶体管的特性参数。因此可以对某些特殊应用

的有源器件确定其最佳的源和负载条件。图 22.13 展示了一个典型的 IP3 特性源牵引和负载牵引测试装置。这个装置针对两个频率的测量需要两个综合源，两个载频通常相隔 5 ~ 10 MHz。其他的测试步骤与功率和 PAE 特性的测试相类似。ACPR 特性的测试使用数字调制载波，这一点将在放大器测量中做出描述。

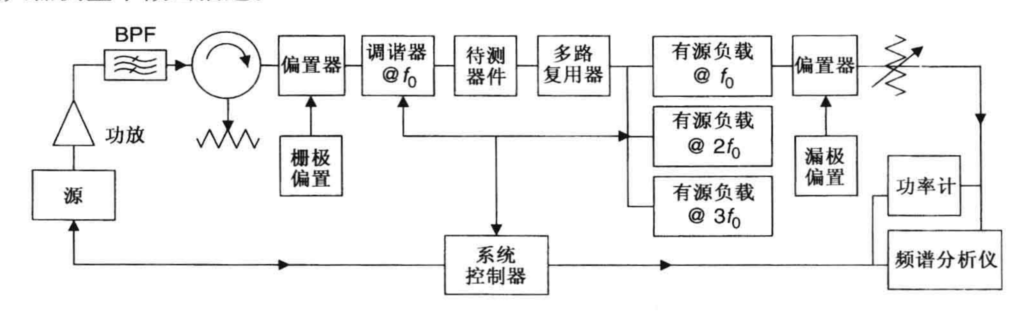


图 22.12 典型的具有谐波调节能力的有源源牵引和负载牵引测试装置

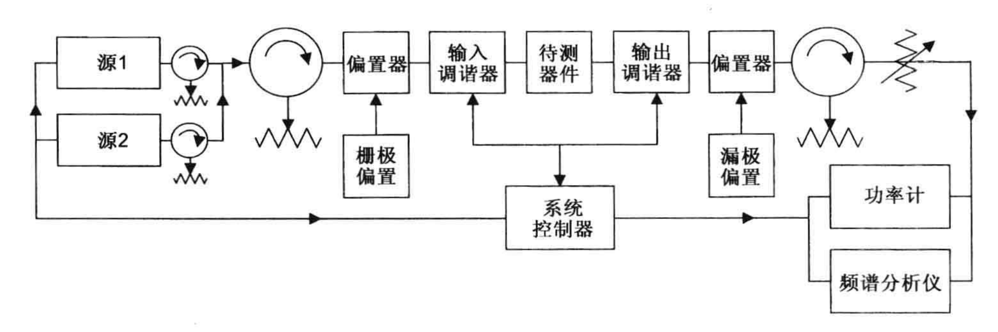


图 22.13 典型的 IP3 测量的源牵引和负载牵引测试装置

对于大器件尺寸或者高压工作的器件，调谐器不能获得精确的源和负载阻抗值，这是由于电缆、连接头及 RF 探针上的损耗限制。这种情况下，使用 λ/4 变换器对器件做预匹配，以使器件阻抗更接近史密斯圆图的中心位置。通过适当的去嵌入技术，可以得到器件的源和负载阻抗。

22.2 放大器测量

许多关于晶体管的测试步骤同样适用于放大器，反之亦然。在放大器特性测试中，既可以去掉调谐器，也可以将从调谐器看进去的阻抗设置为 50 Ω。放大器测试的综合描述如图 22.14 所示。

22.2.1 使用 RF 探针测量

许多小信号 MMIC 放大器和塑料封装的驱动放大器都可使用 RF 探针进行测量。在安装到载体上或封装之前，使用脉冲功率测量对功放进行片上测试以便筛选，这包括 *S* 参数（增益、隔离度、输入和输出回波损耗）、IP3、噪声系数、相位噪声。通常使用适用于商用蓝宝石基底的 SOLT 基准对 RF 探针进行校准。为了检查测量的有效性，通常使用金质的基准或者基准电路。MMIC 放大器使用片上测试[见图 22.15(a)]，而塑料封装放大器则装载到石墨托盘上（通常可以承载 100 个电路）进行自动测试[见图 22.15(b)]。

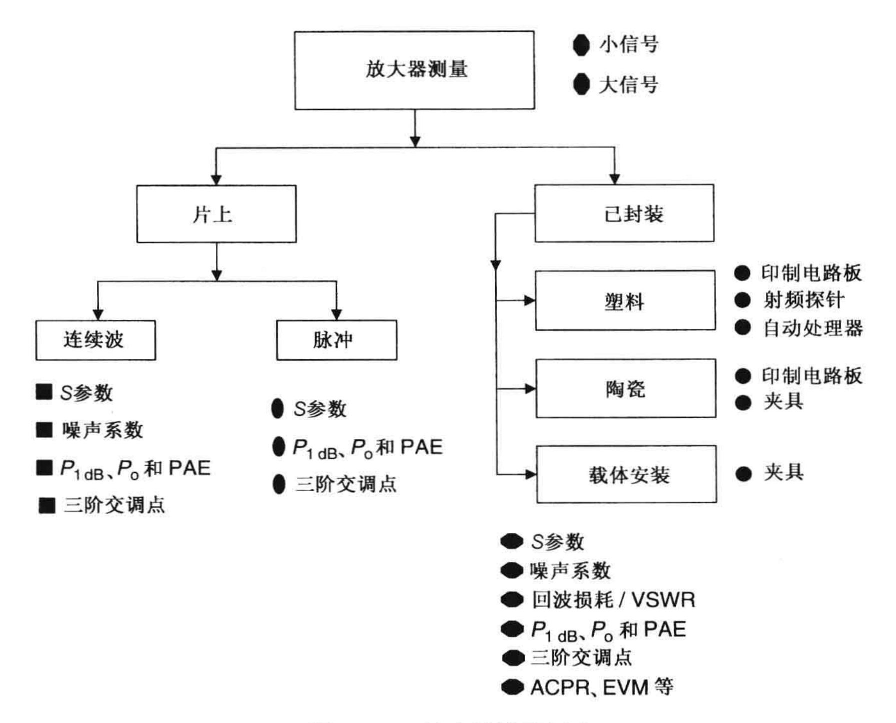


图 22.14　放大器测量概述

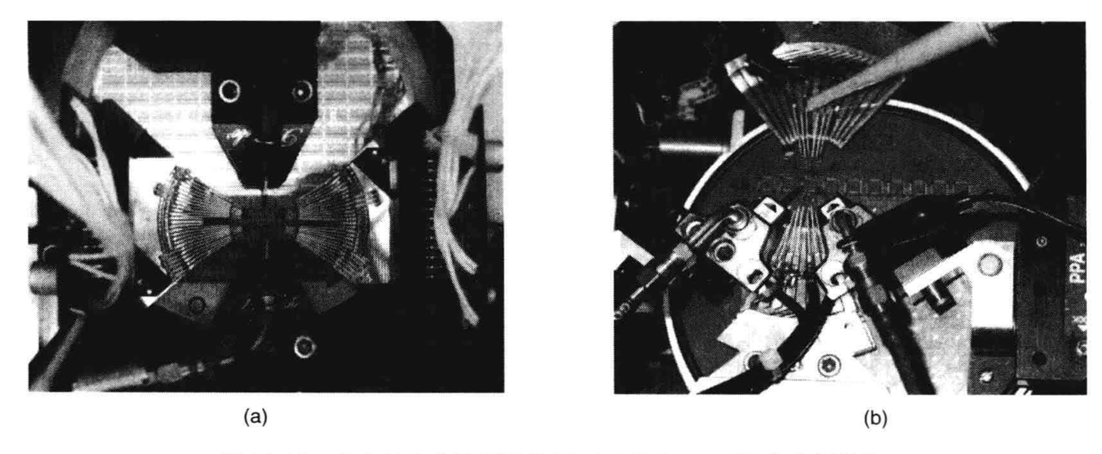


图 22.15　基本的 *S* 参数测量装置：(a)片上 HPA 脉冲功率测量；
(b)使用RF探针对塑料封装的驱动放大器进行测试

22.2.2　驱动放大器和 HPA 的测试

塑料封装的器件也可以由自动处理器在载体上进行测试，样品可以安装在 PCB 上进行测试。陶瓷封装放大器的测试要使用夹具，此时基波和谐波频率的输出功率作为输入功率的函数进行测量。基波输出功率通常使用功率计(连续波和脉冲)测量，而谐波则使用频谱分析仪(SA)测量，同时 SA 也可以用来检测功率测试器件的振荡特性。在功放的测试中，保持底座的温度在规定的范围内是十分重要的。在测试期间，可以将 HPA 安装在散热器或冷却/加热平台上，将底座温度维持在特定的范围内。

图 22.16(a)展示了一个测量 P_o 与 P_{in} 之比的装置。在这个装置中，使用频谱分析仪测量谐波电平，使用片上偏置网络或外部偏置器(未画出)设置放大器偏置;改变输入功率得到符合要求的线性压缩增益测量值;使用功放是为了在待测器件的输入端得到正确的功率电平;LPF 用来滤掉谐波。该系统在待测器件的输入和输出端进行校准，功率计 1、2、3 分别用于测量反射功率、入射功率和输出功率。对于每一个输入功率电平，都要测量栅极和漏极电流。根据 P_o 与 P_{in} 之比及每一个输入功率电平的漏极电流，可以计算出 PAE 和 $P_{1\,dB}$。图 22.16(b)是陶瓷封装 HPA 测试装置的照片。

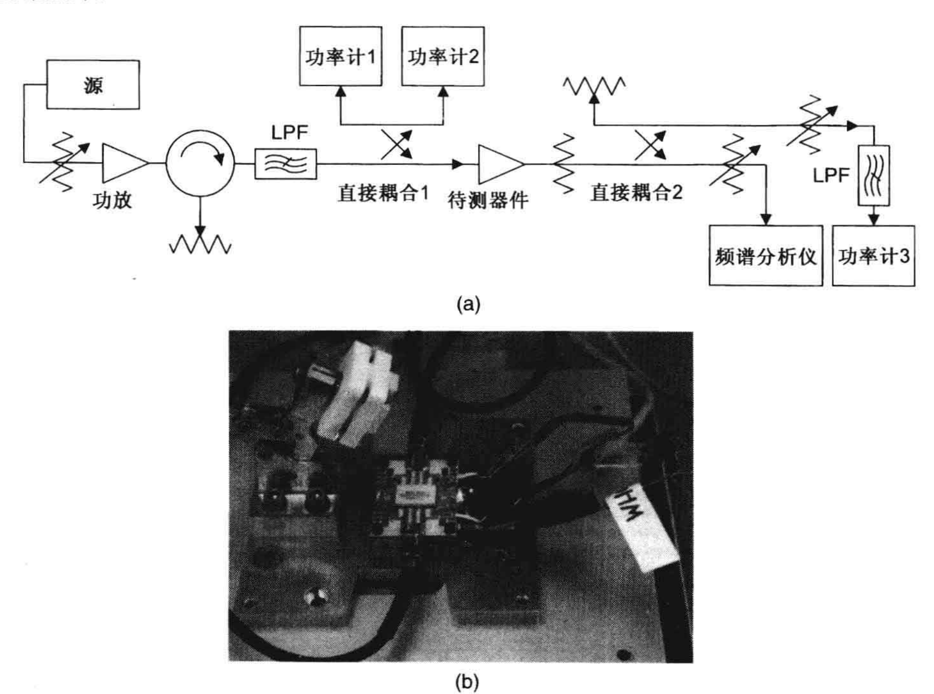


图 22.16　典型的 P_o 与 P_{in} 之比的测试装置:(a)原理图;(b)照片

因为这个装置测量的是标量，所以大多使用的是窄带元件，而且是根据工作频率选择的。当元件和测试台匹配至 50 Ω 时(回波损耗优于 20 dB)，标量的测量精确度/可重复性会更好。元件之间由失配引起的相互影响越小，功率测量的精确度就会越高。

22.2.3　大信号输出 VSWR

大信号条件下放大器的输入回波损耗使用脉冲功率 S 参数进行测量，或者使用如图 22.16 所示的装置进行测量。大多数功放输出回波损耗的小信号回波损耗可以通过使用 VNA 进行测量，但是大信号测量同样重要，一种测量大信号(全功率)回波损耗的简单方法是驻波开槽线技术[3, 27]。在这种技术中，使用驻波比(SWR)计或功率计，测量沿着开槽同轴线或波导的电场驻波模式，使用探针检测驻波电场的微小扰动。

图 22.17 为一个简单的开槽线 SWR 测试装置。探针沿着开槽线移动，得到最大的功率计读数(例如 p_{max})，然后如此反复地移动探针，在任意方向得到最小的功率计读数(例如 p_{min})，则 VSWR、反射系数及输出回波损耗如下:

$$\mathrm{VSWR} = \sqrt{\frac{p_{\max}}{p_{\min}}},\quad \Gamma = \frac{\mathrm{VSWR}-1}{\mathrm{VSWR}+1},\quad \mathrm{RL} = -20\log\Gamma \tag{22.1}$$

22.2.4　噪声系数测量

如图 22.17 所示的测试装置也可以用来测量放大器的噪声系数(NF)，只需将 ETM 设置为 50 Ω。在 NF 的测量中，使用超噪比(ENR)源对系统进行校准。两个简单的 NF 测量装置如图 22.18 所示。低于 1.5 GHz 时，可以使用噪声系数计直接测量待测放大器的 NF；而高于 1.5 GHz 时，就需要额外的混频器，中频(IF)一般约为 70 MHz。使用这些测试装置就可以测量待测器件的 NF 和增益。因为这些都属于标量测量，所以通过保持系统温度不变及保持较好的回波损耗，就可以得到精确的、可重复的测量结果。

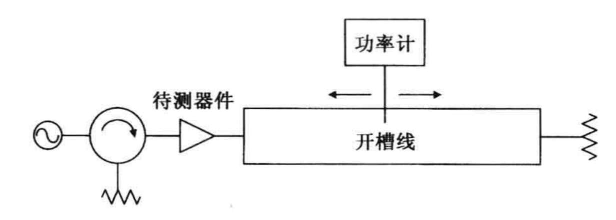


图 22.17　简单的开槽线 SWR 测量装置

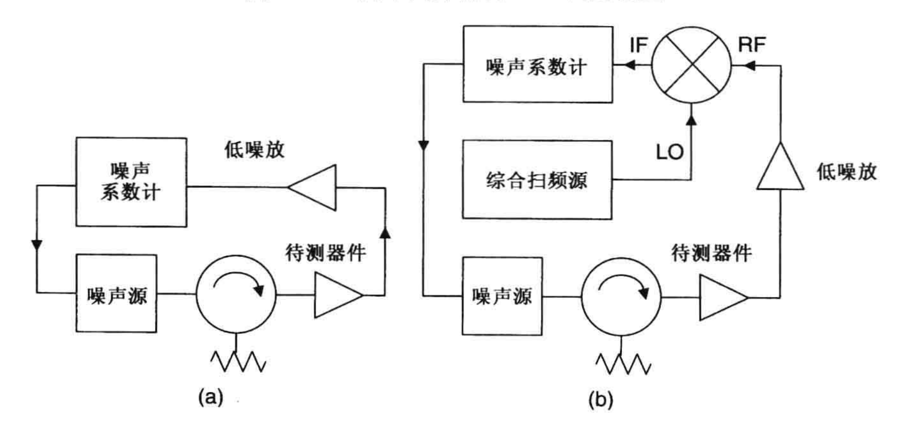


图 22.18　简单的 NF 测量装置：(a)低于 1.5 GHz；(b)高于 1.5 GHz

22.3　失真测量

有一些技术可以测量放大器的失真[3, 10, 28]：

- AM-AM 和 AM-PM，单音信号
- TOI 或 IP3/IM3，双音信号
- $C/I=2(\mathrm{IP3}-P_{\mathrm{f}})$，双音信号
- ACPR，数字调制信号
- $\mathrm{NPR}=(C+I)/I$，多音信号
- EVM，数字调制信号

接下来讨论这些技术。

22.3.1　AM-AM 和 AM-PM

测量放大器失真最简单的方法是测量 AM-AM 和 AM-PM。前面的章节介绍过 AM-AM 的测量，可以使用 VNA 来测量 AM-PM，VNA 同样也可以测量 AM-AM。如图 22.19 所示是一个简单

的测试装置，可用来测量这些参数。此时，要选择衰减器的衰减值以保证 VNA 处于安全的功率电平。

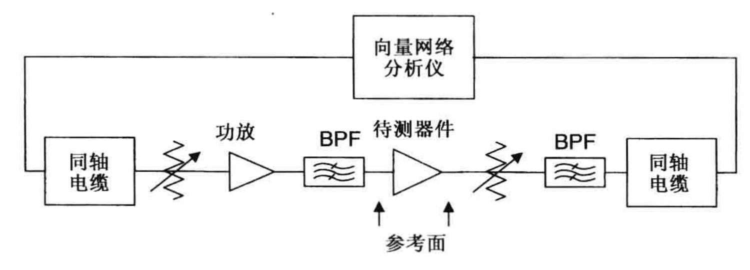


图 22.19　AM-AM 和 AM-PM 测量装置

通过测量参考平面上 S_{21} 的幅度和相位与输入功率的比值，可以计算在要求的输出功率时 AM-AM 和 AM-PM 的值。例如，对于一个两级 6 W 的 HPA，在 5.5 GHz 时 S_{21} 的幅度和相位随输入功率的变化为：

输入功率(dBm)	$\|S_{21}\|$(dBm)	$\angle S_{21}$	增益(dB)
15	35.0	50.0°	20.0
16	36.0	50.2°	20.0
17	36.8	50.8°	19.8
18	37.5	53.0°	19.5
19	38.0	55.9°	19.0
20	38.3	58.9°	18.3
21	38.3	62.0°	17.3

$P_{1\,dB}$ 压缩点的输出功率为 38 dBm(6 W)，AM-PM 为 55.9° − 53.0° = 2.9°/dB，这个值在更高的增益/功率压缩点处基本保持不变。

22.3.2　IP3/IM3 测量

图 22.20 为测量 IP3/IM3 的常用测试装置。在测量中要用到一个频谱分析仪和两个频率综合源。通过频率源后面的衰减器将这两个相隔 10 MHz 的基频信号电平保持相等。选择频谱分析仪的带宽，可以读出基频及其最近的交调分量。所以可以使用下面的关系式计算 IP2 和 IP3：

$$\mathrm{IP2} = 2P_f - \mathrm{IM2} \tag{22.2}$$

和

$$\mathrm{IP3} = 0.5(3P_f - \mathrm{IM3}) \tag{22.3}$$

其中 P_f、IM2 和 IM3 分别是这两个信号的基波、二阶和三阶交调分量的功率电平(dBm)。

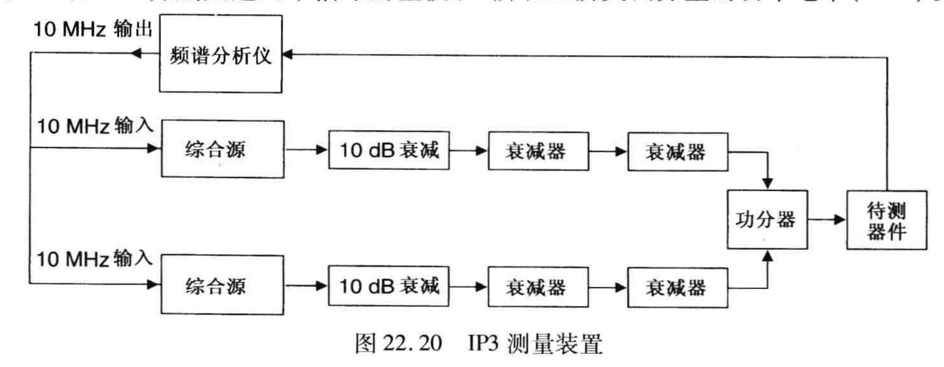


图 22.20　IP3 测量装置

在这个测量中，通常有三点需要注意：第一，隔离器位于待测器件和衰减器之间以减小相互影响，从而减小待测器件输入端的交调成分电平；第二，调节频谱分析仪的衰减器范围，使频谱分析仪在待测器件上的输出功率最大，同时也能保证工作在线性区域；第三，需要对供电进行滤波，保证没有杂散信号导致供电设备和待测器件之间互相干扰。

在 IP3 的测量中，需要额外注意偏置器或偏置网络的设计，将漏极偏置电压和栅极偏置电压的纹波保持最小。为了使测量得到的 C/I 之比优于 40 dBc，栅极偏置电压纹波和漏极偏置电压纹波必须分别低于 1% 和 2%。在变化不同的频率以改变电平时，或在较低的输出功率电平下提高其电平时，可能会由于晶体管的记忆效应，导致测得的交调分量出现不对称性。为了得到可靠的 IP3 数据，在频率高达 50 MHz 时，偏置网络（未画出）也必须具有较高的 RF 损耗（30～40 dB）。

22.3.3　ACPR 测量

可以使用两种方法来进行邻信道功率比（ACPR）的测量[28]：分辨率带宽（RBW）法和积分带宽（IBW）法。这两个技术在测量速度和频谱纹波灵敏度上都不相同。图 22.21 展示了这两种方法的测量装置。

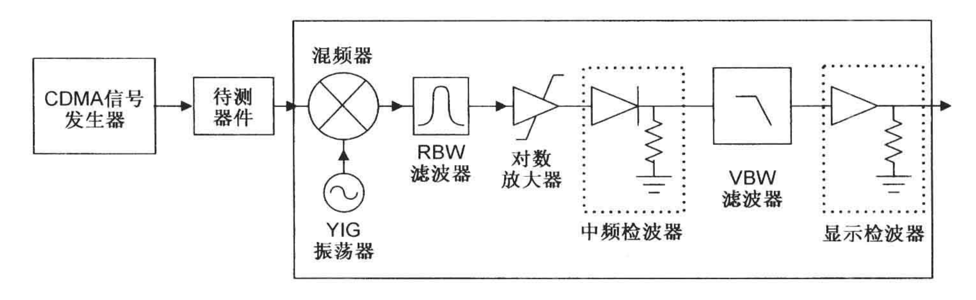


图 22.21　ACPR 测量装置

在 RBW 法中，RBW 滤波器的带宽设置为 30 kHz，视频带宽（VBW）滤波器的带宽设置为近似于 RBW 滤波器带宽的 3 倍，即 90 kHz，这样做用于减小平均响应误差。接下来，可以对主信道和偏移信道中特定带宽的信号进行时域扫描，测量其功率谱密度（PSD），并按照式（3.30）来计算出 ACPR。例如，对于 CDMA 功率放大器，两个偏移信道为 885 kHz 和 1.98 MHz，测量带宽为 30 kHz。在 IBW 法中，使用扫描谱来计算 PSD。这里，相对于我们想要的测量带宽，将 RBW 滤波器设置为窄带。这两个方法测得的 ACPR 结果是一致的。

22.3.4　NPR 测量

放大器的线性度也可以通过对噪声功率比（NPR）的测量来估算，测试装置如图 22.22 所示。在这种技术中，所有相邻信道造成的总失真是在工作通带的中间位置测得的。NPR 的测量与双音交调方法相类似，不同的是要将多载波信号通过非线性放大器，并且同时测量载波 - 干扰电平。例如，在测量中，用白噪声源和带通滤波器在载波频率处产生一个 25 MHz 宽的噪声信号，选择带通滤波器限制信号带宽，使其与待测器件带宽一致。然后让该信号通过一个信道带宽为 30 kHz 的陷波滤波器（带阻）[5]，带阻滤波器的阻带通常略微大于待测器件的通带。在这种情况下，陷波滤波器的谐振器需要非常高的 Q 值，而且大多数时候 50 dB 的测量范围就已足够。由于交调失真，信道的噪声基底上升了，载波 - 噪声电平比定义为 NPR。当用分贝（dB）为单位进行测量时，表示为 dBc，这是载波和噪声功率电平的不同之处。

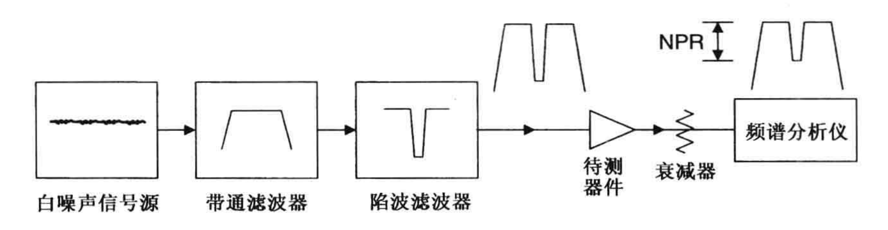


图 22.22 NPR 测量装置

22.3.5 EVM 测量

在误差向量幅度(EVM)的测量中，需要产生一个数字调制的测试信号。使用任意波形发生器(AWG)来产生 I、Q 基带包络，使用商用软件来产生包络波形。使用 RF 调制器将 I、Q 基带包络与载波频率进行调制。EVM 测量是使用向量信号分析仪(VSA)完成的。VSA 大体上就是一个接收机，可以处理各种调制格式和频率。图 22.23 为一个典型的 EVM 测量装置。

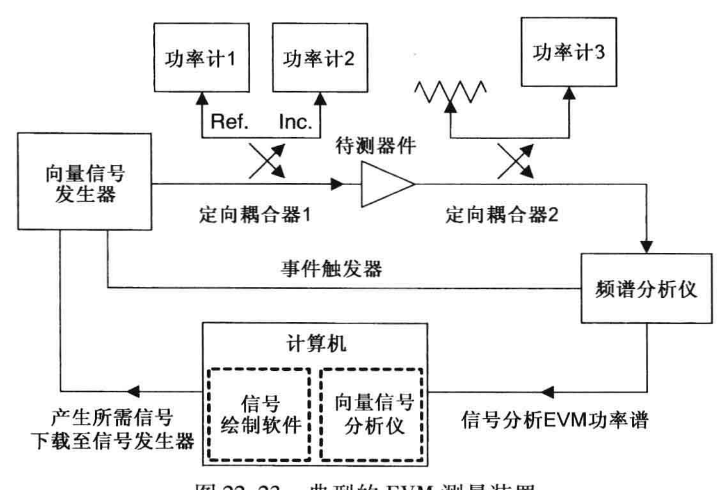


图 22.23 典型的 EVM 测量装置

22.4 相位噪声测量

包括现代雷达和卫星通信在内的应用中，需要低相位噪声的 LNA 和功放以扩展系统的工作范围、精度、灵敏度。LNA 的设计目标是低噪声系数，而发射机中预驱动放大器通常的设计目标也是低噪声系数，以此来保持发射机噪声系数处于较低的水平。而除去这些设计实践之外，没有其他的放大器设计是以低相位噪声为目标的。基本上，放大器的相位噪声很大程度上取决于晶体管的使用。可以看出较大尺寸的 FET/HEMT 可以实现较低相位噪声的 LNA，而在多级功率放大器中长宽比较小的器件可以得到较低的相位噪声。

有一些方法可以测量相位噪声，但每一种都有其各自的优缺点。参考文献[7]中给出了一些常用方法的概述。其中，使用双源的鉴相器法具有最佳的总体灵敏度。图 22.24 展示了一个典型的使用安捷伦(Agilent)仪器的相位噪声测试装置。该装置通过将待测器件替换为一个低损耗直通线、同时移除两个衰减器的方法来进行校准，并调节源的功率，使 LO 端和 RF 端测得的功率电平接近于设备的额定值。在这种情况下，偏移中心频率 1 kHz 时系统相位噪声要在 -155 ~ -160 dBc 范围内。

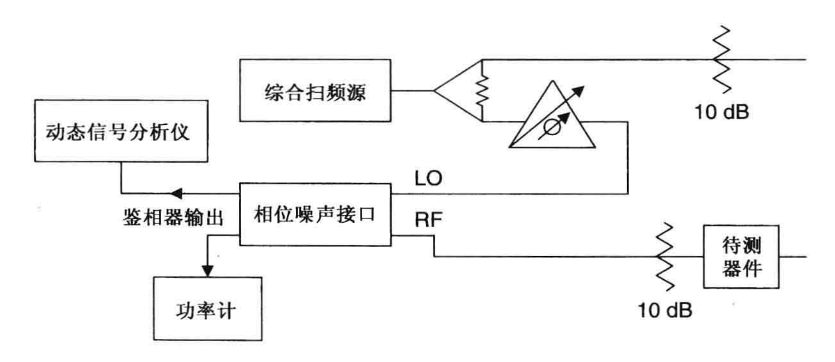
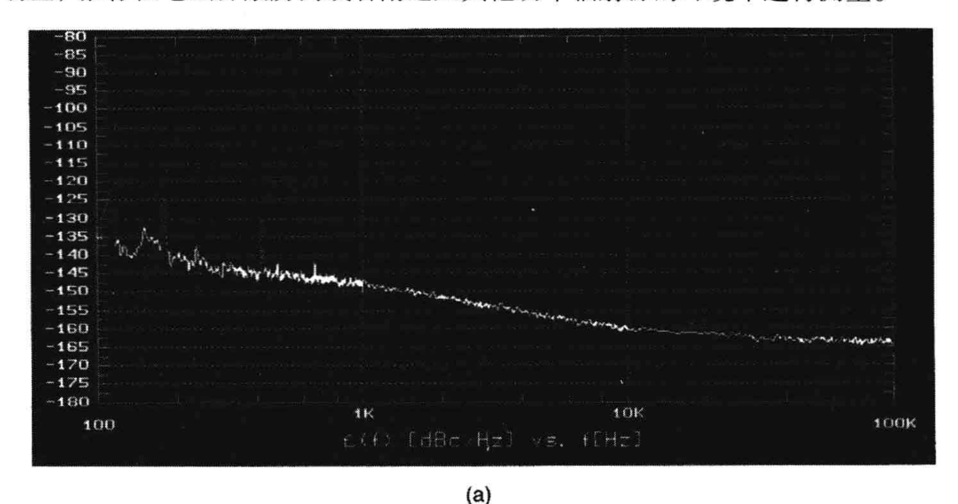
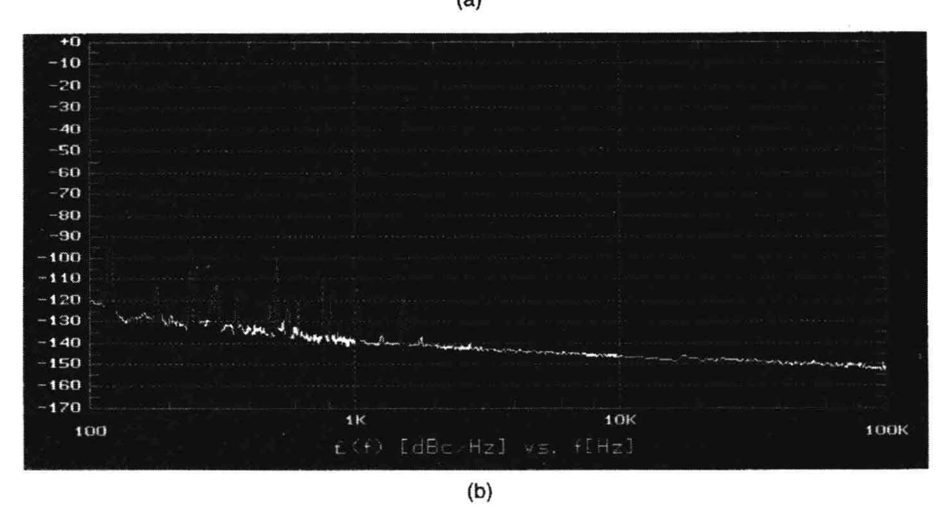


图 22.24　典型的相位噪声测试装置

将待测器件接入，按照设备供应商推荐的测试顺序进行。对于 20.1 节描述的限幅器/LNA 及一个 10 W HPA 的典型相位噪声测量图如图 22.25 所示。为了获得更精确、没有尖峰毛刺的相位噪声响应，推荐在电磁屏蔽房内或者附近无其他功率辐射源的环境中进行测量。



(a)



(b)

图 22.25　典型的相位噪声测量图：(a) 限幅器/LNA；(b) HPA

22.5 恢复时间测量

前面章节描述的高功率限幅器/LNA 广泛应用于商用和军用微波系统，需要对其移除大功率信号之后的小信号增益恢复时间进行测量。对此参数进行测量的电路选择商用 M/A-COM 限幅器/LNA MMIC[29]，这在 20.1 节中描述过。这种限幅器/LNA 的工作带宽为 8.5 ~ 12 GHz，标称值增益为 15 dB，NF <3 dB，输入三阶交调为 13 dBm，漏极和栅极的工作偏置电压、电流的标称值分别为 5 V、130 mA 和 −5 V、4 mA。

限幅器恢复时间的测量如下：将输入的 RF 信号从小信号电平状态脉冲化为大功率状态（限幅器为有源），然后使用检波器测量 RF 电平下降回到普通工作电平的响应时间[29]。由于设备所限，将可检波的 RF 小信号电平脉冲化为大信号电平的方法并不容易实现，因此使用双音 RF 测量恢复时间的系统得到发展。通过在待测器件工作频带的低端注入一个连续波小信号电平（F1）、而在高端注入一个脉冲的大功率信号（F2），然后使用许多测试实验室都可以找到的典型元件，将这两个信号在待测器件的输出端进行分离，就有可能测量其小信号恢复时间。选择这两个信号的频率，使用现有的低通滤波器来去除 F2 信号，这样就仅有 F1 信号的响应可以测量到。在该测试中，双定向耦合器用来组合信号，F1 信号从耦合器反射功率端注入，F2 信号在直通端注入，而耦合器反向隔离端用来将小信号 F1 信号和脉冲大功率 F2 信号分离开来。对于这个器件，F1 为 7 GHz、−10 dBm 连续波信号，F2 为 12 GHz、40 dBm、脉宽 10 μs、5% 占空比的脉冲信号，则可使用 8 GHz 低通滤波器进行分离。在器件的输出端，使用一个定向耦合器来对组合信号进行采样，低通滤波器用来滤除脉冲 F2 信号。接下来使用正输出电压检波器连接到高频示波器来测量恢复时间。参考图 22.26 所示的测试装置框图。

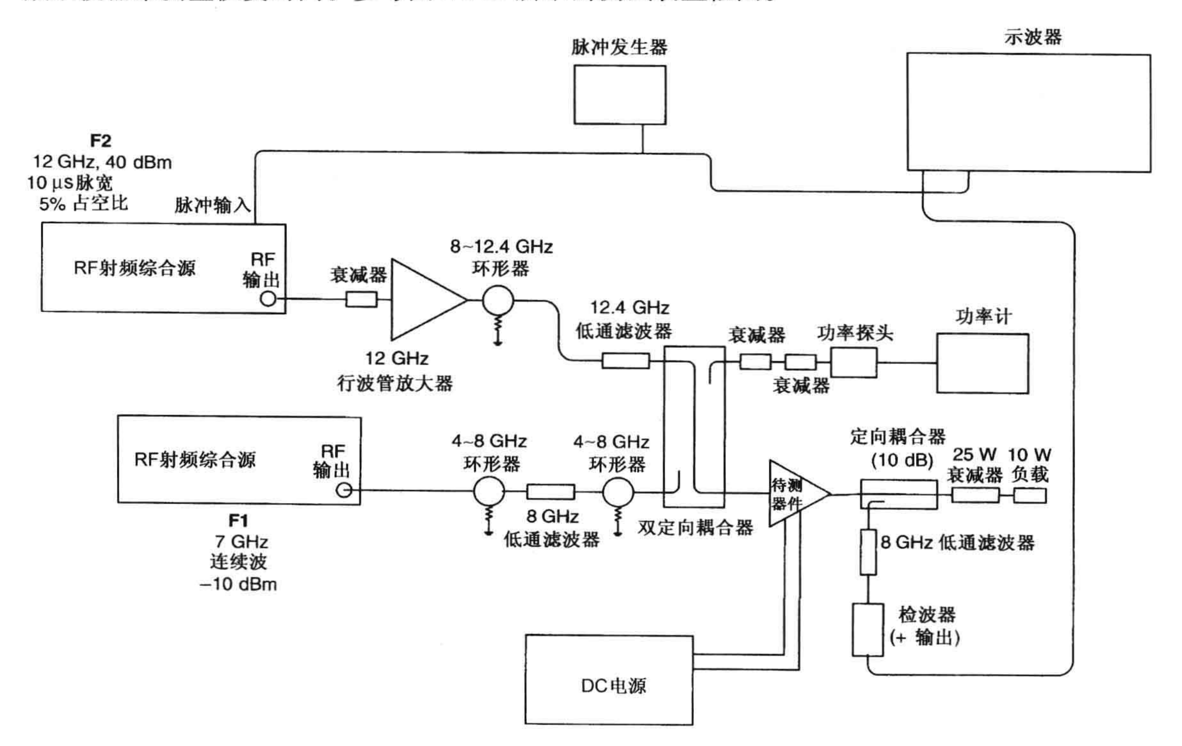


图 22.26 限幅器/LNA 恢复时间测试装置

图 22.27 的曲线图表示这两个频率信号的 RF 电平与时间之比。当大功率 F2 信号导通时(高电平)，限幅器的肖特基二极管等效为短路到地，连续波 F1 信号随后变小。

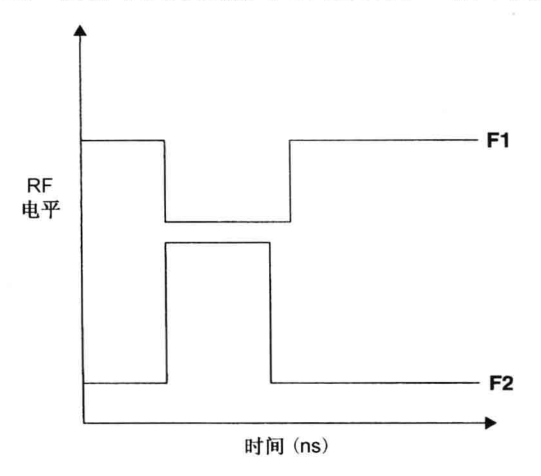


图 22.27 F1(连续波、小信号)和 F2(脉冲、大信号)之间的 RF 响应时间示意图

图 22.28 为一个示波器上典型的 RF 恢复时间图，使用其内部的上升时间测量功能来确定从 10% 到 90% 的上升时间(本例中为 36.6 ns)。通过使用负检波器来查看 F2 脉冲(在双定向耦合器的入射端)，就可以测量两个信号之间的延迟。该图是在限幅器全额定功率状态下得到的，即 10 W 连续波。基于此数据，限幅器恢复时间的允许界限 <100 ns 就可以轻松实现。在小信号条件下，从 10% 到 90% 的上升时间小于 5 ns。

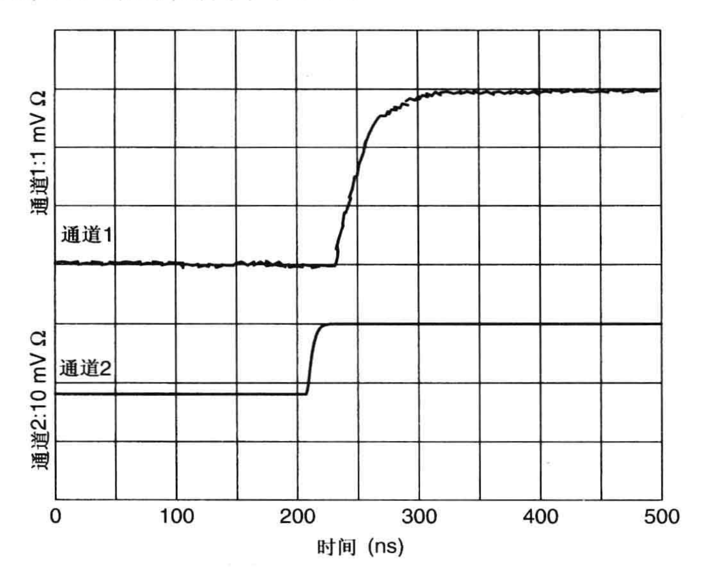


图 22.28 大功率脉冲激励下 F1 信号(通道 1)的 LNA 小信号恢复时间图(F2 信号，P_o 为 10 W、通道 2、负检波器)

本章包括晶体管和放大器测量方法的简要描述。除了基本的测量装置之外，有经验的测试设计者会使用许多其他修改过的装置和技巧，从而获得精确的 RF 和微波测量。读者可以查阅参考文献来获得更多的细节。

参考文献

1. Agilent, Santa Rosa, CA.
2. *Automated Tuner System*, Maury Microwave Corp., Ontario, CA. Focus Microwaves Inc., Pointe Claire, Quebec, Canada.
3. K. Chang (Ed.), *Handbook of Microwave and Optical Components*, John Wiley & Sons, Hoboken, NJ, 1989, Vol. 1, Chapter 9.
4. I. Bahl, G. Lewis, and J. Jorgenson, Automatic testing of MMIC Wafers, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng.*, Vol. 1, pp. 77–89, January 1991.
5. M. Golio (Ed.), *RF and Microwave Handbook*, CRC Press, Boca Raton, FL, 2000.
6. K. Chang, I. Bahl, and V. Nair, *RF and Microwave Circuit and Component Design for Wireless Systems*, John Wiley & Sons, Hoboken, NJ, 2002.
7. I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, 2nd edition, John Wiley & Sons, Hoboken, NJ, 2003, Chapter 9.
8. I. J. Bahl, 10W CW broadband balanced limiter/LNA fabricated using MSAG MESFET process, *Int. J. RF Microwave Computer-Aided Eng.*, Vol. 13, pp. 118–127, March 2003.
9. J. C. Pedro, Intermodulation, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 3, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2189–2215.
10. M. T. Abuelmaatti, Intermodulation Measurement, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 3, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2215–2231.
11. A. Ferrero, V. Teppati, and U. Pisani, Microwave measurements, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 3, John Wiley & Sons, Hoboken, NJ, 2005, pp. 2802–2812.
12. H.-C. Chang, Phase noise and measurements, in *Encyclopedia RF and Microwave Engineering*, K. Chang (Ed.), Vol. 4, John Wiley & Sons, Hoboken, NJ, 2005, pp. 3802–3809.
13. D. Vye, Measuring S-parameters: the first 50 years, *Microwave J.*, Vol. 51, pp. 34–52, March 2008.
14. T. G. Ruttan et al., Multiport VNA measurements, *IEEE Microwave Mag.*, Vol. 9, pp. 56–69, June 2008.
15. A. Rumiantsev and N. Ridler, VNA calibration, *IEEE Microwave Mag.*, Vol. 9, pp. 86–99, June 2008.
16. J. M. Cusak, S. M. Perlow, and B. S. Pelaman, Automatic load contour mapping for microwave power transistors, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-22, pp. 1146–1152, December 1974.
17. Y. Takayama, A new load-pull characterization method for microwave power transistors, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 218–220, 1976.
18. R. B. Stancliff and D. D. Poulin, Harmonic load-pull, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 185–187, 1979.
19. G. P. Bava et al., Active load techniques for load-pull characterization at microwave frequencies, *Electron. Lett.*, Vol. 18, pp. 178–180, 1982.
20. R. S. Tucker and P. D. Bradley, Computer-aided error correction of large-signal load-pull measurements, *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-32, pp. 296–300, March 1984.
21. R. Actis and R. A. McMorran, Millimeter load pull measurements, *Appl. Microwave*, Vol. 1, pp. 91–102, November/December 1989.
22. B. Hughes, A. Ferrero, and A. Cognata, Accurate on-wafer power and harmonic measurements of MM-wave amplifiers and devices, *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1019–1022, 1992.

23. M. Demmler, B. Hughes, and A. Cognata, A 0.5–50GHz on-wafer, intermodulation, load-pull and power measurement system, *IEEE MTT-S Int. Microwave Symp. Dig*., pp. 1041–1044, 1995.
24. F. M. Ghannouchi, G. Zhao, and F. Beauregard, Simultaneous load-pull of intermodulation and output power under two-tone excitation of accurate SSPA's design, *IEEE Trans. Microwave Theory Tech.*, Vol. 42, pp. 929–934, June 1994.
25. P. Berni et al, An experimental study of the effects of harmonic loading on microwave MESFET oscillators and amplifiers, *IEEE Trans. Microwave Theory Tech*., Vol. 42, pp. 963–950, June 1994.
26. J. M. Nebus et al., Improvement of the active load-pull technique for the optimization of high power communication SSPAs, *Int. J. Microwave Millimeter-Wave Computer-Aided Eng*., Vol. 5, pp. 169–160, July 1995.
27. I. J. Bahl and K. C. Gupta, Measurement of parameters of an artificial dielectric using a partially filled parallel plate waveguide, *Int. J. Electronics*, Vol. 28, pp. 173–177, February 1970.
28. M. Slovick, Measuring ACPR in CDMA amplifiers, *Microwave J.*, Vol. 41, pp. 74–80, December 1998.
29. J. Looney, D. Conway, and I. Bahl, An examination of recovery time of an integrated limiter/LNA, *IEEE Microwave Mag.*, Vol. 5, pp. 83–86, March 2004.
30. P. Hulbert, Use pulsed $I-V$ testing to characterize RF devices, *Microwaves RF*, Vol. 47, pp. 56–65, August 2008.

习题

22.1　晶体管的 S 参数在共源结构下进行测量，如表 5.1(a)所示。求共栅和共漏结构的 S 参数，2 ~ 4 GHz，以 0.5 GHz 为步进。依次计算 MAG(最大可用增益)和输入 RL 及 MAG 和输出 RL。求在2 GHz时 50 Ω 匹配下它们的尺寸。

22.2　对于如图 22.18(b)和图 22.16 所示的测试装置，精确的 NF 和功率测量基本要求是什么？

22.3　阐述滤波器、衰减盘、环形器对于标量测量装置的重要性。

22.4　阐述基本传输线理论测量 VSWR 的基本公式。

22.5　阐述在 IP3 和相位噪声测量中对关键测试设备的要求。

22.6　使用 VNA 测试一个四端口耦合器，描述测试步骤。

22.7　将习题 22.1 中的 S 参数转换为一个 25 Ω 系统，并指出 MAG 的值保持不变。

22.8　列出对精确 IP3 测量的各种关键要求。

22.9　阐述从 RF 到毫米波频段片上 S 参数测量中的 SOLT、LRM、TRL 等去嵌入技术的优点和缺点。

附录 A　物理常数和其他数据

真空介电常数　$\varepsilon_0 = 8.854 \times 10^{-12} \approx (1/36\pi) \times 10^{-9}$ F/m

真空磁导率　$\mu_0 = 4\pi \times 10^{-7}$ H/m

自由空间阻抗　$\eta_0 = 376.7 \approx 120\ \pi\Omega$

光速　$c = 2.998 \times 10^8$ m/s

电子电量　$e = 1.602 \times 10^{-19}$ C

电子质量　$m = 9.107 \times 10^{-31}$ kg

质子质量　$M = 1.67 \times 10^{-27}$ kg

玻尔兹曼常数　$k = 1.380 \times 10^{-23}$ J/K

普朗克常数　$h = 6.547 \times 10^{-34}$ J·s

erg，尔格（能量的公制单位）　10^7 erg = 1 J

joule，焦耳　1 焦耳 $= 0.6285 \times 10^{19}$ eV

1 电子伏特 = 电子在通过 1 V 电场加速后获得的能量

铜的电导率　$\sigma = 5.8 \times 10^7$ S/m

金的电导率　$\sigma = 4.1 \times 10^7$ S/m

$\mathrm{j} = \sqrt{-1}$

$\pi = 3.1416$

附录 B　单位和符号

B.1　国际单位及其符号

在 1960 年，通过一系列的国际讨论，得出了国际单位体系。这个最新的公制体系称为国际单位制(SI)，它是从法国的度量系统演化而来的，并在世界范围内作为一种趋势，取代了以前的度量系统，包括之前的公制系统。

在国际单位制体系中，有四个物理单位被列为基本物理单位:长度，质量，时间，电量。为了实际应用，温度也被归为一个基本单位。在表 B.1 中，前 5 个是基本的物理单位，其余的物理单位都可以由这 5 个基本单位得到，也就是它们的量纲可以用前 5 个物理量的量纲组合得出。

B.2　公制前缀

在这个十进制体系中，命名方法是从一个前缀系统发展而来的，这个系统可以与所有的单位组合。例如，前缀“kilo”表示 1000，因此 kilometer、kilogram、kilowatt 分别表示 1 千米、1 千克、1 千瓦。我们每天见到的大多数带前缀的公制单位在表 B.2 中给出。

表 B.1　国际单位制及其符号表示

物理量	单位	SI 符号	量纲
长度	米	m	基本
质量	千克	kg	基本
电量	库伦	C	基本
时间	秒	s	基本
温度	开尔文	K	基本
频率	赫兹	Hz	1/s
热量	焦耳	J	$kg \cdot m^2/s^2$
力	牛顿	N	$kg \cdot m/s^2$
功率	瓦特	W	J/s
压强	帕斯卡	Pa	N/m^2
电流强度	安培	A	C/s
电势	伏特	V	J/C
电场强度	伏特/米	V/m	J/C/m
阻抗	欧姆	Ω	V/A
电阻率	欧姆·米	Ω·m	V·m/A
导纳	西门子	S	A/V
电容	法拉	F	C/V
介电常数	法拉/米	F/m	F/m
磁场强度	安培/米	A/m	A/m
电感	亨利	H	V·s/A
磁导率	亨利/米	H/m	H/m

表 B.2　国际单位制中的前缀

	前缀	符号	所表示的因数	
	exa	E	10^{18}	
	peta	P	10^{15}	
	tera	T	10^{12}	
→	giga	G	10^{9}	所有大写
→	mega	M	10^{6}	↕
→	kilo	k	10^{3}	所有小写
	hecto	h	10^{2}	
	deca	da	10^{1}	
			10^{0}	
	deci	d	10^{-1}	
→	centi	c	10^{-2}	
→	milli	m	10^{-3}	
→	micro	μ	10^{-6}	
→	nano	n	10^{-9}	
→	pico	p	10^{-12}	
→	femto	f	10^{-15}	
	atto	a	10^{-18}	

附录C 频带命名

表C.1 射频和雷达波段频率命名

GLF	30～300 Hz	极低频
VF	300 Hz～3 kHz	音频
VLF	3～30 kHz	甚低频
LF	30～300 kHz	低频
MF	300 kHz～3 MHz	中频
HF	3～30 MHz	高频
VHF	30～300 MHz	甚高频
UHF	300 MHz～3 GHz	超高频
SHF	3～30 GHz	特高频
EHF	30～300 GHz	极高频

表C.2 雷达波段的字母表示

波段名	频率范围	
VHF	30～300 MHz	
UHF	300～1000 MHz	
L	1000～2000 MHz	
S	2000～4000 MHz	μ波
C	4000～8000 MHz	μ波
X	8000～12 500 MHz	μ波
Ku	12.5～18 GHz	μ波
K	18～26.5 GHz	μ波
Ka	26.5～40 GHz	μ波
千米	>40 GHz	

附录 D　分贝单位

如果在图表上用线性的方法来表示一个参数幅度的量级是不可行。而且两个数之和比相乘更容易手算得到。分贝(dB)单位使得我们在表示放大器增益和功率数值时更加简便。

D.1　功率比值和 dB 值换算

分贝(dB)

尽管分贝经常用来表示电流比和电压比，但是它其实是功率比值的算术单位。如果一个网络的输入和输出功率分别为 P_{in} 和 P_o 且单位相同，那么该网络的插入增益或损耗为

$$G = 10\ \log\frac{P_o}{P_{in}}\ \text{dB} \quad 或 \quad G = -10\ \log\frac{P_{in}}{P_o}\ \text{dB}$$

例如，如果 $P_o = 10$ W 且 $P_{in} = 2.5$ W(例如测试一个工作在压缩区的单级高功率放大器)，

$$G = 10\ \log\left(\frac{10\ \text{W}}{2.5\ \text{W}}\right) = 10\ \log 4 = 6\ \text{dB}$$

如果 $P_o = 2$ W 且 $P_{in} = 10$ mW $= 0.01$ W(例如测试一个小信号增益的驱动级)，

$$G = 10\ \log\left(\frac{2\ \text{W}}{0.01\ \text{W}}\right) = 10\ \log 200\ \text{dB}$$
$$= 10(\log 2 + \log 100) = 10(0.3 + 2) = 23\ \text{dB}$$

分贝用来表述或衡量增益、噪声系数、回波损耗、插入损耗、变频损耗等的大小。

分贝值到功率比的换算

$$G = 10\ \log(P_o/P_i)$$
$$P_o/P_{in} = \text{antilog}(G/10) = 10^{G/10}$$

例如，对于 $G = 5$ dB，

$$P_o/P_{in} = 10^{5/10} = 10^{0.5} = \sqrt{10} \cong 3.16$$

表 D.1 为常用的功率比值提供了功率比和分贝值的转换关系。

dBm 和 dBW

功率电平的绝对值用 dBm 来表示，定义为以 1 mW 为参考的功率电平 P 的值，也就是

$$P(\text{dBm}) = 10\ \log\frac{P(\text{mW})}{1\ \text{mW}}$$

如果参考功率电平是 1 W，那么这个功率比就是 P(dBW)。

如果信号电平用相对于载波的 dB 值表示，则其单位为 dBc，例如，

$$P = 1\ \text{mW} = 10\log\frac{1\ \text{mW}}{1\ \text{mW}} = 0\ \text{dBm}$$
$$P = 5\ \text{mW} = 10\log\frac{5\ \text{mW}}{1\ \text{mW}} = 7\ \text{dBm}$$

$$P = 10\ \text{W} = 10\log\frac{10\times10^3\ \text{mW}}{1\ \text{mW}} = 40\ \text{dBm}$$
$$P = 10\ \text{W} = 10\log\frac{10\ \text{W}}{1\ \text{W}} = 10\ \text{dBW}$$

表 D.1 比值、R和分贝(dB)之间的关系

比值，R	$\log R$	dB	比值，R	$\log R$	dB
1	0	0	10	1	10
2	0.3	3	100	2	20
3	0.48	4.8	10^3	3	30
4	0.60	6	10^4	4	40
5	0.70	7	10^5	5	50
6	0.78	7.8	0.1	-1	-10
7	0.85	8.5	0.01	-2	-20
8	0.90	9.0	0.001	-3	-30
9	0.95	9.5	10^{-4}	-4	-40
			10^{-5}	-5	-50

通常的功率单位到 mW 的转换关系如下所示：

$$1\ \text{MW} = 10^9\ \text{mW} \quad 1\ \text{kW} = 10^6\ \text{mW}$$
$$1\ \text{W} = 10^3\ \text{mW} \quad 1\ \mu\text{W} = 10^{-3}\ \text{mW}$$
$$1\ \text{nW} = 10^{-6}\ \text{mW} \quad 1\ \text{pW} = 10^{-9}\ \text{mW}$$

更多的例子

(a) 3 mW = 5 dBm

(b) 50 mW = 17 dBm

(c) 60 W = 6×10^4 mW = 48 dBm

(d) 4 kW = 4×10^6 mW = 66 dBm

(e) 2.5 MW = 2.5×10^9 mW = 94 dBm

(f) 5 μW = 5×10^{-3} mW = −23 dBm

(g) 8 nW = 8×10^{-6} mW = −51 dBm

(h) 20 pW = 2×10^{-8} mW = −77 dBm

P_c = 载波电平 = 10 dBm

P_s = 杂散电平 = −20 dBm

P_c/P_s = 10 dBm − (−20 dBm) = 30 dBc

或 P_s/P_c = −20 dBm − 10 dBm = −30 dBc←更准确，以载波为参考

输入反射系数 S_{11} = 0.1

$$回波损耗 = 10\ \log\frac{1}{|S_{11}|^2} = 20\ \text{dB}$$

总是正值

输入反射 = $20\log|S_{11}|$ = −20 dB

总是负值

表 D.2 给出了分贝单位之间的运算及其表达的意思。

表 D.2　分贝单位之间的运算及其表达的意思

运算	得出的单位	物理意义	是否允许运算
1. dB + dB	dB	两个数值的乘积	是
2. dB − dB	dB	两个数值的比较	是
3. dBm + dBm	XX	两个功率的乘积	否
4. dBm − dBm	dB 或 dBc	两个功率的比较	是
5. dBm + dB	dBm	功率的放大	是
6. dBm − dB	dBm	功率的衰减	是

dBm 到功率的换算

$$P(\mathrm{dBm}) = 10\ \log\frac{P(\mathrm{mW})}{1\ \mathrm{mW}}$$

$$P(\mathrm{mW}) = \mathrm{antilog}[P(\mathrm{dBm})/10]$$

$$= 10^{P(\mathrm{dBm})/10}$$

$$P(\mathrm{dBm}) = 23\ \mathrm{dBm}$$

$$P(\mathrm{mW}) = 10^{23/10} = 10^{2.3} = 200\ \mathrm{mW}$$

D.2　电压比值

到目前为止，我们仅描述了功率比和功率放大倍数。但是，在低频电子中，电压放大倍数（例如电压增益）是一个很重要的参数。尽管电压增益可以用一个比值来表示，但是这个特殊的比值不能立刻变换为以分贝为单位的数值。考虑到分贝最初是用在功率比较上的，因此在很多情况下，有可能用与电压相关联的功率值来计算。因为功率 = (电压)^2/电阻，所以下面的转换关系是成立的，因为

$$\text{功率 A} = V_A^2/R_A$$

$$\text{功率 B} = V_B^2/R_B$$

$$\mathrm{dB} = 10\times\log(P_A/P_B)$$

$$= 10\times\log\frac{V_A^2\cdot R_B}{V_B^2\cdot R_A}$$

通常情况下，为了比较的方便，两个电阻 R_A 和 R_B 取值相同。这意味着当加到阻值相等的两个电阻上时（或加在同一个标准电阻上时），由两个独立的电压产生的功率 V_A 和 V_B 可以比较。

$$\mathrm{dB} = 10\times\log(V_A^2/V_B^2)$$

$$= 20\times\log(V_A/V_B)$$

D.3　电流比

类似地，电流增益可以用分贝值表示为

$$\mathrm{dB} = 20\ \log(I_A/I_B)$$

附录 E　数学关系式

1. 二次方程

$$ax^2 + bx + c = 0$$

$$x = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$

2. 对数的性质

$$\log_a x = N, x = a^N$$

$$\mathrm{e} = 2.71828$$

$$\log_\mathrm{e} x = \ln x = 2.30259 \log_{10} x$$

$$\log_{10} x = 0.43429 \log_\mathrm{e} x$$

$$\log_a b = 1/\log_b a$$

3. 三角恒等式

$$\sin^2 x + \cos^2 x = 1$$

$$\tan x = \sin x/\cos x$$

$$\sin x = (\mathrm{e}^{\mathrm{j}x} - \mathrm{e}^{-\mathrm{j}x})/2\mathrm{j}$$

$$\cos x = (\mathrm{e}^{\mathrm{j}x} + \mathrm{e}^{-\mathrm{j}x})/2$$

$$\sin(x \pm y) = \sin x \cos y \pm \cos x \sin y$$

$$\cos(x \pm y) = \cos x \cos y \mp \sin x \sin y$$

$$\sin 2x = 2 \sin x \cos x$$

$$\cos 2x = \cos^2 x - \sin^2 x$$

$$\sin x \cos y = 1/2[\sin(x + y) + \sin(x - y)]$$

$$\sin x \sin y = 1/2[\cos(x - y) - \cos(x + y)]$$

$$\cos x \cos y = 1/2[\cos(x + y) + \cos(x - y)]$$

4. 双曲线函数

$$\sinh x = (\mathrm{e}^x - \mathrm{e}^{-x})/2$$

$$\cosh x = (\mathrm{e}^x + \mathrm{e}^{-x})/2$$

$$\tanh x = \sinh x/\cosh x$$

5. 圆方程

$$(x - a)^2 + (y - b)^2 = r^2$$

该圆的圆心位于(a, b)且半径为 r。

附录 F　史密斯圆图

史密斯圆图是在设计式(7.15)时，用来计算输入阻抗匹配 Z_{in} 的一种图形辅助工具。令 $Z(z)/Z_0 = R + jX$，其中 Z_0 是归一化阻抗且 $\rho(z) = u + jv$，可以得到

$$R + jX = \frac{1 + u + jv}{1 - u - jv} \tag{F.1}$$

令式(F.1)中的实部和虚部相等，得到

$$\left(u - \frac{R}{1 + R}\right)^2 + v^2 = \frac{1}{(1 + R)^2} \tag{F.2}$$

$$(u - 1)^2 + \left(v - \frac{1}{X}\right)^2 = \frac{1}{X^2} \tag{F.3}$$

式(F.2)和式(F.3)代表了在复平面 $\rho(= u + jv)$ 的两簇圆。第一簇圆由式(F.2)给出，代表了 R 取不同值时的圆。这些圆的圆心在 $(R/(1 + R), 0)$ 处，而它们的半径为 $1/(1 + R)$。这些圆称为等阻抗圆。而式(F.3)则代表了等导纳圆，其圆心在 $(1, 1/X)$ 且半径为 $1/X$。

从式(7.15)中可以发现，对任何的正 Z_L，$|\rho|$ 的最大值为1。因此我们感兴趣的区域就是在复平面 (u, v) 上半径 $|\rho|$ 为1的圆区域。如式(F.2)和式(F.3)给出了这个区域的图形，其中 R 和 X 都为常数，该圆区域称为史密斯圆图。史密斯圆图在图 F.1 中给出。通常用到的史密斯圆比给出的图形含有更多的等 R 圆和等 X 圆。而且等 $|\rho|$ 圆通常在图中并不画出。R 和 X 的值是相对于 Z_0 归一化的值。

一些关于史密斯圆图的更多性质也显而易见。点 $R = 1$、$X = 0$ 对应着 $u = 0$、$v = 0$ 的 ρ 平面原点，也就是图中圆心的位置。从该原点到任何一点的距离给出了 ρ 的幅度，且 $X = 0$ 线和连接该点和原点的角度给出了 ρ 的相位角度。当我们在传输线上从负载的截面向源移动时，ρ 的向量也顺时针移动。这个性质在史密斯圆图上称为"向源特性"。而且角 $2\beta l(= 4\pi\ell/\lambda)$ 用来表示 ℓ/λ。覆盖了 ℓ/λ 范围的圆面积等于0.5，对应着 $2\beta\ell = 2\pi$。当 $\beta\ell$ 比 π 大时，$\rho(z)$ 和 $Z(z)$ 是周期性重复的。

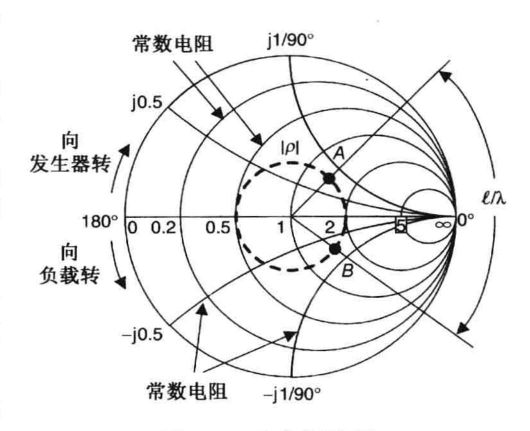


图 F.1　史密斯圆图

为了计算给定 Z_L 时的 Z_{in} [例如解式(7.15)]，我们需要注意到，当传输线上的一段出现等截面移动时，$|\rho|$ 的大小不变。Z_{in} 是通过如下步骤得到的：(a)在史密斯圆图上确定 Z_L/Z_0 的位置，例如图 F.1 中的 A 点；(b)通过 A 点画一个等 $|\rho|$ 的圆；(c)在圆上顺时针移动(向源方向)ℓ/λ 的一段距离，使 A 移动到 B 点；(d)读出 B 点的 R 和 X 值，得到 Z_{in}/Z_0。最后 R 和 X 都乘以 Z_0 来得到其真实值。

附录G 图形符号

表G.1 微波模块、器件和电路的图形符号总结

单端模块	双端传输线
短路/地	传输线
天线	同轴线
匹配阻抗	带状线
	微带线
双端口器件	**多端口元件**
连续波发生器	双极型晶体管
脉冲发生器	金属半导体场效应管
二极管	混频器
检波器	环形器
隔离器	开关
放大器	功分器
固定衰减器	定向耦合器
可变衰减器	
固定移相器	
可变移相器	
低通滤波器	
高通滤波器	
带通滤波器	
带阻滤波器	

附录 H　首字母缩略词及缩写词

ACL	邻信道渗漏
ACPR	邻信道功率比
AGC	自动增益控制
AM	调幅
AMPS	高级移动电话业务
ANN	人工神经网络
APHC	平均功率处理能力
BER	比特误差率
BGA	球栅阵列
BiCMOS	双极型互补金属氧化物半导体
BJT	双极结型晶体管
BOC	芯片的背面
BPA	平衡功率放大器
BPSK	二进制相移键控
BW	带宽
BV	击穿电压
CAD	计算机辅助设计
CD，CG，CS	共漏,共栅,共源
CDMA	码分多址
CMOS	互补金属氧化物半导体
CPW	共面波导
CSP	芯片级封装
CTE	热膨胀系数
CW	顺时针方向行波
DA	分布式放大器
DBS	直播卫星
DC	直流
DECT	欧洲数字无绳电话系统
DIP	双列直插式封装
DL	耗散损耗
DPD	数字预失真
DR	动态范围
DUT	待测器件

EC	等效电路
EER	包络消除和恢复
EM	电磁场
EMT	电子测量技术
ENR	超噪比
ESR	等效串联电阻
ETM	电子调谐模块
EVM	误差向量幅度
EW	电子战
FCC	美国联邦通信委员会
FET	场效应晶体管
FM	调频
FP	场板
FSK	频移键控
GCN	增益补偿网络
GMSK	高斯最小频移键控
GPS	全球定位系统
GSM	全球移动通信系统
HBT	异质结双极型晶体管
HCA	谐波控制放大器
HEMT	高电子迁移率晶体管
HIT	谐波注入技术
HIPERLAN	高性能无线局域网
HPA	高功率放大器
HRA	谐波作用放大器
HTCC	高温共烧陶瓷
HV	高压
I and Q	同相位和正交相位
IC	集成电路
IF	中频
IL	插损
IM	交调
IM3, IM5	三阶和五阶交调产物
IMD	交调失真
IMPATT	碰撞电离雪崩渡越时间二极管
IP	交调产物
IP2 and IP3	二阶和三阶交调产物

IR	红外线
ISS	阻抗基准基底
ISM	工业科学医疗
JTC	结电压温度系数
JTRS	联合战术无线电系统
LAN	局域网
LDMOS	横向扩散金属氧化物半导体
LE	集总元件
LF	引线框架
LINC	非线性元件的线性放大
LLM	低损耗匹配
LNA	低噪声放大器
LO	本地振荡器
LPF	低通滤波器
LRM	传输线-反射-匹配
LSM	纵向磁场
LTCC	低温共烧陶瓷
MAG	最大有效增益
MCP	多芯片封装
MESFET	金属半导体场效应晶体管
MIC	微波集成电路
MIM	金属绝缘体金属
MIS	金属绝缘体半导体
MMIC	单片微波集成电路
ML	匹配损耗
MN	匹配网络
MODFET	调制掺杂场效应晶体管
MOSFET	金属氧化物半导体场效应晶体管
MSAG	多功能自对准栅
MSG	最大稳定增益
MTTF	平均失效时间
NDF	归一化判断函数
NF	噪声系数
NF_{min}	最小噪声系数
NPR	噪声功率比
NRE	非重复性工程
OFDM	正交频分多路复用

OTF	开环传输函数
PA	功率放大器
PAA	相控阵天线
PAE	功率附加效率
PAR	相控阵雷达,峰均比
PCB	印制电路板
PCM	脉冲编码调制
PCN	个人通信网络
PCS	个人通信服务
PD	预失真,功率密度
pHEMT	赝高电子迁移率晶体管
PM	相位调制
PPR	点对点无线电
PQFN	功率四边无引脚扁平
QPSK	正交相移编码
QAM	正交幅度调制
RF	射频
RFIC	射频集成电路
RL	回波损耗
RMS	均方根
RR	回波比
SA	频谱分析仪
SAG	自对准栅
SIP	系统级封装
SMLP	表面贴装无引脚封装
SOIC	小外壳集成电路
SOLT	短路-开路-负载-直通
SONET	同步光纤网络
SOT	小外壳晶体管
SPC	空间功率合成器
SRF	自谐振频率
SWR	驻波比
TAB	卷带自动键合
TCR	电阻温度系数
TE, TM	横向电场、横向磁场
TEM	横向电磁场

TDD	时分双工
TDMA	时分多址接入
TO	晶体管轮廓
TOI	三阶截距
TRL	直通-反射-传输线
T/R	发射/接收
TSOP	薄小型外壳封装
TSSOP	超薄紧缩小型封装
TWC	行波耦合器
TWTA	行波管功率放大器
UHF	超高频
UWB	超宽带
VHF	甚高频
VHV	甚高压
VLSI	超大规模集成电路
VNA	向量网络分析仪
VOD	音频点播
VOIP	互联网协议电话
VSAT	甚小口径天线地球站
VSWR	电压驻波比
WAN	广域网络
WBG	宽禁带
WiMAX	全球微波互联接入
WLAN	无线局域网
WLL	无线本地环路

附录Ⅰ 符号列表

下面将给出文中用到的符号和首字母缩略词的定义。由于要表示一些数值很大的量,而且鉴于英语和希腊语以外的字母不受欢迎,因此利用相同的符号在不同地方表示不同的数值很有必要。在每个实例中,符号都是根据具体情况进行定义的, 以避免对其含义的曲解。

A	面积
AuSn	锡化金
B	信号带宽,电纳
c	电磁波在真空中的传播速度
C	电容,耦合系数,半导体的比热容
C_1, C_t	电容
CuW	钨化铜
e	电子电荷
E	电场,误差向量
f, f_ℓ, f_h, f_0	频率
f_c	截止频率
f_{max}	最大频率,单位功率增益处频率
f_r	自谐振频率
f_T	单位电流增益频率
F	噪声系数比值
F_{min}	最小噪声系数
g_m	器件跨导
G	电导,增益
GaAs	砷化镓
GaN	氮化镓
G_A, G_T, G_{max}	增益
h	基底厚度
HP_2, HP_3	二阶和三阶谐波功率电平
InP	磷化铟
k	波数,玻尔兹曼常数
k_0	真空波数
K	Rollett 稳定系数,热导率
K_{th}, K_{GaAs}	热导率
l, l_1, l_2	传输线长度
L	微带线长度,电感
M	磁场,互感
n	阻抗变换比

N	噪声功率,放大器的数量
P	功率
$P_{1\ dB}$	1 dB 功率压缩点处的功率
P_D, P_{diss}	耗散功率
P_{DC}	直流功率
P_{in}	输入功率
P_o, P_{out}	输出功率
P_T	总功率
Q, Q_C, Q_L	品质因数
Q_T	总的品质因数
R	电阻
R_{in}	输入阻抗的实部
R_n	等效噪声电阻
R_s	表面电阻率
R_S, R_G	源或者发生器电阻
R_{th}	热阻
S	电压驻波比,散射参数
S	西门子单位
SiC	碳化硅
SiGe	锗化硅
t	带材厚度,时间
tan d	介电材料的损耗正切值
T, T_a, T_{ch}	温度
V, V_0, V_G	电压
W	微带线晶体管单位宽度的带状宽度
X, X_L, X_S	电抗
X_{in}	输入阻抗的虚部
Y	导纳
Y_0	特征导纳
Y_{in}	输入导纳
Z	阻抗
Z_0, Z_{0m}, Z_m	特征阻抗
Z_{in}	输入阻抗
Z_L	负载阻抗
Z_S	源阻抗
α	衰减常数,电流增益
α_c	由于导体损耗产生的 α
α_d	由于介电损耗产生的 α
α_L	$\alpha_c + \alpha_d$
α_T	总的衰减常数
β, β_0	相位常数,电流增益

γ	传播常数
Γ, Γ_L, Γ_m, Γ_S	反射系数
δ	趋肤深度
∇	倒三角形算子
Δf	带宽
ΔT	温度差
ε	介电常数
ε_0	真空介电常数
ε_r	相对介电常数
ε_{re}	有效的 ε_r
ε_{ree}	偶数模态下有效的 ε_r
ε_{reo}	奇数模态下有效的 ε_r
η	效率,阻抗
η_0	自由空间阻抗($=120\pi\Omega$)
η_c	合成效率
η_D	漏极效率
θ	角度,电长度
λ	微带波长
λ_0	真空波长
μ	磁导率,稳定度系数
μ_r	相对磁导率
μ_0	真空磁导率
ρ	电荷密度,反射系数,电阻率,密度
σ	导电率
τ	传输时间,热时间常数
ϕ	相角
ω	径向频率
ω_0	中心径向频率
Ω	欧姆单位符号

附录 J　多通道与调制技术

蜂窝系统中的频率再利用促进了能够使用户分享相同频带的多通道技术的发展。最简单的两种技术就是频分多址技术(FDMA)和时分多址技术(TDMA),前者为相同地理位置内的用户分配特定的频道,后者可以为若干用户分配相同的频道,但是要在特定分配的时间间隙内轮流传输。因此,TDMA 比 FDMA 具有更高的容量。另外一项技术是码分多址技术(CDMA),这种技术允许用户在相同的时间内及相同的频带内传输信号。在 CDMA 系统内,每一个用户都被分配了一个独一无二的“编码”或者“签名”序列。这个编码序列允许发射机产生一个信号,该信号只能被特定的接收机识别。相比 TDMA,CDMA 系统具有更高的容量。

为了发送由声音、数据和视频组成的信号,载波要经过待发射信号的调制。常用的有以下几种调制方案:

GMSK:高斯最小频移键控

BPSK:二进制相移键控

QPSK:正交相移键控

OFDM:正交频分多路复用

GFSK:高斯滤波频移键控

Pi/4 QPSK:$\pi/4$ 正交相移键控

Pi/4 DQPSK:$\pi/4$ 差分正交相移键控

MPSK: 多进制相移键控